

13 Semiconductors | Oral presentation : 13.1 Fundamental properties, surface and interface, and simulations of Si related materials

[8a-N403-1~10] 13.1 Fundamental properties, surface and interface, and simulations of Si related materials

[8a-N403-1]

Surface characterization of bottoms of Si trenches fabricated by wet processes

○Shiika Murase¹, Tomiki Higashi¹, Kouji Inagaki¹, Kenta Arima¹ (1.UOsaka)

[8a-N403-2]

Fabrication of SiO₂/Si Structures by Solution Oxidation Using Sulfuric Acid

○Shouhei Onizuka, Hoshiki Harata, Yoshitaka Iwazaki, Tomo Ueno

[8a-N403-3]

New method to analyze thickness of ultra-thin oxide film on semiconductor substrate

- Approach combining X-ray photoelectron spectroscopy spectra with numerical analysis -

○Hiroki Takano¹, Kouji Inagaki¹, Kenta Arima¹, Shohei Miyagawa², Takuma Takeda², Masayuki Otsuji², Koichi Sawada² (1.UOsaka, 2.SCREEN Holdings Co., Ltd.)

[8a-N403-4]

Influence of annealing ambient on the ferroelectric characteristics of HfN thin films formed by ECR-plasma sputtering

○(D)KANGBAI LI¹, Shun-ichiro Ohmi¹ (1.Science Tokyo)

[8a-N403-5]

Experimental approaches to evaluating the fracture strength of ultra-thin Silicon dies

○Kazushiro Nomura¹, Yuma Yamashita¹, Yoshiki Abe¹, Kenichi Oohashi¹, Fumiyoshi Kawashiro¹, Takamitsu Noda¹ (1.Toshiba Electronic Devices and Storage Corporation)

[8a-N403-6]

Influence of the Up-Conversion Effect on the Photocatalytic Activity of NaLuF₄:Yb:Ho@NaLuF₄:Yb:Nd@TiO₂ Core-Shell Structures under Visible Light Irradiation

○(PC)Joanna Nadolna^{1,2}, Routian Chen^{1,3}, Pawel Mazierski², Zhishun Wei⁴, Tomasz Grzyb⁵, Patrycja Szwedowska², Prajakta Kokate¹, Keshav Dani¹ (1.Okinawa Inst. of Sci. and Tech. Grad. Univ., 2.Univ. of Gdansk, 3.Dalian Inst. of Chem. Phys., 4.Hubei Univ. of Tech., 5.Adam Mickiewicz Univ.)

[8a-N403-7]

Molecular dynamics study of a-(SiO₂)_x(Al₂O₃)_{1-x} /GaN interface using machine learning force field

○Koki Sato¹, Mutsunori Uenuma², Ryouyuke Jinnouchi¹, Ryoji Asahi¹ (1.Nagoya Univ., 2.AIST)

[8a-N403-8]

Study on the Design of Electron Transport Properties in Semiconductor Nanowires via Physics-Constrained Impurity Distribution Generation Using Variational Autoencoders

○Satoru Sugiyama¹, Yoshitaka Itoh¹, Suko Tota², Masakazu Muraguchi¹ (1.Hokkaido Univ of Sci., 2.Waseda Univ.)

[8a-N403-9]

Theoretical analysis of trap-assisted tunneling current in SiC Schottky barrier diodes

○Ryo Ogawa¹, Hajime Tanaka^{1,2}, Nobuya Mori¹ (1.Univ. of Osaka, 2.Kwansei Gakuin Univ.)

[8a-N403-10]

TCAD Analysis of the Impact of 3C/4H-SiC Heterostructures on Device Characteristics

○(M1)Kota Gejo¹, Hatakeyama Tetsuo¹, Nagasawa Hiroyuki^{2,3} (1.Toyama Pref. Univ., 2.CUSIC, 3.Tohoku Inst.)

ウェットプロセスで形成した Si トレンチ構造底部の表面状態の観測

Surface characterization of bottoms of Si trenches fabricated by wet processes

阪大院工 °(M2)村瀬詩花, 東知樹, 稲垣耕司, 有馬健太

UOsaka °Shiika Murase, Tomoki Higashi, Kouji Inagaki, Kenta Arima

E-mail: murase@sie.prec.eng.osaka-u.ac.jp

近年の高集積化半導体デバイスでは共通して、横に対する縦の比（アスペクト比）が大きな三次元構造が形成されている。そして今後も、このアスペクト比はますます増加すると予想される^[1,2]。また、デバイスの製造工程において、半導体表面には極めて厳しい清浄度が要求される。しかし、平坦な試料面における吸着物の種類や濃度を評価した報告は数多くあるが、三次元構造に関する報告は限られている。

この背景を踏まえ、我々は、最も制御が困難である、三次元構造体の底部に存在する汚染物質や酸化物の種類及び濃度を非破壊で評価できる手法の開発を目指している^[3]。以下に我々が提案する角度分解 X 線光電子分光法（Angle-Resolved X-ray Photoelectron Spectroscopy : ARXPS）を用いた、三次元構造底部における表面状態の評価法を示す（図 1(a)）。我々は、高アスペクト比構造底部に埋め込んだ異種元素を、鉛直方向の目印とする独自の手法を提案する。本手法は、光電子の脱出角度を高精度に調整することで、底部から放出される光電子の検出が保証できるという特徴を持つ。また我々は、底部のみに異種元素を埋める Si トレンチ構造の作製にあたり、金属アシストエッチング（Metal Assisted Chemical Etching : MACE）と呼ばれるウェットエッチングを使用した。本稿では、MACE により作製した異なるアスペクト比（1~7）をもつ Si トレンチ構造を用い、上記手法の原理検証を行った。

まず、底部に Au が埋め込まれたアスペクト比 7 までの Si トレンチ構造に対し、ARXPS を行い、底部 Au の検出角度依存性を取得した。その結果、Au4f シグナルは強い脱出角依存性を持ち、とりわけ、この傾向はアスペクト比が大きい Si 試料で顕著であることが分かった。このことは、Si トレンチ構造の底部に配置させた Au 触媒が、試料と検出器の軸を合わせる際の目印として機能することを表している。

さらに、MACE 後の試料に対し、ヨウ素系 Au エッチング液を用いて底部の Au を除去し、ARXPS 測定を行った。図 1(b),(c) に Au 除去前後の Si2p スペクトルについて、脱出角度（Take-Off Angle : TOA）で取得したスペクトルを示す。図より、Au 除去後の Si2p スペクトルは Si バルクに相当するピークを持ち、Au を埋め込んだ試料とは明らかに異なっている。これは、トレンチの上面と底部で Si の表面状態が異なり、Au 除去後は底部の情報を含んだシグナルが検出されたことを示唆している。すなわち、MACE によって作製された Si トレンチ構造は、トレンチ上面と底部で異なる表面状態を呈するため、上面に余分なコーティングを施すことなく、両者のシグナルの切り分けが可能であることが分かった。

提案した手法を発展させれば、高アスペクト比構造の底部に対するウェット／ドライ洗浄プロセスの評価に適用できると期待される。

参考文献

- [1] Y.-G. Liaw et al., Solid-State Electron 126, 46-50 (2016).
- [2] C.-J. Sun et al., IEEE J. Electron Devices Soc. 8, 1016-1020 (2020).
- [3] 村瀬詩花 他, 第 85 回応用物理学会秋季学術講演会, 20a-P05-2 (2024).

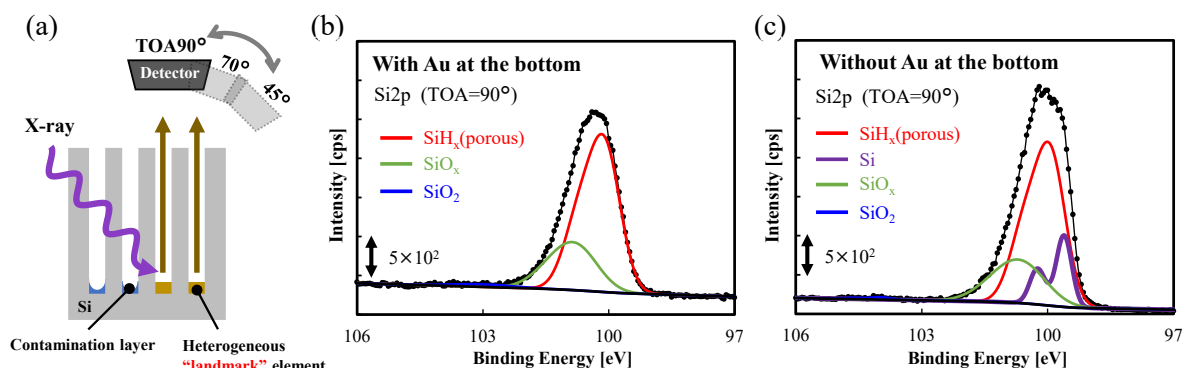


Fig.1. (a) Proposed method to evaluate cleaning properties at the bottoms, (b) Si 2p spectra (TOA:90°) of the sample with Au embedded at the bottoms of Si trenches, and (c) after Au removal from the bottoms of the Si trenches.

硫酸を用いた SiO₂/Si 構造の作製の検討

Fabrication of SiO₂/Si Structures by Solution Oxidation Using Sulfuric Acid

東京農工大学大学院 鬼塚翔平 原田星輝 岩崎好孝 上野智雄

Tokyo univ of Agri&Tech. Shohei Onizuka, Hoshiki Harata, Yositaka Iwazaki, Tomo Ueno

E-mail:s252825u@st.go.tuat.ac.jp

1. 研究背景

近年、製造コスト低減を目的としたシリコンウェハの大口径化が半導体産業で急速に進展している。一方、現行の主流プロセスである熱酸化法はSiO₂/Si構造の形成時に温度依存性が極めて大きく、大口径ウェハ全域を均熱化することが困難である。ウェハ中心部と端部で温度差が生じると、得られるSiO₂膜に膜厚や誘電特性の不均一性が発生し、MOSデバイスにおける静電容量の変動やトランジスタのしきい値電圧のばらつきが拡大してしまう。このような絶縁膜の不均一性は、素子特性のばらつきおよび長期信頼性の低下を招くため、大口径化時代に即した低熱予算かつ高均一性な酸化膜形成技術の確立が急務である。こうした課題を解決する手法として、本研究では「化学溶液酸化法」に着目した。本法では、液体という高い熱容量媒体中にSi基板を浸漬し、溶液を加熱・攪拌しつつ酸化を進行させるため、気相プロセスに比べ外乱による温度揺らぎが抑制され、ウェハ全域で均一なSiO₂膜を成膜できる可能性がある。

本研究では、化学溶液として50%の濃硫酸水溶液を用い、酸化条件として80℃および90℃の二つの温度設定を行った。この溶液酸化法でSiO₂膜を生成し、得られた酸化膜の物性比較を実施した。具体的には、C-V特性、およびI-V特性を用いて、温度上昇が膜質に与える影響を定量的に検討した。

2. 実験方法

実験条件を表1に示す。p-Siの基盤を表1に示すような4種類の条件でSiO₂膜の成膜をおこなった。

表 1 実験条件

条件	条件①	条件②	条件③	条件④
洗浄	有機洗浄10min+HF洗浄1min			
酸化溶液	濃硫酸 (50%)			
溶液温度	80℃		90℃	
酸化時間	5min	10min	5min	10min

3. 実験結果・考察

各サンプルのJ-V測定結果を図1,2に示す。

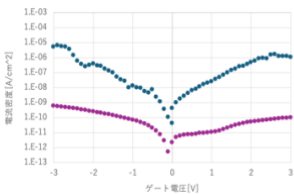


図 1 80℃

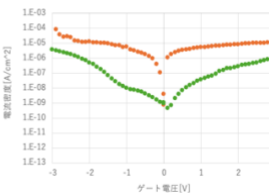


図 2 90℃

図に示すように、80℃・5分条件ではリーク電流密度が最も低

く、対照的に90℃・10分条件ではリーク電流が顕著に増加している。この結果は、温度および処理時間の増加に伴い、酸化膜の成長のみならず、硫酸によるエッチング作用が顕著になり、膜厚の減少および膜質の劣化が生じた可能性を示している。次に4条件のC-V測定結果を図3~6に示す。

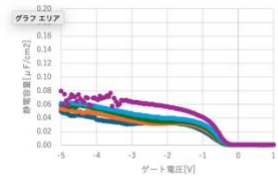


図 3 80℃.5分

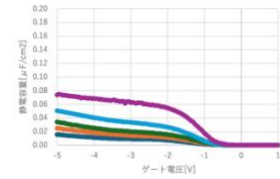


図 4 80℃.10分

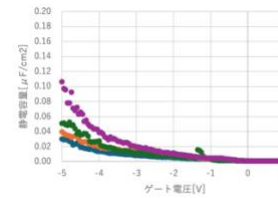


図 5 90℃.5分

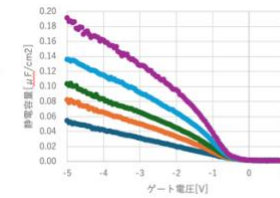


図 6 90℃.10分

酸化時間を5分から10分に延長した条件では、80℃および90℃のいずれにおいても、周波数分散が顕著に拡大し、界面トラップ密度の増大による界面状態の劣化が示唆された。この界面劣化こそが、J-V測定において酸化時間を延ばした際に観察されるリーク電流増大の主要因であると考えられる。さらに、100 kHzでの静電容量値を80℃と90℃で比較すると、90℃処理時のほうが一貫してCが大きく、膜厚が相対的に薄く形成されていることが窺える。これらの結果は、酸化時間と温度の組み合わせが膜厚制御と界面品質に相反する影響を及ぼしていることを示しており、最適プロセス設計の重要性を強調している。

4. 今後の展望

本研究では硫酸のエッチング作用によりSiO₂膜の膜厚や膜質が変化するという可能性が示唆された。今後は膜質のさらなる評価と定量的解析を行うため、X線光電子分光(XPS)を用いて酸化膜中の元素組成および化学結合状態を評価する予定である。

半導体基板上に形成した極薄酸化膜の新しい膜厚解析法

－X線光電子分光法と数値解析の融合によるアプローチ－

Novel method to analyze thickness of ultra-thin oxide film on semiconductor substrate

- Approach combining X-ray photoelectron spectroscopy spectra with numerical analysis -

阪大院工¹ ○(M2)高野 宏樹¹, 稲垣 耕司¹, 有馬 健太¹

(株) SCREEN ホールディングス² 宮川 彰平², 竹田 拓馬², 尾辻 正幸², 澤田 康一²

UOsaka¹ ○Hiroki Takano¹, Kouji Inagaki¹, Kenta Arima¹

SCREEN Holdings Co., Ltd.² Shohei Miyagawa², Takuma Takeda², Masayuki Otsuji², Koichi Sawada²

E-mail: htakano@sie.prec.eng.osaka-u.ac.jp

先進的な電子デバイスでは、半導体基板上に形成した機能性薄膜の膜厚の違いが物性や機能に影響するため、正確な膜厚把握が必須である。多様な膜厚解析手法の中で、X線光電子分光法（X-ray Photoelectron Spectroscopy：XPS）は非破壊で試料表面数 nm の薄い領域を測定できる特徴を持つ。しかし、XPS による膜厚の解析には膜に関する二つの物理定数（原子数密度、平均自由行程）が必要となる。そこで我々は、XPS 測定結果を独自の数値解析と組み合わせ、より少ない種類の物理定数で膜厚を解析できる新たな手法を開発した。本研究では、物理定数が既知の系に対し、それらを未知と仮定して手法を適用し、妥当性を検証した。

評価対象として、Si 基板上の自然酸化膜（SiO₂）を用いて、SiO₂ の膜厚を解析することを試みた。XPS 測定結果から試料の膜厚を求める方法として、理論式(1)^[1]がある。角度分解 XPS 測定から得られた Si2p スペクトル情報（Fig. 1）を用いて、光電子の脱出角度 θ ごとに方程式を立式した。

$$d = \lambda_{film} \sin \theta \times \ln \left(\frac{S_{film}}{S_{sub}} \times \frac{n_{sub} \lambda_{sub}}{n_{film} \lambda_{film}} + 1 \right) \quad (1)$$

この時、 d ：SiO₂ 膜厚、 θ ：光電子の脱出角度、 λ_{film} ：SiO₂ 中の電子の平均自由行程、 λ_{sub} ：Si 基板中の電子の平均自由行程（既知）、 n_{film} ：SiO₂ の原子数密度、 n_{sub} ：Si 基板の原子数密度（既知）、 S_{film} ：SiO₂ 由来のピーク面積、 S_{sub} ：Si 基板からのピーク面積である。また、 $\frac{S_{film}}{S_{sub}}$ を以下では“ピーク面積比”と表す。

まず、異なる θ ごとに立てた方程式を連立して解くと、方程式の性質上、 d 、 λ_{film} 、 n_{film} を個別に求めることはできず、パラメータ（ d/λ_{film} 、 $n_{film} \lambda_{film}$ ）の形で得られることが分かった。しかしこの方法では、Fig. 2（青丸）のように、実測したピーク面積比（実測値 [横軸]）と導出したパラメータを基に計算したピーク面積比（計算値 [縦軸]）との間にずれが生じた。この原因としては、各 θ におけるピーク面積の測定誤差に加え、連立させた方程式の数が少なかったため、データのわずかな誤差が導出結果に大きく影響したことが考えられる。

そこで、これらの問題を踏まえ、数値解析の手法に着目して、最小二乗法を用いた解析を試みた。この方法では、複数の θ および同一試料内の複数の測定点から得られたスペクトル情報をすべて用いて解析することで、より実測値と整合するパラメータを導出できた。ピーク面積比の実測値 [横軸] は、Fig. 2（赤丸）に示すように計算値 [縦軸] とよく一致し、より信頼性の高い解析が可能となった。その結果、得られたパラメータに n_{film} の文献値^[2]を代入して計算した膜厚（1.7 nm）は、エリプソメータでの測定値（1.8 nm）と良い一致を示した。このように、必要な物理定数の数を一つに減らしても、精度良く膜厚を解析することができた。

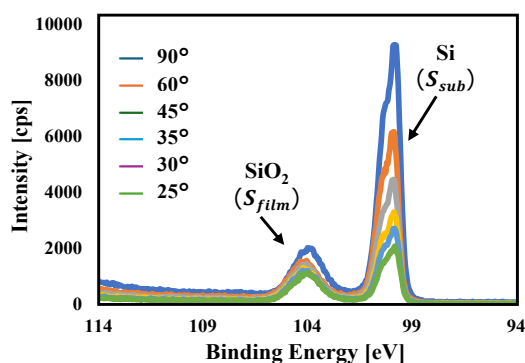


Fig. 1 Si2p spectra obtained by XPS

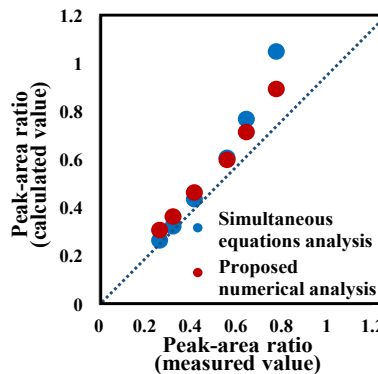


Fig. 2 Relationship between peak-area ratios

参考文献

[1] F. J. Himpsel, et al., *Phys. Rev. B*, **38**, 6084-6096 (1988). [2] M. P. Seah, et al., *Surf. Inter. Anal.*, **36**, 1269-1303 (2004).

Influence of annealing ambient on the ferroelectric characteristics of HfN thin films formed by ECR-plasma sputtering

Institute of Science Tokyo, K. Li¹ and S. Ohmi²

E-mail: ¹li.k.ai@m.titech.ac.jp, ²ohmi@ee.e.titech.ac.jp

1. Introduction

Ferroelectric Hf-based devices are the most promising candidates for next-generation non-volatile memory. However, the formation of a SiO_x interfacial layer between Si substrate and HfO₂ thin film leading to cause depolarization fields and degradation in device characteristics. We have reported that the ferroelectric HfN_{1.15} thin film formation on Si substrates without interfacial layer formation [1]. One of the issues of ferroelectric HfN_{1.15} thin film is the small memory window (MW) [2].

In this research, we investigated the influence of annealing ambient on the electrical characteristics of HfN_{1.15} thin film to improve the ferroelectric characteristics.

2. Experimental procedure

A 100 nm thick field SiO₂ was formed by wet oxidation on the p- and n⁺-Si(100) substrates followed by the active area patterning. Then, the 10 nm thick HfN_{1.15} thin film was deposited followed by the in-situ deposition of HfN_{0.5} gate electrode by the ECR-plasma sputtering. The Ar/N₂ gas flow rate for HfN_{1.15} and HfN_{0.5} were 8/8 and 10/0.3 sccm, respectively. After that, the post-metallization annealing (PMA) was carried out at 400 °C/5 min in N₂ or He ambient (1 SLM). Next, Al top contact was evaporated, and the gate electrode was patterned by wet etching. The fabricated MFS diodes were characterized by C-V and Tri-PUND measurements.

3. Results and discussion

Figure 1 shows the annealing ambient dependence of C-V characteristics for MFS diodes. The EOT extracted by the dual frequency method were 3.6 nm and 3.8 nm for N₂ and He annealing ambient, respectively. In addition, the annealing in He ambient suppressed frequency dispersion. Figure 2 shows PUND measurement results for MFS diodes. The maximum remnant polarization (2P_r) of 5.6 and 4.9 μC/cm² were obtained for annealing in N₂ and He ambient, respectively. As shown in Fig. 2, the slope of P-V characteristics was steep in case of annealing in He ambient

which suggested the improvement of ferroelectric characteristics.

4. Conclusions

The effects of annealing ambient on ferroelectric HfN thin film formation were investigated. The He ambient was found to be effective to improve the ferroelectric characteristics of HfN thin film.

Acknowledgements

This work was partially supported by JST SPRING Grant Number JPMJSP2106 and JSW.

References

- [1] K. Li *et al.*, JSAP spring meeting, p. 12-263 (2024).
- [2] S. Ohmi *et al.*, IEEE J. Electron Devices Soc., pp. 1036-1040 (2021).

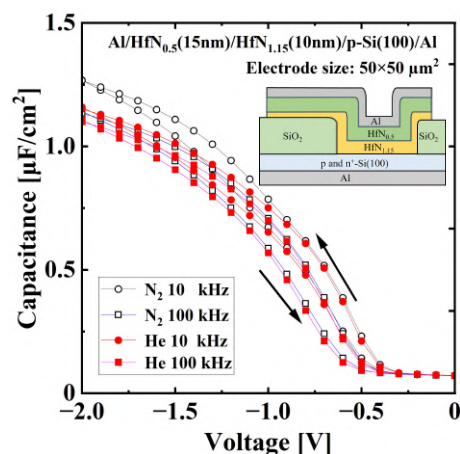


Figure 1. Annealing ambient dependence of C-V for the Al/HfN_{0.5}/HfN_{1.15}/p-Si(100) diodes

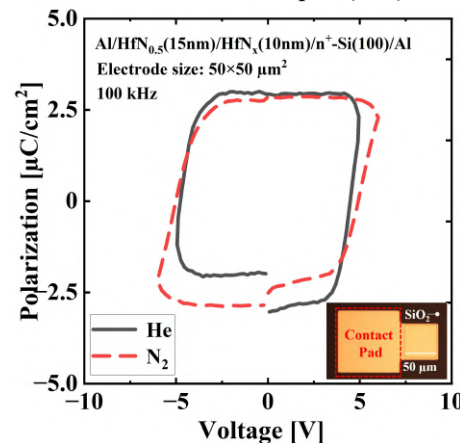


Figure 2. Annealing ambient dependence of PUND for the Al/HfN_{0.5}/HfN_{1.15}/n⁺-Si(100) diodes.

極薄 Si チップの抗折強度評価手法の検討

Experimental approaches to evaluating the fracture strength of ultra-thin Silicon dies

東芝デバイス&ストレージ(株) ○野村 一城, 山下 祐馬, 阿部 慶樹, 大橋 健一, 川城 史義,
野田 貴三

Toshiba Electronic Devices & Storage Corporation, Kazushiro Nomura, Yuma Yamashita, Yoshiki
Abe, Kenichi Oohashi, Fumiyoshi Kawashiro, Takamitsu Noda.

E-mail: kazushiro1.nomura@toshiba.co.jp

【背景】

3次元 LSI の高性能化や低耐圧 MOSFET のオン抵抗低減の観点から Si チップの薄化要求は年々高まっており、現在ではチップ厚が 50 μm を下回る極薄 Si チップの開発が進んでいる。これら極薄チップはプロセス中のハンドリングや信頼性試験時に割れやすく、チップ抗折強度管理の重要性が増している。これまで、チップ抗折強度の測定手法は 3 点曲げ試験が広く用いられてきた[1, 2]。しかし、50 μm 以下の極薄チップではチップのたわみが無視できず、カンチレバー曲げ試験を用いた評価手法が提案されている[3]。その一方で、極薄チップの抗折強度評価に関して実験的な報告は少なく、適切な試験条件の検討が求められている。そこで本研究では、厚さ 50 μm 以下の極薄 Si チップに対してカンチレバー曲げ試験と 3 点曲げ試験を実施し、実験的に試験条件の検討を行った。

【実験方法】

(100)面 Si ミラーウエハーを裏面研削およびドライポリッシュにより 10~50 μm まで薄化し、同一のブレードダイシング条件で個片化し極薄チップを製作した。チップ表面(ミラー面)を評価面として、カンチレバー曲げ試験および 3 点曲げ試験を実施し、それぞれ Fig. 1 に示す式で抗折強度を算出した。

【結果・考察】

Figure 2 は試験高さを 0.4 mm, 1.0 mm, 1.5 mm とした場合のカンチレバー曲げ試験と、試験幅を 2.0 mm とした場合の 3 点曲げ試験から得られた Si の抗折強度を示す。Si 厚 50 μm から 30 μm での抗折強度は同程度であり、試験方法による大きな差異は見られなかった。一方、Si 厚 20 μm 以下では試験高さや試験方法で抗折強度に差が生じ、特に Si 厚 10 μm においては、特定の条件でのみ抗折強度を得ることができた。これらの実験結果より、厚さ 50 μm 以下の極薄 Si チップに対して適切な測定手法と測定条件を議論する。

[1] M Fuegl *et al.*, *Proc. 2015 IEEE 65th ECTC*, pp. 214-219.

[2] M. Xue *et al.*, *Proc. 2018 IEEE 19th ICEPT*, pp. 180-183.

[3] H. Shimamoto *et al.*, *Proc. 21st Symposium on MATE 2015*, pp. 199-202.

社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

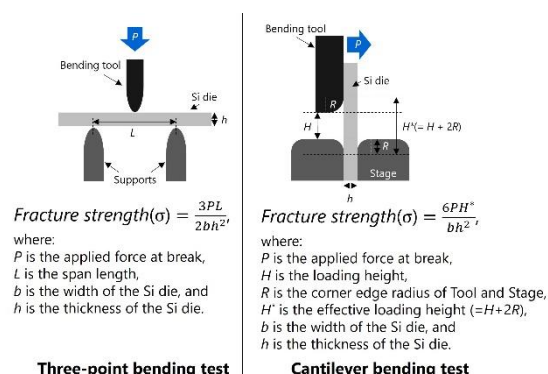


Fig.1 Schematics of three-point bending test (left) and cantilever bending test (right).

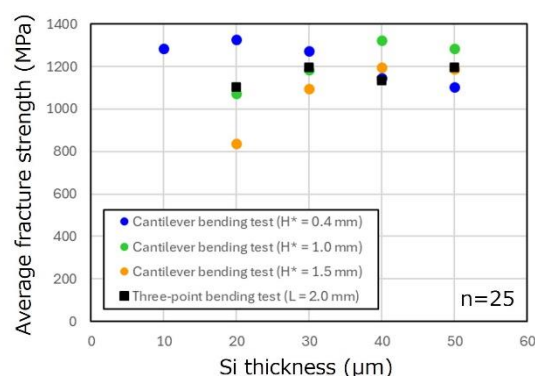


Fig.2 Average Si fracture strength determined by three-point bending test and cantilever bending test.

Influence of the Up-Conversion Effect on the Photocatalytic Activity of NaLuF₄:Yb:Ho@NaLuF₄:Yb:Nd@TiO₂ Core–Shell Structures under Visible Light Irradiation

Okinawa Inst. of Sci. and Tech. Grad. Univ.¹, Univ. of Gdańsk², Dalian Inst. of Chem. Phys.³, Hubei Univ. of Tech.⁴, Adam Mickiewicz Univ.⁵ ○Joanna Nadolna^{1,2,*}, Routian Chen^{1,3}, Pawel Mazierski², Zhishun Wei³, Tomasz Grzyb⁴, Patrycja Szwedowska², Prajakta Kokate¹, Keshav Dani¹

E-mail: joanna.nadolna@oist.jp

Harnessing visible (Vis) and near-infrared (NIR) light for photocatalysis is essential for advancing solar-driven environmental technologies. In this study, we present the design, synthesis, and characterization of NaLuF₄:Yb:Ho@NaLuF₄:Yb:Nd@TiO₂ (Yb:Ho@Yb:Nd@TiO₂) core-shell upconversion particles (UCPs) integrated with TiO₂ for enhanced photocatalytic activity under Vis–NIR irradiation.

Structural and morphological analyses confirmed successful TiO₂ coating on the UCPs (Figure 1.), while EDX and XPS measurements verified the uniform distribution of lanthanide dopants. Diffuse Reflectance Spectroscopy (DRS) revealed distinct absorption features associated with Nd³⁺ and Yb³⁺ ions, enabling effective NIR-to-UV upconversion. Photoluminescence studies demonstrated efficient energy transfer from Yb³⁺ and Nd³⁺ to Ho³⁺, with emission characteristics influenced by interactions at the TiO₂ interface.

Photocatalytic performance, evaluated via phenol degradation, showed significantly improved activity for Yb:Ho@Yb:Nd@TiO₂ compared to bare TiO₂ under Vis–NIR light. The improved efficiency is attributed to the synergistic effect of upconverted UV emission and TiO₂ surface modifications, leading to better charge carrier separation and reduced recombination.

These findings underscore the potential of UCP–TiO₂ composites as effective photocatalysts for solar-driven environmental remediation and offer new insights into the design of Vis–NIR-responsive materials.

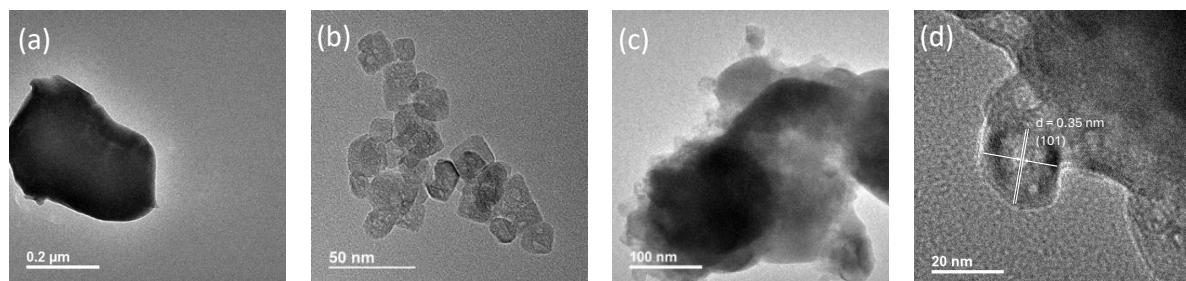


Figure 1. TEM images of (a) Yb:Ho@Yb:Nd, (b) pristine TiO₂, (c)–(d) Yb:Ho@Yb:Nd@TiO₂ sample.

機械学習力場 MD を用いた $a-(\text{SiO}_2)_x(\text{Al}_2\text{O}_3)_{1-x}/\text{GaN}$ 界面の欠陥状態解析

Molecular dynamics study of $a-(\text{SiO}_2)_x(\text{Al}_2\text{O}_3)_{1-x}/\text{GaN}$ interface using machine learning force field

名大工¹, 産総研² ○(M1)佐藤 昂輝¹, 上沼 睦典², 陣内 亮典¹, 旭良司¹

Nagoya Univ.¹, AIST², ○Koki Sato¹, Mutsunori Uenuma², Ryosuke Jinnouchi¹, Ryoji Asahi¹

E-mail: sato.koki.e0@s.mail.nagoya-u.ac.jp

GaN 基板を用いた半導体デバイスは、高品質なゲート絶縁膜の形成がその実用化に不可欠である。近年、 $a\text{-Al}_2\text{O}_3$ を用いた界面において、熱酸化によって形成される酸化ガリウム (GaO_x) 層が、欠陥準位や固定電荷の原因となり、デバイス性能を劣化させることが指摘されている。一方で、 GaO_x 層の構造や厚みを適切に制御することで、高品質な界面が実現できる可能性も実験的に示唆されている[1]。また、 Al_2O_3 と SiO_2 を混合した $a\text{-AlSiO}$ 膜をゲート絶縁膜とすることで高い絶縁性と高移動度を実現する界面が提案されている[2]。本研究では、デバイス特性のさらなる向上を目指し、これらの界面の原子レベルの構造と、電子的欠陥の生成メカニズムを明らかにすることを目的とする。

ゲート絶縁膜として $a\text{-AlSiO}$ 膜を用いた $a\text{-AlSiO}/\text{GaO}_x/\text{GaN}$ 界面構造 (Fig.1) に対して、分子動力学 (MD) シミュレーションによる緩和構造を得た。この際、on-the-fly トレーニング法によって構築した機械学習力場 (MLFF) [3]を用いることによって、大規模な界面構造に対する長時間の MD シミュレーションを可能にした。得られた構造に対して第一原理計算を用いて、バンドギャップ内の欠陥準位 (in-gap 状態) を定量的に評価した。さらに局所構造を定量化し、機械学習によって欠陥準位との相関を調べた。欠陥準位に対する局所構造の寄与度を SHAP 値によって定量化した結果の一例を Fig.2 に示す。 $a\text{-AlSiO}$ 膜を用いた界面では、 SiO_2 添加により Ga-O パッシベーションが促進され、in-gap 状態が効果的に抑制されることが明らかとなった。一方、 SiO_2 を含まない場合、 $a\text{-Al}_2\text{O}_3$ の再結晶化とそれに伴う欠陥の増大が顕著であった。計算結果より、 SiO_2 の含有率、 GaO_x 層の挿入、等によって欠陥密度を低減化する最適化が可能であることが示唆された。

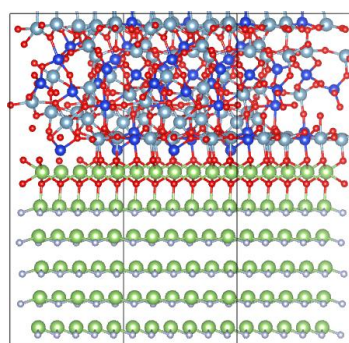


Fig.1 $a\text{-AlSiO}/\text{GaO}_x/\text{GaN}$ model (example)

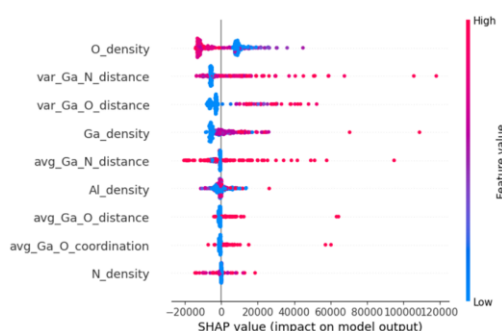


Fig.2 Feature contributions to in-gap defects

[1] Uenuma et al., Appl. Phys. Express 15, 085501 (2022).

[2] Narita et al., Jpn. J. Appl. Phys. 63, 120801 (2024).

[3] Jinnouchi, Miwa, Karsai, Kresse, Asahi, J. Phys. Chem. Lett. 11, 6946 (2020).

変分オートエンコーダを用いた不純物分布生成の高精度化による 半導体ナノワイヤ中の電子伝導特性の設計（に関する研究）

Study on the Design of Electron Transport Properties in Semiconductor Nanowires via Physics-Constrained Impurity Distribution Generation Using Variational Autoencoders

北海道科学大¹, 早大² ○(B)杉山聖¹, 伊藤佳卓¹, 須子統太², 村口正和¹

Hokkaido Univ. of Sci¹, Waseda Univ.²,

Satoru Sugiyama¹, Yoshitaka Itoh¹, Tota Suko², Masakazu Muraguchi¹

E-mail: muraguchi-m@hus.ac.jp

本研究では、機械学習を活用し、所望の透過率を実現する不純物分布の生成に挑戦している。このアプローチによって、ナノスケール半導体デバイスにおける不純物プロファイル設計の効率化が期待される。最終的な目標は、デバイス特性を指定することで、それに対応した不純物プロファイルを自動生成するシステムの構築である。我々はこれまで、変分推論で学習する生成モデルである変分オートエンコーダ(VAE)に着目し、デバイス特性を再現できる不純物分布の生成に取り組んできた[1]。具体的には、半導体ナノワイヤ中を伝導する電子の透過率を再現できる不純物分布の生成を行い、元の透過率分布よりもより所望の透過率に近い不純物分布を生成することに成功した。しかし、これまでの不純物分布を画像として扱うアプローチでは、不純物数などの物理条件を満たす生成結果を得ることが難しいという課題が残った。そこで本研究では、不純物の座標情報のみを学習データとして VAE を用いた生成を行うことで、計算量の削減と生成モデルの精度向上を検討した。

時間依存シュレディンガー方程式を解くことで得られたランダムな不純物分布を持つ半導体ナノワイヤ中を通過する電子波束の透過率を学習データとした。20,000 通りの不純物分布データの中から、生成対象とする透過率範囲に属する不純物分布のみを抽出し、VAE によるモデリングを行った。その結果、図 1 に示すように、不純物数などの物理条件を満たす不純物分布を生成することに成功した。図 2 に透過率 94~96% を与える不純物分布の生成を試みた結果を示す。透過率分布の中心が、ランダムな不純物分布 (Fig.2 (a)) と比べて、所望の透過率の方に向かって変化する結果が得られた (Fig.2(b))。さらに画像として不純物を学習した場合との比較を行い、VAE を用いた生成に適した方法を検討した結果を報告する。

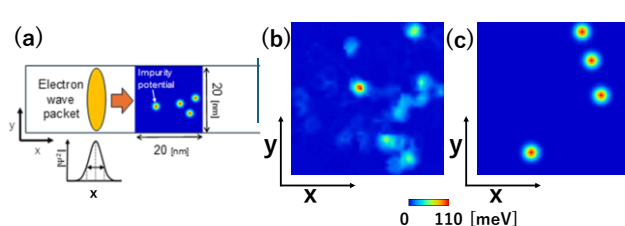


Fig.1 (a) System model, (b) generation from image-based learning, (c) generation from coordinate-based learning

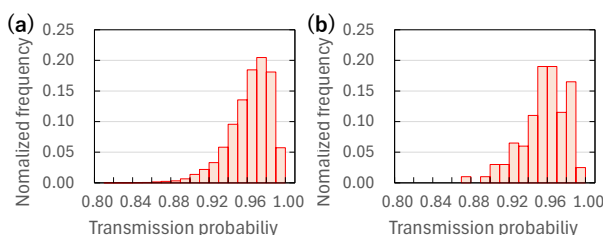


Fig.2 Electron transmittance distributions for (a) random and (b) generated configurations targeting 94–96% transmittance

[1] S. Sugiyama, Y. Itoh, T. Suko, M. Muraguchi, MNC 2024 14P-1-42

SiC ショットキーバリアダイオードにおける トラップアシストトンネル電流の理論解析

Theoretical analysis of trap-assisted tunneling current in SiC Schottky barrier diodes

阪大院工¹, 関学大工² ○小川諒¹, 田中 一^{1,2}, 森 伸也¹

Univ. of Osaka¹, Kwansei Gakuin Univ.² ○Ryo Ogawa¹, Hajime Tanaka^{1,2}, and Nobuya Mori¹

E-mail: {ogawa, tanaka, mori}@si.eei.eng.osaka-u.ac.jp

背景 4H-SiC ショットキーバリアダイオードにおいて、イオン注入を行った4H-SiC 基板上に素子を作製した場合、イオン注入を用いずにドーピングを行った場合に比べ、電流が数桁大きくなる現象が観測されている [1]。本研究では、フォノンの放出・吸収を考慮したトラップアシストトンネル (TAT) の理論的なモデルを用いて、この電流の定量的解析を試みた。

計算モデル 図1にトンネル障壁の模式図を示す。本研究では、ポテンシャル障壁中に存在する、比較的浅いトラップを介した TAT 過程を考えた。トラップポテンシャルは、輸送方向 (z 方向) には δ 関数型ポテンシャル、それに垂直な方向 (xy 方向) には2次元調和ポテンシャルを仮定した。そして、フォノンの放出または吸収を伴う状態遷移に着目し、電子がトラップに出入りするレートを、ギャップ中に染み出す局所状態密度を用いて計算した。得られたレートをを用いて状態遷移を考え、定常状態の条件を課すことで、TAT 電流 J_{TAT} を求めた。さらに、直接トンネル電流 J_{DT} と熱電子放出電流 J_{TE} [1] とを計算し、 J_{TAT} と J_{DT} , J_{TE} との和を全電流 J_{Total} とした。全電流に対し、直列抵抗 R_s による電圧降下を考慮し、印加電圧と電流密度との関係を得た。

結果・考察 本研究では、全電流 J_{Total} を実験結果 [1] にフィッティングし、Ti/高注入 n 型 SiC 接合における電流電圧特性の再現を試みた。フィッティングの結果、トラップ深さ $\phi_T = 0.29$ eV, 直列抵抗 $R_s = 94$ m $\Omega \cdot \text{cm}^2$, トラップ密度 $n = 1.3 \times 10^{14}$ cm $^{-3}$, xy 方向の波動関数のサイズ $\sigma_T = 1.0 \times 10^{-8}$ cm を決定した。図2に、フィッティングの結果得られた電流電圧特性を示す。全電流 J_{Total} を黒破線, J_{TAT} を緑実線 (黒破線と重なっている), J_{DT} を赤実線, J_{TE} を青実線でプロットした。実験結果は黒丸印でプロットした。この図から、逆方向特性は実験結果をよく再現していることが分かった。一方で、順方向特性はバイアスが大きい範囲で実験結果を下回った。先行研究 [2] ではイオン注入した n 型 4H-SiC に対する DLTS 測定の結果、最も浅いトラップ準位が深さが 0.28 eV 程度と報告されており、本研究で得られた ϕ_T と整合する。

[1] M. Hara *et al.*, Mater. Sci. Semicond. Process. **171**, 108023 (2024). [2] K. Kawahara *et al.*, JJAP **106**, 013719 (2009).

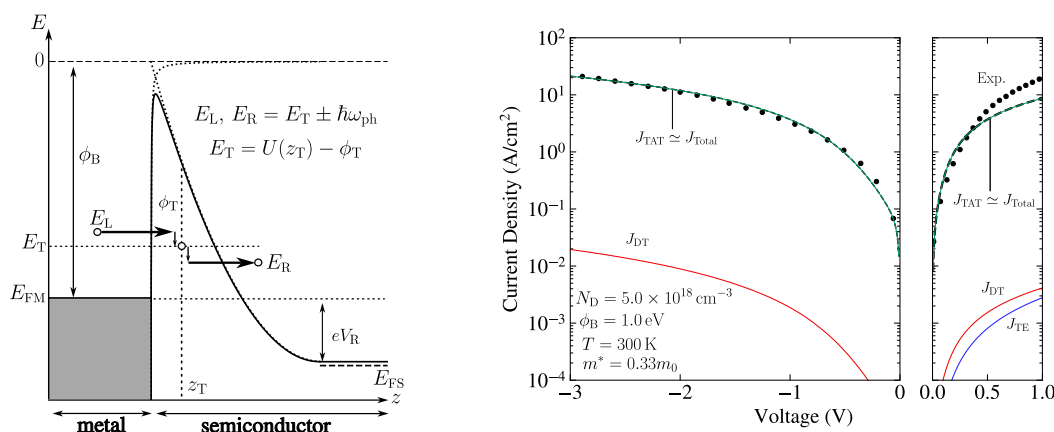


Fig. 1 [left]: A schematic band diagram of a Schottky barrier diode. Electrons flow from the metal electrode to the semiconductor through trap levels present in the Schottky barrier.

Fig. 2 [right]: The current-voltage characteristics of a Schottky barrier diode. The green, red, and blue solid lines represent J_{TAT} , J_{DT} , and J_{TE} , respectively. The black dashed line represents the total current J_{Total} (overlapping with the J_{TAT}). The black circles indicate experimental results [1].

3C/4H-SiC ヘテロ構造のデバイス特性に対する影響の TCAD 解析

TCAD Analysis of the Impact of 3C/4H-SiC Heterostructures on Device Characteristics

富山県立大¹, CUSiC², 東北通研³ ◯(M1)下條 滉太¹, 畠山 哲夫¹, 長澤 弘幸^{2,3}

Toyama Pref. Univ.¹, CUSiC², Tohoku Inst³ ◯Kota Gejo¹, Tetsuo Hatakeyama¹, Hiroyuki Nagasawa^{2,3}

E-mail: t.hatakeyama@pu-toyama.ac.jp

同時横方向エピタキシャル成長 (SLE) 法により、高品質な 3C-SiC/4H-SiC (以下、3C/4H) 構造の作製が実現されており、現在、この構造を応用したデバイス開発が精力的に進められている [1]。本研究では、3C/4H ヘテロ構造を利用したデバイスの基盤技術として、その物理特性をモデル化し、TCAD へ実装することを試みた。特に、3C-SiC 単体および 3C/4H 界面における物性を再現し、それらを用いて 3C/4H 界面上に形成された MOS 構造の容量-電圧 (C-V) 特性の予測を行った。得られた計算結果に基づき、3C/4H 構造がデバイス動作に与える影響や潜在的な課題について考察を行った。

TCAD で用いた MOS 構造は、SLE 法により形成された実際の構造を参照し、4H-SiC の Si 面上に 3C-SiC 層を配置した。3C-SiC、4H-SiC、および SiO₂間のバンドアライメントについては、4H-SiC の Si 面 MOS 界面に関する実験データに基づいて推定を行った [2]。さらに、3C/4H 界面では、4H-SiC に特有の自発分極により界面に負の分極電荷が発生することが知られており [3]、この効果を TCAD に反映させるため、界面には $-q \times 10^{13} \text{ cm}^{-2}$ 程度の負の固定電荷を導入した。図 1 には、TCAD で用いた 3C/4H ヘテロ MOS 構造と、比較用の 3C-SiC の MOS 構造を示す。

p 型 3C-SiC および 3C/4H 構造上に形成された MOS 構造の C-V 特性は一致しており (図示なし)、3C/4H 構造が C-V 特性に与える影響は限定的であることがわかる。この理由として、誘起キャリアが正孔であり、3C-SiC と 4H-SiC の間に存在する価電子帯オフセットが非常に小さい (約 0.1 eV) ことから、両材料間でのキャリア輸送が阻害されにくいことが挙げられる。

一方、n 型 MOS 構造においては、3C/4H ヘテロ構造が C-V 特性に対して顕著な影響を及ぼす。図 2 に示されるように、ヘテロ構造を含む場合には C-V 特性の容量値が大きく低下している。図 3 に計算により得られた蓄積状態における電子分布とバンド図を示す。これらの解析結果から、界面分極により 3C/4H 界面に正孔層が形成され、その影響で界面の上下に厚い空乏層が存在することが確認された。この空乏容量が MOS 構造全体の C-V 特性を支配していると考えられる。

本研究の結果は、自発分極およびバンド不連続がキャリア分布や C-V 特性に与える影響を明確に示すものであり、3C/4H-SiC ヘテロ構造を用いたパワー MOSFET の設計や最適化に対する有益な指針を提供する。また、特に n 型構造においては、3C/4H 界面近傍に形成される空乏層が高抵抗領域となるため、こうした構造を含むデバイス設計では、その影響を最小限に抑える工夫が求められる。

[1] H. Nagasawa et al., Solid State Electron 362 (2024) 34. [2] T. Hosoi, et al.: Current Applied Physics, 12, p. 579-582 (2012) [3] A. Qteich, et al.: Phys. Rev. B, 45, 6534 (1992)

【謝辞】 本研究は、JSPS 科研費 23K03928、および東芝デバイス & ストレージ (株) の学術奨励の助成を受けたものです。

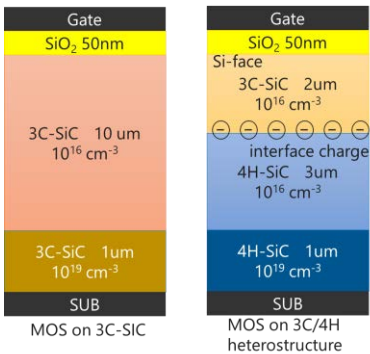


Fig. 1. Cross sections of the device structures used in the TCAD simulation of the C-V characteristics.

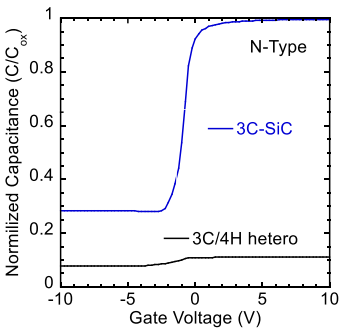


Fig. 2. Simulated C-V characteristics of MOS structures on n-type 3C-SiC and on the 3C/4H heterostructure.

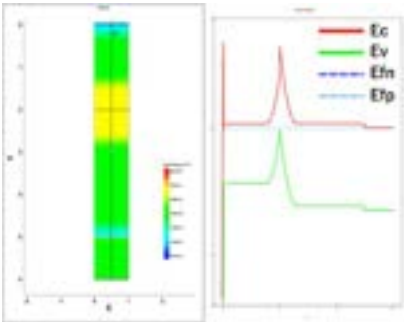


Fig. 3. Electron distribution and band diagram of the MOS structure on the 3C/4H heterostructure in the accumulation state.

13 Semiconductors | Poster presentation : 13.1 Fundamental properties, surface and interface, and simulations of Si related materials

[9a-P05-1~3] 13.1 Fundamental properties, surface and interface, and simulations of Si related materials

[9a-P05-1]

Strain Effects on Density-of-States of p-Type Si and Ge

○Kazunori Matsuda¹, Masashi Yamamoto², Takashi Kunimoto³, Nobuya Mori¹ (1.Osaka Univ., 2.NIT Kagawa College, 3.Tokushima Bunri Univ.)

[9a-P05-2]

Revisiting surface conditions of H/Si(111) after wet-chemical treatment

-From perspective of visualization mechanisms depending on different SPM modes-

○Ayumi Takahashi¹, Az Zahrah Fitriana Syafira¹, Naoko Momono¹, Kouji Inagaki¹, Kenta Arima¹ (1.UOsaka.)

[9a-P05-3]

Conditions for Damage-Free Drying of Pillar-Shaped Nanopatterns

Ivan Ganachev¹, ○Yuto Yamamoto¹, Haruka Nakano¹ (1.Shibaura Mechatronics Corp.)

p 型 Si, Ge における状態密度の歪効果

Strain Effects on Density-of-States of p-Type Si and Ge

版大院工¹, 香川高専², 徳文大理工³ [○]松田和典¹, 山本雅史², 國本 崇³, 森 伸也¹

Osaka Univ.¹, NIT Kagawa College², Tokushima Bunri Univ.³ [○]Kazunori Matsuda¹, Masashi Yamamoto², Takashi Kunimoto³, Nobuya Mori¹

E-mail: matsuda@si.eei.eng.osaka-u.ac.jp

p 型 Si のピエゾ抵抗効果は、価電子バンドの等エネルギー面が変形するため複雑であるが、基本的には2重に縮退している重いホールと軽いホールのバンドが解けることにより、重いホールの密度が増えて抵抗が増加するというメカニズムで説明されている[1,2]. しかし、p 型 Ge の[100]方向ではピエゾ抵抗係数の実験値(π_{11})は符号さえ一致しない[3]. この係数(π_{11})の符号が負であることは、分離した重いホールバンドと軽いホールバンドのエネルギーの上下関係が[100]方向だけ逆になっていることを意味し、理論上あり得ない. Si でも π_{11} の文献による実験値は他の係数に比べて一致が悪いが、若干負の値になることを我々は以前に報告している[4].

立方晶系の半導体では、一軸性応力により価電子バンドの等エネルギー面が回転楕円体に変形することに加え、変形ポテンシャルにも異方性が生じる. また、有効質量は一軸性応力に垂直な方向で応力とともに変化するため、有効質量状態密度も変わる[2]. 本稿では歪に因る電気伝導の変化の計算において、従来の理論モデルには考慮されていなかったホール密度 $p_i = N_V^{(i)} e^{-\beta(E_F - E_V^{(i)})}$ に含まれる有効状態密度 $N_V^{(i)}$ と、緩和時間 $\tau_i^{-1} \propto g(\varepsilon) D_i^2$ に含まれる終状態状態密度 $g(\varepsilon)$ の影響について報告する.

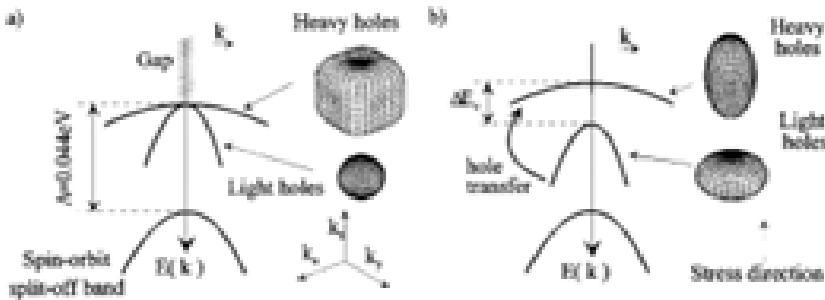


図1 Si, Ge の歪による価電子バンド分離と等エネルギー面の変形

表1 p 型 Ge, Si のピエゾ抵抗係数 (単位: 10^{11} Pa^{-1})

	p 型 Ge				p 型 Si			
	π_{11}	π_{12}	π_{44}	$\pi_{//}^{[110]}$	π_{11}	π_{12}	π_{44}	$\pi_{//}^{[110]}$
実験値*	-10.6	5.5	98.6	46.5	6.6	-1.1	138	69
理論値	50	-25	73	49	14	-6.8	111	59

*は多くの専門書や文献に出ている従来の実験値を示す.

[1] K. Matsuda, *et. al.*, Appl. Phys. Exp. 16(4), 041003, (2023).

[2] P. Kleimann, *et. al.*, Phys. Rev. B 57(15), 8966 (1998).

[3] K. Matsuda, *et. al.*, IOP Conference Series: Journal of Physics 864, 012945, (2017)

[4] K. Matsuda, *et. al.*, J. Appl. Phys. 73(4), 1838 (1993)

溶液処理を施した H/Si(111)の表面状態に関する再検証

-SPM の測定モードに依存した可視化メカニズムの観点から-

Revisiting surface conditions of H/Si(111) after wet-chemical treatment

-From perspective of visualization mechanisms depending on different SPM modes-

阪大院工, °(M2)高橋 亜弓, Az Zahrah Fitriana Syafira, 百濃 尚子, 稲垣 耕司, 有馬 健太

UOsaka. °Ayumi Takahashi, Az Zahrah Fitriana Syafira, Naoko Momono, Kouji Inagaki, Kenta Arima

E-mail: atakahashi@sie.prec.eng.osaka-u.ac.jp

次世代の電子・光学デバイスを開発するためには、半導体や絶縁体などの機能性材料を平坦化および洗浄する高性能の溶液処理が必須である。これを実現するためには、各溶液処理の性能を原子スケールで計測・評価できる手法が不可欠である。その代表的な手法の一つが、走査型プローブ顕微鏡 (Scanning Probe Microscopy: SPM) である。我々のグループでは過去に、SPM の一種である走査型トンネル顕微鏡 (Scanning Tunneling Microscopy: STM) を用いて、溶液処理を経た Si や SiC 表面の原子構造を可視化する研究を進めてきた[1]。このアプローチをより多様な機能性材料に適用するため、原理的に、試料の導電性を問わず高い空間分解能を持つ非接触型原子間力顕微鏡 (noncontact Atomic Force Microscopy: nc-AFM) に着目した。本研究の最終的な目標は、溶液処理後の様々な機能性材料表面の原子構造を nc-AFM により可視化することである。今回は、よく知られた溶液処理 (異方性エッチング) によって Si(111)表面を H 原子で不動態化および平坦化し、その表面を nc-AFM と STM の両方で観察した。そして、得られた画像の特徴や相違点を整理すると共に、両モードにおける可視化のメカニズムを考察した。

図 1(a)は、NH₄F への浸漬[2]により作製した H/Si(111)のステップ/テラス構造を振幅変調型 AFM で観察した結果である。その表面を nc-AFM と STM で観察した結果を図 1(b)と(c)に示す。これらを比較すると、nc-AFM 画像 (図 1(b)) には STM 画像には見られない粒子が数多く確認できる。一方で STM 画像 (図 1(c)) では、nc-AFM 画像には無いエッチピットが見られる。これらの相違の起源として、まず探針が Si 表面上に吸着した導電性の低い物質の上方を走査する nc-AFM では、吸着物質を含めた Si 表面の構造が可視化される。一方で、トンネル電流を検出する STM 観察では、導電性の低い吸着物は可視化されず、溶液処理で決まる Si 表面の構造のみが観察されると予想する。nc-AFM 画像 (図 1(b)) 中に見える微小な粒子は、振幅変調型 AFM 画像 (図 1(a)) では確認されない点も興味深い。図 2 に、図 1(b)と(c)における観察直後に得た Si 表面の X 線光電子分光 (X-ray Photoelectron Spectroscopy: XPS) 測定の結果を示す。これより、Si2p のピークの他に、C1s と O1s のピークが存在することが明瞭に読み取れる。したがって現時点では、nc-AFM 画像 (図 1(b)) に見られた導電性の低い吸着物は、溶液処理後の大気中での搬送過程などで付着した有機汚染、もしくは、水分子の可能性が高いと予想している。一方で、STM 画像 (図 1(c)) に見られる微小な粒子は、NH₄F への浸漬中に溶解し、再付着した Si 微粒子を表すと推測される。

以上より、nc-AFM は STM とは異なり、導電性に関わらず、分子状の吸着汚染を高い感度で可視化できることを示唆する結果を得た。これは、ウェット/ドライ洗浄の性能を分子レベルで可視化できる評価手法に繋がる。

参考文献

[1] 有馬健太, 応用物理, **84**, 1009 (2015). [2] G. S. Higashi, *Appl. Phys. Lett.* **58**, 1656 (1991).

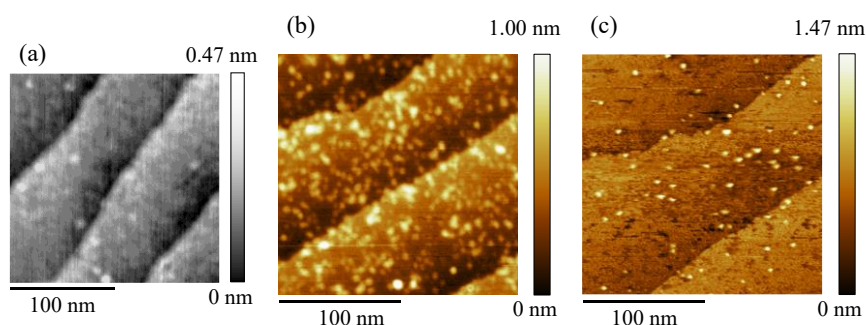


Fig.1. (a) Amplitude-modulation AFM, (b) nc-AFM, and (c) STM images of wet-treated H/Si(111) surface. In nc-AFM observation, the amplitude and the frequency shift were set to 1.0 nm and -1.0 Hz, respectively. In STM observation, the sample bias and the tunneling current were set to -2.0 V and 0.6 pA, respectively.

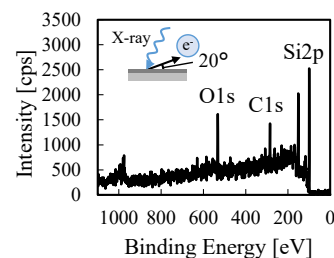


Fig.2. Survey scan of the Si surface by XPS after getting the images in Figs. 1(b) and 1(c).

柱状ナノパターン乾燥におけるパターン閉塞発生条件の解析

Conditions for Damage-Free Drying of Pillar-Shaped Nanopatterns

¹ 芝浦メカトロニクス株式会社, ガナシェフ イヴァン¹, [○]山本 悠人¹, 中野 晴香¹

¹ Shibaura Mechatronics Corporation, Ivan Ganachev¹, [○]Yuto Yamamoto¹, Haruka Nakano¹

E-mail: ivan.ganachev@shibaura.co.jp

Drying is required after every wet-process step in the manufacturing sequence of semiconductor nano devices. Damage by sticking of neighboring nanopatterns is a critical bottleneck in the process design. Pattern sticking is caused by capillary force pulling the pillars towards each other and is governed by the liquid's surface tension γ and the nanopattern wettability (contact angle θ). Recent 3d logic nanodevice design proposals (e.g. [1]) use arrays of vertical nano-pillars: nano-size cylinders of height h and diameter d distributed in a two-dimensional formation of pitch p (Fig. 1). In a large pillar array each pillar is pulled by its neighbors in opposite directions, so that the total capillary force is zero in non-deformed state. Any small pillar bending destroys this balance and causes some resultant non-zero force, which may either restore the pillar to its upright state or bend it even further away. In the latter case the pillar array becomes unstable and the pillars bend further until they stick to each other. In this contribution we derive the conditions for avoiding pillar adhesion failure.

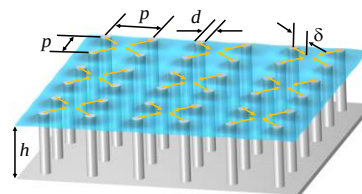


Fig.1. Multi-pillar array immersed in shallow liquid

We consider the resistance of a very large (in the model infinite) pillar array to small deformations where the pillars bend in groups of four, each pillar end displaced by δ towards the center of its four-pillar group (the prevailing mode observed in drying pillar matrix experiments [2]). The criterion for stability is that such deformation should lead to energy increase, causing the system to return to its initial lower-energy non-deformed state. The energy has four components: the elastic energy U_{el} of the pillars (proportional to the pillars Young's modulus E), the surface energy $U_l = \gamma \Delta S_l$ of the liquid-air surface, and the surface energy of the wetted solid surface $U_w = -\gamma \cos \theta \Delta S_w$, where ΔS_l and ΔS_w are the area changes of the respective surfaces ($U_w < 0$ when the wetted surface S_w increases). We computed the respective surface areas numerically from the requirement for a constant mean-curvature surface shape. All three energies are proportional to δ^2 for small pillar deformations δ and their sum is $U = [(3\pi/32) E d^4/h^3 - \gamma \cos^2 \theta f(d/p)] \delta^2$, where $f(\alpha) \approx 20 \alpha^2 + 163 \alpha^4$ is a function of the pillar density $\alpha \equiv d/p$. The pillars will be stable only if the expression in the brackets is positive, so that the stability criterion is $\gamma \cos^2 \theta < (3\pi d^4/32 h^3) E / f(d/p)$. This is similar to the stability criterion from [2], but with a different dependence $f(\alpha)$, due to the different structure (infinite pillar array instead of the four isolated pillars considered in [2]).

References: [1] B. Chen et al.: *Science Reports* **4** (2014) 6863

[2] D. Chandra & S. Yang: *Accounts of Chemical Research*, **43** (2010) 1080

13 Semiconductors | Oral presentation : 13.2 Exploratory Materials, Physical Properties, Devices

[7a-N403-1~9] 13.2 Exploratory Materials, Physical Properties, Devices

[7a-N403-1]

Fabrication and evaluation of a-Si:H interfacial layer for BaSi₂ solar cell applications

○Yuka Fukaya¹, Nurfauzi Abdillah¹, Kaoru Toko¹, Takashi suemasu¹ (1.Univ. Tsukuba)

[7a-N403-2]

Investigation of HTL materials by simulation for BaSi₂ hetero-junction solar cells

○Yuji Ishiguro¹, Sho Aonuki¹, Koki Hayashi¹, Kaoru Toko¹, Takashi Suemasu¹ (1.Univ. Tsukuba)

[7a-N403-3]

Evaluation of Hole Transport Properties of HN-D2 for BaSi₂ solar cell applications

○Mizuki Hirai¹, Yuka Fukaya¹, Takeshi Yasuda², Yoichiro Koda³, Masami Meshida³, Kaoru Toko¹, Takashi Suemasu¹ (1.Univ. Tsukuba, 2.NIMS, 3.Tosoh Corporation)

[7a-N403-4]

Investigation of BaS hole transport layer for BaSi₂ thin film solar cells

○(M2)Ammara Firdous¹, Koki Hayashi¹, Nurfauzi Abdillah¹, Yoichiro Koda², Masami Mesuda², Kaoru Toko¹, Takashi Suemasu¹ (1.Univ. Tsukuba, 2.Tosoh Corp.)

[7a-N403-5]

Interface investigation between HTL and BaSi₂ for heterojunction solar cells

○Koki Hayashi¹, Yuji Ishiguro¹, Yoichiro Koda², Masami Mesuda², Kaoru Toko¹, Takashi Suemasu¹ (1.Univ. Tsukuba, 2.Tosoh Corp.)

[7a-N403-6]

Ru composition dependence of photoreflectance spectra in β -(Fe_{1-x}Ru_x)Si₂

○Takumi Takahashi¹, Yutaka Sakurai¹, Reo Idemori¹, Yoshikazu Terai¹ (1.Kyushu Inst. of Tech.)

[7a-N403-7]

Electronic structure calculation of semiconducting silicides: Hybrid functional study

○Motoharu Imai¹ (1.NIMS)

[7a-N403-8]

Optical and electrical properties of Bi-doped 2D lead-halide chiral perovskites

○Keito Mizukami^{1,2}, Jan-Heinrich Littmann², Hannes Hergert², Yu Fujioka¹, Satoko Fukumori¹, Yuki Hanamura¹, Philip Klement², Matthias T. Elm², Sangam Chatterjee², Hirokazu Tada¹ (1.Osaka Univ., 2.Justus-Liebig University Giessen)

[7a-N403-9]

Development of Artificial Organic-Inorganic Hybrid Chiral Semiconductors and Detection of Chiral Electronic States

○Tomohiro Okano¹, Huang Po-jung¹, Taniguchi Kouji¹ (1.Science Tokyo)

BaSi₂ 太陽電池への応用に向けた界面層 a-Si:H の作製と評価Fabrication and evaluation of a-Si:H interfacial layer for BaSi₂ solar cell applications筑波大¹, °深谷 友香¹, Nurfauzi Abdillah¹, 都甲 薫¹, 末益 崇¹Univ. Tsukuba¹, °Yuka Fukaya¹, Nurfauzi Abdillah¹, Kaoru Toko¹, Takashi Suemasu¹

E-mail: s2420317@u.tsukuba.ac.jp

【背景】 BaSi₂ は太陽電池に適する諸特性を有する¹⁾。近年、BaSi₂ 膜の光学特性が飛躍的に向上したこと、さらに、n 型不純物の拡散係数が大きいことから、高品質なアンドープ BaSi₂ 膜を光吸収層に用い、電子輸送層 (ETL) とホール輸送層 (HTL) により、光生成した電子とホールを分離するデバイス構造が考えられる。先行研究では MoO_x を HTL として n-BaSi₂ 膜とのヘテロ接合により太陽電池動作を実証したが、高効率動作には至っていない²⁾。BaSi₂ は酸素と反応しやすいため、MoO_x 内の酸素原子が BaSi₂ 側へと拡散し、界面付近の BaSi₂ が酸化する可能性もある。さらに、酸素組成の減少に伴い、MoO_x 膜の仕事関数も低下すると予想される³⁾。MoO_x の仕事関数が減少すると BaSi₂ との内蔵電位が減少し、太陽電池特性の劣化に直結する。そこで本研究では、HTL 材料である MoO_x 膜の酸素組成を維持するため、MoO_x / BaSi₂ 界面に界面層の挿入を検討した。界面層には、BaSi₂ のキャップ層として用いられてきた実績のある、a-Si を選択した。加えて、a-Si 層に水素プラズマを照射して、a-Si:H とすることで、界面層の高品質化を試みた。

【実験手法】 Si(111) 基板上に MBE 法により BaSi₂ を 500 nm エピタキシャル成長した後、in situ で 3 nm の a-Si を堆積した。その後、RF プラズマを用いて a-Si 層へ原子状水素を照射した。このときの水素供給時間 $t_{\text{a-Si:H}}$ を 0 – 30 min の間で変調した。また、RF 投入電力は 70 W、水素供給量は成長チャンバー内の真空度により制御し、 1.0×10^{-3} Pa に設定した。その後、蒸着法により 1 nm min^{-1} の成長速度で 10 nm の MoO_x を堆積した。比較として、同条件で MoO_x (10 nm) / a-Si:H (3 nm) / Si (111) 基板の構造を作製した。本研究では、XPS, UPS, 分光エリプソメトリ、断面 TEM によって試料を評価した。

【結果・考察】 MoO_x 膜の酸素組成 x を $t_{\text{a-Si:H}}$ の関数として Fig. 1(a) に示す。XPS スペクトルを Mo⁶⁺, Mo⁵⁺ のピーク⁴⁾によりフィッティングを行い、MoO_x 膜の酸素組成 x を算出した。どちらの構造においても、 $t_{\text{a-Si:H}}$ が増加するにつれ x が増大した。一方、BaSi₂ 層を挿入すると、 x は低下した。これは、BaSi₂ 膜が酸素と結合しやすいためと考えられる。Fig.(b) に UPS 測定と分光エリプソメトリ結果から算出した MoO_x 膜のバンドギャップと電子親和力を示す。これらは $t_{\text{a-Si:H}}$ に大きく依存しないため、フェルミ準位のみが変化すると考えられる。Fig.(c) に水素供給なし、水素供給ありの試料の断面 TEM 画像を示す。Fig.(d) に EDS 測定による深さ方向の酸素濃度変化を示す。水素供給ありの試料の方が BaSi₂ 内の酸素濃度が小さいため、a-Si:H が酸素原子の拡散を防いでいると考えられる。

【参考文献】

- 1) T. Suemasu and D. B. Migas, Phys. Status Solidi A **219**, 2100593 (2022).
- 2) W. Du *et al.*, Appl. Phys. Lett. **106**, 122104 (2015).
- 3) L. Cao *et al.*, Prog. Photovolt. **31**, 1245 (2023).
- 4) T. Zhang *et al.*, AIP Conference Proceedings **1999**, 040027 (2018).

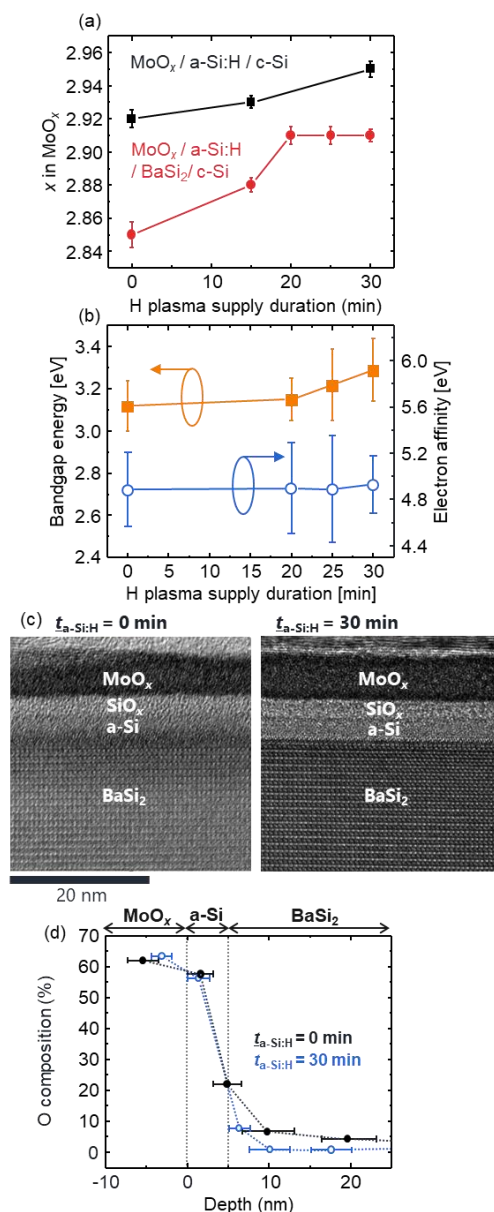


Fig. 1 (a) Oxygen composition x in MoO_x films as a function of H plasma supply duration determined by XPS spectra. (b) Band gap energy and electron affinity of MoO_x films by spectroscopic ellipsometry and UPS spectra. (c) Cross sectional TEM images and (d) Depth profiles of EDS-determined oxygen composition measured in the MoO_x/a-Si:H/BaSi₂ structures at $t_{\text{a-Si:H}} = 0 \text{ min}$ and 30 min.

BaSi₂ ヘテロ接合型太陽電池に向けたシミュレーションによる HTL 材料の検討

Investigation of HTL materials by simulation for BaSi₂ hetero-junction solar cells

筑波大学 °石黒 雄路, 青貫 翔, 林 洸希, 都甲 薫, 末益 崇

Univ. Tsukuba, °Yuji Ishiguro, Sho Aonuki, Koki Hayashi, Kaoru Toko, Takashi Suemasu

E-mail: yusen2003@outlook.jp

1. 背景・目的

本研究では薄膜太陽電池の新規材料として BaSi₂ に注目した。[1]BaSi₂ は豊富な元素から構成される半導体でありながら、大きな光吸収係数 ($3 \times 10^4 \text{ cm}^{-1}$ at 1.5 eV) と優れた少数キャリア拡散長 (10 μm) を有する[2]。また、バンドギャップ (E_g) が 1.3 eV と太陽電池の理想値に近い[2]。先行研究では、Ba 及び BaSi₂ ターゲットを用いた同時スパッタ法により、Ba/Si 組成比を制御し、高品質な BaSi₂ 光吸収層の形成を達成した[3]。また、BaSi₂-pn ホモ接合型太陽電池では、BaSi₂ の大きな光吸収係数により BaSi₂ 表面層での寄生吸収損失が大きく、高品質な BaSi₂ 光吸収層を十分に活用できない[4]。また、p/n 制御に用いる不純物の拡散の問題もある。そこで本研究では、寄生吸収を抑制し光生成キャリアを効率よく取り出すため、undoped BaSi₂ とホール輸送層 (HTL) のヘテロ接合を検討した。HTL には BaSi₂ と比較して大きな E_g 、同程度のイオン化ポテンシャル ($IP \sim 4.5 \text{ eV}$) が求められる。本研究では、様々な HTL 材料に対して太陽電池特性のシミュレーションを行い、バンドアライメントが特性に与える影響を調べた。

2. 実験方法

HTL 材料の候補として MoO₃、WO₃、V₂O₅、Cu₂O、NiO、HN-D2、p-a-Si を使い、Silvaco Atlas によるシミュレーションを行った。AM1.5G 照射下の J - V 特性を計算し、太陽電池特性を評価した。デバイスの構造は、ITO (80 nm) / HTL (2 nm) / a-Si (3 nm) / n-BaSi₂ (500 nm) / TiN (250 nm) / glass (500 μm) とした。HTL として p-a-Si を用いた場合は、p-a-Si の膜厚を 3 nm とし、a-Si 層は挿入しなかった。また、比較のために ITO (80 nm) / a-Si (3 nm) / p⁺-BaSi₂ (20 nm) / n-BaSi₂ (500 nm) / TiN (250 nm) / glass (500 μm) のホモ接合についても実験を行った。HN-D2 については、イオン化ポテンシャル (IP) を 4.6 – 5.0 eV で変調し、 J - V 特性を導出した。

3. 実験結果および考察

Figure 1 に HTL/BaSi₂ ヘテロ接合型太陽電池と BaSi₂ ホモ接合型太陽電池の J - V 特性を示す。BaSi₂ ホモ接合型太陽電池と比較して、HTL を用いたヘテロ接合型太陽電池では光電流密度が増加した。これより、p-BaSi₂ 層における寄生吸収を、HTL に置換することで抑制した。HN-D2 の IP を減少させることで、光電流密度が増加した。

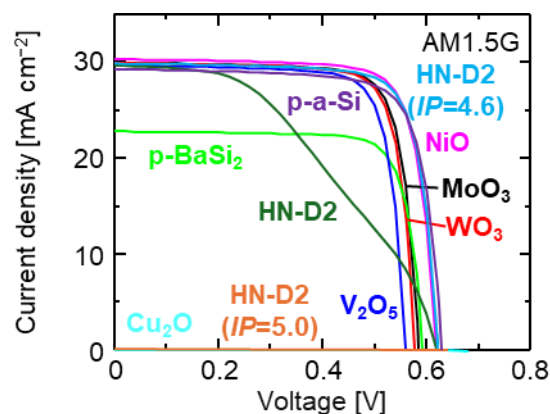


Figure 1 : J - V characteristics of HTL/BaSi₂ hetero-junction solar cell with different HTL materials under AM1.5G illumination.

4. 結論

本研究では、環境材料 BaSi₂ に接合する最適な HTL 材料をシミュレーションにより検討した。HTL/BaSi₂ ヘテロ接合型太陽電池の J - V 特性から、p-BaSi₂ 層における寄生吸収を、HTL に置換することで抑制した。HN-D2 の IP を変調した計算から、 IP が小さい HN-D2 が望ましいとわかった。

参考文献

- [1] T. Suemasu and D. B. Migas, Phys. Status Solidi A **219**, 2100593 (2022).
- [2] T. Suemasu and N. Usami, J. Phys. D: Appl. Phys. **50**, 023001 (2017).
- [3] R. Du *et al.*, ACS Appl. Mater. Inter. **16**, 52595 (2024).
- [4] Y. Yamashita *et al.*, Sol. Energy Mater. Sol. Cells **230**, 111181 (2021).

BaSi₂太陽電池に向けた HN-D2 薄膜のホール輸送特性評価Evaluation of Hole Transport Properties of HN-D2 for BaSi₂ solar cell applications筑波大院¹, NIMS², 東ソー株式会社³平井瑞紀¹, 深谷友香¹, 安田剛², 幸田陽一朗³, 召田雅実³, 都甲薫¹, 末益崇¹Univ. of Tsukuba¹, NIMS², Tosoh Corporation³M. Hirai, Y. Fukaya¹, T. Yasuda², Y. Koda³, M. Mesuda³, K. Toko¹, and T. Suemasu¹

E-mail: s2520323@u.tsukuba.ac.jp

【背景・目的】 BaSi₂は、約 1.3 eV のバンドギャップ (E_g)、高い光吸収係数 (α)、および優れた少数キャリア特性を併せ持つことから、次世代の薄膜太陽電池材料として注目を集めている[1,2]。Si 基板上に形成された p-BaSi₂/n-Si ヘテロ接合構造においては、AM1.5 照射条件下で変換効率 10.62%が報告されている[3]。しかし、BaSi₂は光吸収係数が大きいと、表面層における寄生吸収が課題となる[4]。この問題を克服するために、電子輸送層 (ETL) および正孔輸送層 (HTL) を導入した多層構造の設計が近年提案されている[5]。HTL 材料には、 E_g が BaSi₂よりも十分大きく、イオン化ポテンシャル (IP) が BaSi₂に近いかそれ以下であることが求められる。酸化物系 HTL は BaSi₂との界面において酸化反応を引き起こしやすく、また IP の差が大きいと、効率的なホール輸送が阻害される可能性がある[6]。そこで本研究では、酸化反応の抑制が期待される準平面型有機分子 HN-D2 に着目し、BaSi₂太陽電池への HTL としての適用を検討した。HN-D2 のイオン化ポテンシャルは第一酸化電位に基づき約 5 eV と推定されている[7]。本研究では、n 型 BaSi₂薄膜上に真空蒸着により HN-D2 膜を形成し、分光感度特性に及ぼす影響を評価した。

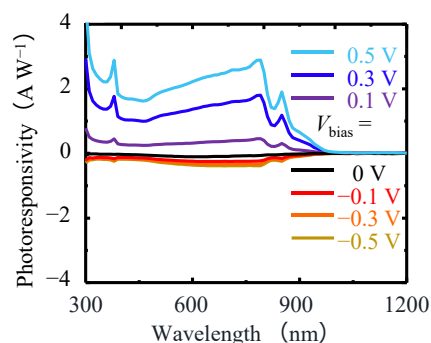
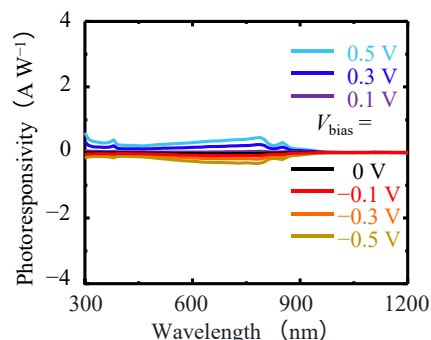
【実験手法】 HN-D2 の HTL としての機能を確認するために、HN-D2/n-BaSi₂ 構造を作製した。まず、n⁺-Si(111)基板上に BaSi₂ (東ソー (株) 製) ターゲットと Ba ターゲットを用いた同時スパッタ法により、BaSi₂ 膜 (約 350 nm) を堆積した。この時、基板温度を 750 °C、BaSi₂、Ba ターゲットそれぞれの堆積レート比 (R_{BaSi_2}/R_{Ba}) を 5.8 に設定した。BaSi₂ 膜を堆積した後に、基板温度を 180 °C 以下まで降温し、キャップ層として a-SiC を 3 nm 程度堆積した。その後、別のチャンバー内 (ベース真空度: 1.1×10^{-7} Pa) にて真空蒸着法を用いて HN-D2 を室温で 15 nm 堆積した。また、表面に厚さ 80 nm の ITO 電極を堆積し、分光感度を測定した。

【結果・考察】 Fig. 1 に、 V_{bias} を -0.5 V から 0.5 V の間で変えたときの n-BaSi₂/n⁺-Si 構造の分光感度スペクトルを、Fig. 2 に HN-D2/n-BaSi₂/n⁺-Si 構造の分光感度スペクトルを示す。 $V_{bias} < 0$ のとき、光生成キャリアの内、ホールが表面電極側から流れ出る。a-SiC がホール輸送の障壁として働くため小さいままで変化しなかった。一方、 $V_{bias} > 0$ のとき、電子が表面電極側から流れ出る。Fig. 2 で分光感度が格段に小さくなったことから、HN-D2 が表面側への電子の流れを抑制した。よって、HN-D2 が電子の流れを抑制する電子障壁層としての可能性が示されたといえる。今後、a-SiC を BaSi₂ 界面でホール障壁の無い a-Si に替える計画である。

【参考文献】

- [1] T. Suemasu and N. Usami, J. Phys. D **50**, 023001 (2017).
- [2] T. Suemasu and D. B. Migas, Phys. Status Solidi A **219**, 2100593 (2022).
- [3] M. Fujiwara *et al.*, AIP Advances **12**, 045115 (2022).

- [4] Y. Yamashita *et al.*, Sol. Energy Mater. Sol. Cells **230**, 111181 (2021).
- [5] R. Du *et al.*, Jpn. J. Appl. Phys. **62**, SD1015 (2023).
- [6] W. Du *et al.*, Appl. Phys. Lett. **106**, 122104 (2015).
- [7] A. Wakamiya *et al.*, Angew. Chem. Int. Ed. **53**, 5800 (2014).

Fig. 2 Photoresponse spectra of the n-BaSi₂ films under various V_{bias} .Fig. 2 Photoresponse spectra of the HN-D2/n-BaSi₂ under various V_{bias} .

Investigation of BaS hole transport layer for BaSi₂ thin film solar cells

Ammara Firdous^{1*}, Koki Hayashi¹, Nurfauzi Abdillah¹, Yoichiro Koda², Masami Mesuda², Kaoru Toko¹, Takashi Suemasu¹.

¹University of Tsukuba. ²Tosoh Corporation. *s2420400@u.tsukuba.ac.jp

Introduction

Barium di-silicide (BaSi₂), composed of earth-abundant elements, is one of the suitable materials for thin-film solar cells due to its large absorption coefficient (α) of $3 \times 10^4 \text{ cm}^{-1}$, a band gap (E_g) of 1.3 eV, and excellent minority carrier properties [1-3]. To overcome the challenges of BaSi₂ solar cells, such as parasitic absorption at the surface due to large α and diffusion of impurities for p/n control, a new structural design, hole transport layer (HTL) /n-BaSi₂/ electron transport layer (ETL) has been proposed [4]. HTL requires that the E_g be larger than BaSi₂, and the ionization potential (IP) be close to or smaller than that of BaSi₂. Barium Sulfide (BaS) is a candidate material that satisfies these conditions (Fig. 1.) [5], but research reports are quite limited. Therefore, in this study, we evaluated the basic physical properties of BaS by calculation and experiment.

Methodology

To gain insights into the intrinsic characteristics and defect behavior of BaS, first-principles calculations were conducted using the Vienna Ab initio Simulation Package (VASP) to optimize structural parameters and evaluate point defect properties. The Perdew-Burke-Ernzerhof (PBE) functional with Generalized Gradient Approximation (GGA) and Heyd-Scuseria-Ernzerhof (HSE06) were used in bulk calculations to provide an accurate E_g , with a self-consistent field of $1 \times 10^{-5} \text{ eV}$ and K-points of $4 \times 4 \times 4$, the cut-off energy was set at 500 eV. The 20-nm-thick BaS layers were experimentally deposited on Czocharlski (CZ)-n⁺-Si (111) substrates ($\rho < 0.01 \Omega \text{ cm}$) at five different temperatures by RF sputtering. The BaS deposition rate was 0.27 nm/min at an Ar-gas pressure of 0.5 Pa. The films were capped with a 3-nm-thick a-Si layer to prevent oxidation.

Results and Discussion

The charged defects of BaS are shown in Fig. 2, which depicts that the most favorable defects in BaS with various chemical potential conditions are interstitial Ba, S, and O. Fig. 3 signifies the X-ray diffraction (XRD) pattern of samples formed at different substrate temperatures. The peaks suggest an amorphous phase when formed at temperatures $\leq 450^\circ\text{C}$, while at 550°C and 600°C BaSi₂ films have been observed instead. At 500°C , all diffraction peaks originated from BaS, meaning that the grown film is a BaS single-phase film. Further we plan to deposit BaS films at around 500°C to find the optimum substrate temperature for BaS deposition.

References

- [1] T. Suemasu and N. Usami, J. Phys. D **50**, 023001 (2017).
- [2] T. Suemasu and D.B. Migas, PSS A **219**, 2100593 (2022).
- [3] N.M. Shaalan *et al.*, Mater. Sci. Semi. Processing **76**, 37 (2018).
- [4] R. Du *et al.*, ACS Appl Mater. Interfaces **16**, 52595 (2024).
- [5] K. O. Hara, Solar Energy **245**, 136 (2022).

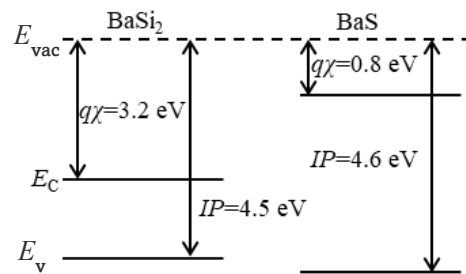


Fig. 1: Schematics of band alignment of BaSi₂ with BaS.

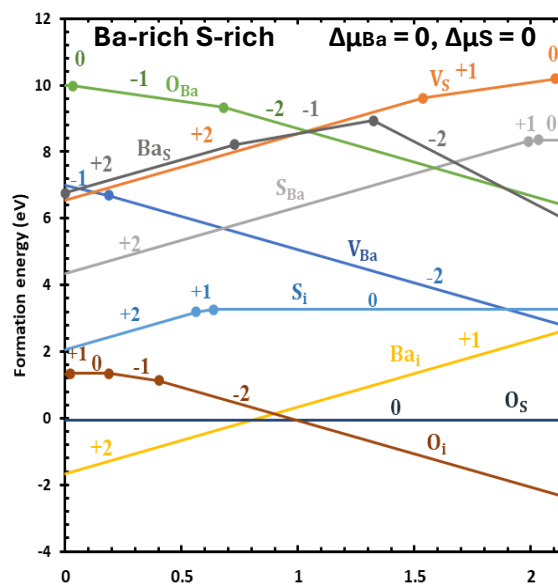


Fig. 1: Calculated formation energies as a function of the Fermi energy of the point defects in BaS.

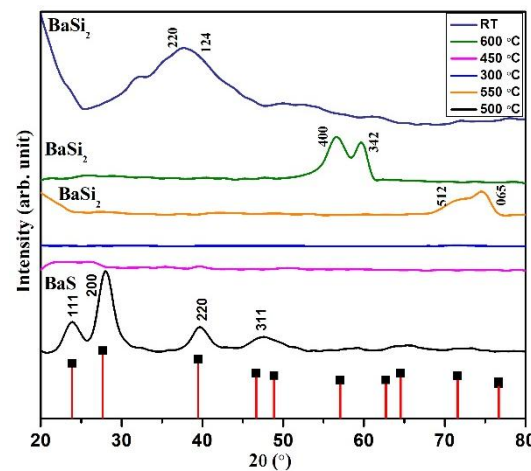


Fig. 3: XRD pattern of grown films formed at different substrate temperatures.

BaSi₂ ヘテロ接合型太陽電池に向けた HTL / BaSi₂ 間の界面調査Interface investigation between HTL and BaSi₂ for heterojunction solar cells筑波大学¹, 東ソー株式会社²○林洸希¹, 石黒雄路¹, 幸田陽一朗², 召田雅実², 都甲薫¹, 末益崇¹Univ. Tsukuba¹, Tosoh Corporation²°K. Hayashi¹, Y. Ishiguro¹, Y. Koda², M. Mesuda², K. Toko¹, T. Suemasu¹

E-mail: s2420313@u.tsukuba.ac.jp

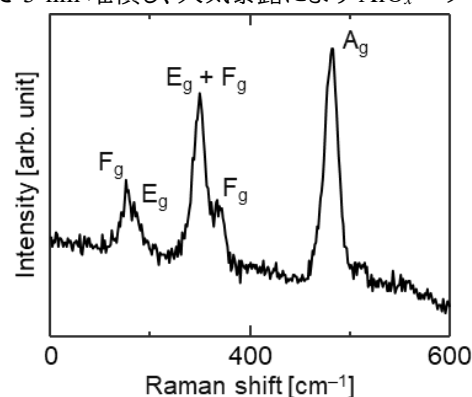
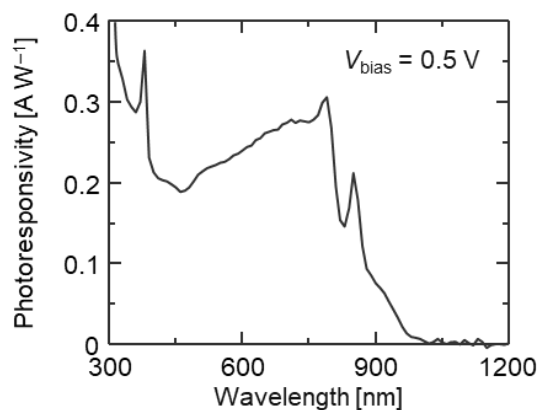
【背景・目的】本研究では薄膜太陽電池の新規材料として BaSi₂ に注目した¹⁾。先行研究では、Ba 及び BaSi₂ ターゲットを用いた同時スパッタ法により、Ba/Si 組成比を制御し、高品質な n-BaSi₂ 光吸収層の形成を達成した²⁾。また、ガラス基板上でも Si 基板上に匹敵する分光感度を記録している³⁾。そして、ガラス基板上において、スパッタ法による高品質な n-BaSi₂ 膜を光吸収層として用い、ホール輸送層 (HTL) とのヘテロ接合型太陽電池を作製する研究も進行している⁴⁾。これまで、HTL 材料として MoO_x や NiO が検討されてきた。これらはいずれも酸化物であるため、HTL/n-BaSi₂ 間には n-BaSi₂ 膜の酸化を防ぐためにパッシベーション層が必要となる。そこで本研究では、他材料のパッシベーション層として AlO_x を検討した。AlO_x を選択したのは、AlO_x /BaSi₂ 構造において高い少数キャリア寿命が実現されているためである⁵⁾。加えて、AlO_x は酸化物であるため、酸化物 HTL 材料からの酸素の拡散による特性の劣化を受けにくいと考えたためである。本研究では、スパッタ法により AlO_x /BaSi₂ 構造を作製して結晶性を評価するとともに、分光感度を測定し、本構造が太陽電池として応用可能であるか調査した。

【実験】太陽電池への応用を目指して AlO_x/n-BaSi₂ 構造を作製した。まず、ガラス基板上にスパッタ法を用いて TiN 導電膜 (250 nm) を堆積した。次に、BaSi₂ (東ソー (株) 製) ターゲットと Ba ターゲットを用いた同時スパッタ法により、BaSi₂ 膜 (約 400 nm) を堆積した。この時、基板温度を 700 °C、BaSi₂、Ba ターゲットそれぞれの堆積レートを 3 nm min⁻¹、0.1 nm min⁻¹ に設定した。BaSi₂ 膜を堆積した後に、Al 膜を in-situ で 3 nm 堆積し、大気暴露により AlO_x パッシベーション層を作製した。そして、ラマン分光法により結晶性を評価した。また、表面に厚さ 80 nm の ITO 電極を堆積し、分光感度を測定した。

【結果・考察】Fig. 1 に n-BaSi₂ 膜のラマンスペクトルを示す。A_g, E_g, F_g と Si 四面体由来のピークが観測され、BaSi₂ の形成が確認できる。また、BaSi₂ 膜が酸化している場合、503 cm⁻¹ に Ba 酸化物のピークが発生する。本試料の場合、酸化ピークが観測できないため、AlO_x によるパッシベーション効果が確認できる。続いて、Fig. 2 に AlO_x/n-BaSi₂ 構造のバイアス電圧 0.5 V 印加時における分光感度を示す。分光感度は最大で 0.3 A W⁻¹ を上回った。この値は、過去に作製したガラス基板上 BaSi₂ 膜の分光感度に匹敵する値である。したがって、AlO_x 膜をパッシベーション層とした BaSi₂ ヘテロ接合型太陽電池の作製が期待できる。

【参考文献】

- 1) T. Suemasu and N. Usami, J. Phys. D: Appl. Phys. **50**, 023001 (2017).
- 2) K. Kido *et al.*, Thin Solid Films **758**, 139426 (2022).
- 3) R. Koitabashi *et al.*, Appl. Phys. Express **15**, 025502 (2022).
- 4) H. Takenaka *et al.*, Jpn. J. Appl. Phys. **62**, SD1011 (2023).
- 5) N. M. Shaalan *et al.*, Mater. Sci. Semicond. Process. **76**, 37 (2018).

Fig. 1 Raman spectrum of the BaSi₂ films.Fig. 2 Photoresponse spectrum of the BaSi₂ films covered with AlO_x layers.

β -(Fe_{1-x}Ru_x)Si₂ における光変調反射スペクトルの Ru 組成比依存性

Ru composition dependence of photoreflectance spectra in β -(Fe_{1-x}Ru_x)Si₂

九工大情報工, °高橋匠, 櫻井優, 出森麗央, 寺井慶和

Kyushu Inst. of Tech., °T. Takahashi, Y. Sakurai, R. Idemori, Y. Terai

E-mail: takahashi.takumi941@mail.kyutech.jp

【はじめに】我々は、 β -FeSi₂ の光・電気特性を向上させる手法として、Fe と同族元素である Ru を添加した β -(Fe_{1-x}Ru_x)Si₂ に着目している。第一原理計算によれば、 β -FeSi₂ および仮想物質である β -RuSi₂ はいずれも間接遷移型半導体であり、それぞれの間接遷移端上に位置する直接遷移エネルギーは、0.61 eV [1]および 0.49 eV [2]と報告されている。我々はこれまでに、RF マグネトロンスパッタリング法により Ru 組成比 $x = 0-0.71$ の β -(Fe_{1-x}Ru_x)Si₂ 多結晶薄膜の作製に成功している[3]。その電気伝導特性評価では、低 Ru 組成域($x \leq 0.35$)では低キャリア密度($\sim 10^{16} \text{ cm}^{-3}$)かつ高移動度($\sim 290 \text{ cm}^2/\text{V}\cdot\text{s}$)が確認された。一方、高 Ru 組成域($x \geq 0.49$)ではキャリア濃度の増加と移動度の低下が観測されている。しかしながら、これら多結晶薄膜における直接遷移エネルギーの評価は行われておらず、特に中間組成域での Ru 添加が直接遷移エネルギーに与える影響は不明である。そこで本研究では、 β -(Fe_{1-x}Ru_x)Si₂ 多結晶に対し光変調反射率(PR)測定を行い、直接遷移エネルギーの Ru 組成比依存性を調べた。

【実験方法】RF マグネトロンスパッタリング法により、Si 基板上に Fe-Ru-Si アモルファス層を 50 nm 堆積した。この際、ターゲット上の Fe/Ru 面積比を調整し、Ru 組成比 $x = 0-0.35$ の範囲で制御を行った。続いて、保護層として 50 nm の Si キャップ層を堆積した。堆積後、真空中において 800 °C で 32 時間のシリサイド化熱処理を実施した。光変調反射率($\Delta R/R$)測定には、タンダスランプおよび波長 532 nm のレーザーを光源とし、InGaAs フォトダイオードを用いて 9 K で測定を行った。

【結果】Fig. 1 に PR スペクトルの Ru 組成比依存性を示す。全ての試料において、0.9 eV 以上の高エネルギー側で、周期的な振動成分を伴うブロードなスペクトルが観測された。この振動成分を解析した結果、Franz-Keldysh oscillations(FKO)に起因する信号であると判断された。そこで、FKO 解析に基づき、直接遷移エネルギー(E_{direct})を求めた。Fig. 2 に得られた直接遷移エネルギーの Ru 組成比依存性を示す。直接遷移エネルギーは、 $x = 0-0.20$ では Ru 添加量増加とともに減少した。これは、第一原理計算から予測される結果と整合している。また、 β -(Fe_{1-x}Ru_x)Si₂ 多結晶膜の結晶構造評価からは、 $x = 0.20$ で格子定数が約 0.9 % 増加することが確認されている[3]。原子半径の大きい Ru の導入により結晶ポテンシャルが緩和され、電子構造が変化した結果、直接遷移エネルギーが減少したと考えられる。一方、 $x \geq 0.20$ の範囲では、第一原理計算の予測に反して、Ru 組成比による明確な変化は見られず、直接遷移エネルギーは約 0.905 eV の一定値に収束する傾向を示した。

[1] D. B. Migas, *et al* Phys. Rev. B, **62** 11063 (2000).

[2] V. L. Shaposhnikov, *et al.*, PSSC, **242** 2864 (2005).

[3] Y. Terai, *et al.* Jpn. J. Appl. Phys. **62**, SD1006 (2023).

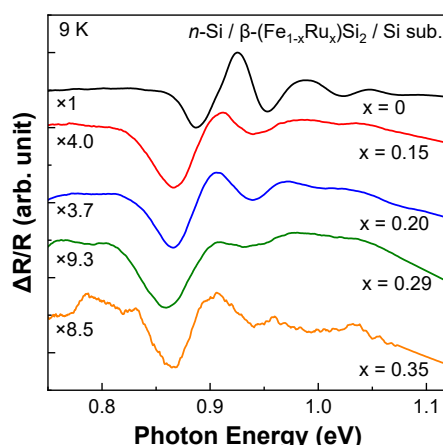


Fig. 1 Ru composition dependence of PR spectra in β -(Fe_{1-x}Ru_x)Si₂ polycrystalline.

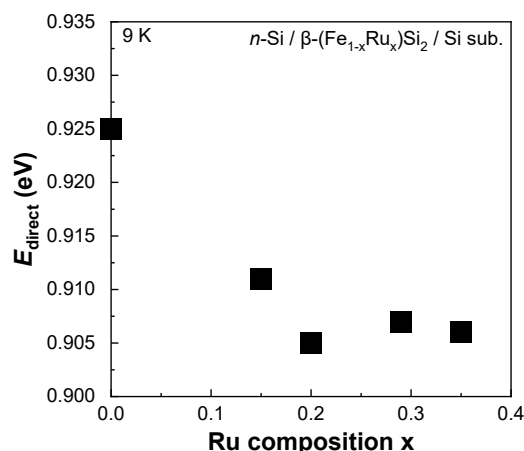


Fig. 2 Ru composition dependence of direct transition energy.

混成汎関数を用いた半導体シリサイドの電子構造計算

Electronic structure calculation of semiconducting silicides: Hybrid functional study

○今井 基晴¹ (物質・材料研究機構¹)

○Motoharu Imai¹ (NIMS¹)

E-mail: IMAI.Motoharu@nims.go.jp

はじめに: 半導体シリサイドの多くは、熱電材料、太陽電池材料、赤外線検出器材料などの機能性材料として注目されている。シリサイドのバンドギャップ (E_g) は重要な基本情報であるが、従来の計算、例えば Perdew、Burke、Ernzerhof の一般化勾配近似 (PBE-GGA) [1] を用いたバンド構造の計算、では、 E_g の大きさが過小評価されることが多かった。この問題を改善する一つの方法は、交換相関効果を混成汎関数 HSE06 を用いて計算することである[2,3]。

本研究では、HSE06 を用いて半導体シリサイドのバンド構造を計算し、 E_g を調べた。

実験: バンド構造の計算には、計算コード Vienna Ab initio Simulation Package (VASP) [4,5] を用いた。PBE-GGA と HSE06 を用いて交換相関効果を考慮した。400eV のエネルギーカットオフ、 Γ 中心の k メッシュを使用し、スピン軌道結合 (SOC) を自己撞着的に含めた。

結果: 計算した Ru_2Si_3 のバンド構造を図1に示す。 Ru_2Si_3 は Γ 点に価電子帯極大と伝導帯極小を持つ直接遷移型半導体である。この結果は従来の計算結果[6-8]と一致する。HSE06 を用いて計算した E_g は 0.88 eV であり、PBE-GGA を用いて計算した E_g (0.54 eV) よりも 0.34 eV 大きく、実験的に得られた E_g (0.86–0.9 eV) [9] と一致している。このように、HSE06 を用いた計算は、半導体シリサイドの E_g をうまく再現している。

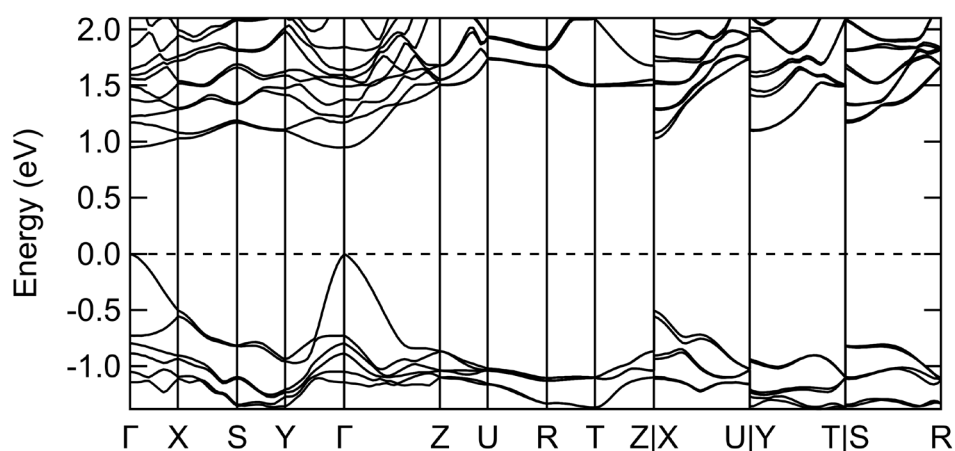


Fig. 1. Band structure of Ru_2Si_3 .

References

- [1] J.P. Perdew, K. Burke, M. Ernzerhof, Phys. Rev. Lett. **77**, 3865 (1996).
- [2] J. Heyd, G.E. Scuseria, M. Ernzerhof, J. Chem. Phys. **118**, 8207 (2003).
- [3] A.V. Krukau, O.A. Vydrov, A.F. Izmaylov, G.E. Scuseria, J. Chem. Phys. **125**, 224106 (2006).
- [4] G. Kresse, J. Furthmüller, Phys. Rev. B Condens. Matter. **54**, 11169 (1996).
- [5] G. Kresse, D. Joubert, Phys. Rev. B **59**, 1758 (1999).
- [6] M. Ramesh, M.K. Niranjana, Mater. Chem. Phys. **222**, 165 (2019).
- [7] Y. Imai, A. Watanabe, Intermetallics **13**, 233 (2005).
- [8] D.B. Migas, L. Miglio, V.L. Shaposhnikov, V.E. Borisenko, Phys. Stat. Sol. (b) **231**, 171 (2002).
- [9] D. Lenssen, R. Carius, S. Mantl, A.G. Birdwell, J. Appl. Phys. **90**, 3347 (2001)

Bi³⁺ドーピングした2次元カイラルペロブスカイトの光学・電気的特性

Optical and electrical properties of Bi-doped 2D lead-halide chiral perovskites

阪大院基礎工¹, Justus-Liebig University Giessen²

○(M2)水上景登^{1,2} (Keito Mizukami), Jan-Heinrich Littmann², Hannes Hergert²,

藤岡勇羽¹ (Yu Fujioka), 福森智子¹ (Satoko Fukumori), 花村友喜¹ (Yuki Hanamura)

Philip Klement², Matthias T. Elm², Sangam Chatterjee², 多田博一¹ (Hirokazu Tada)

Graduate School of Engineering Science, Osaka University¹, Institute of Experimental Physics I and

Center for Materials Research, Justus-Liebig University, Giessen, Germany²

E-mail: mizukami@molelectronics.jp

有機無機ペロブスカイトは、分子選択の自由度が高く、結晶構造や電子構造を制御でき、優れた光電変換特性を有する半導体として知られている。カイラル分子を有機層に内包することで、分子のカイラリティが結晶全体へ転写される現象（カイラリティトランスファー）が知られている。これにより円偏光発光、カイラル誘起スピン選択則（CISS）、スピン偏極電流など特有なカイラル物性が発現する。これらの特性は円偏光発光光源 [1]や円偏光検出器 [2]、スピントロニクス [3]といった、スピントロニクスや量子情報分野への応用に向けて研究されている。一方で、カイラル物性の起源となる結晶構造およびバンド構造の複雑さから、カイラリティトランスファーの詳細な機構は、十分に解明されていない。

本研究では、カイラル分子として R/S-methylbenzylamine (MBA) と R/S-pyridylethylamine (PyEA) を有機層に内包した2種類の2次元ヨウ化鉛ペロブスカイト (Figure 1) において、Bi³⁺ドーピングが円二色性および電気伝導特性へ与える影響を評価した。(R/S-MBA)₂PbI₄における巨視的異方性を考慮した



Fig. 1 Chiral perovskites

円二色性測定では、異方性係数が文献値と一致する。一方で、(R/S-PyEA)PbI₄では、 $\sim 10^2$ のオーダーとはるかに高い異方性係数が観測された。また、Bi³⁺ドーピングによりバンドギャップに顕著な変化は見られないが、円二色性は減少することから、ドーピングがカイラリティトランスファーに影響を及ぼす可能性が示唆された。さらに、交流インピーダンス分光法により電気伝導度を測定した結果、(R/S-MBA)₂PbI₄において室温で伝導度が1桁上昇することを確認した (Figure 2)。低周波領域 ($\sim 10^2$ Hz) における電気伝導度の温度依存性から、イオン伝導度を算出し、Bi³⁺ドーピングにより活性化エネルギーが有意に減少することを明らかにした。活性化エネルギーは、一般にイオン移動のエンタルピーと欠陥生成エンタルピーの和として表されるため、本系においては主に欠陥形成エンタルピーの減少に起因すると思われる。この結果は、Bi³⁺ドーピングによりヨウ素空孔が生成しやすくなることを示唆している。本発表では、ドーピングによって誘起される欠陥反応とカイラル物性との相関についても議論する。

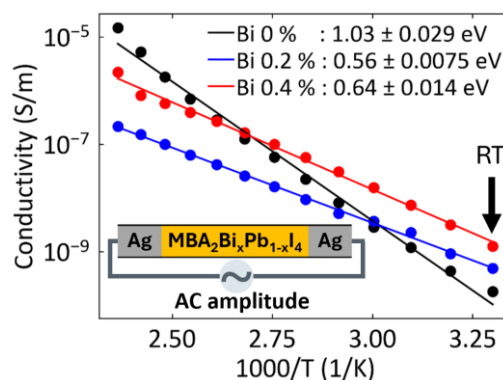


Fig. 2 Ionic conductivity of (S-MBA)₂PbI₄ single crystals with different Bi doping ratios.

[1] Kim, Y. H. *et al.*, *Science*, **371**(6534), 1129-1133 (2021).

[2] Chen, C. *et al.*, *Nature communications*, **10**(1), 1927 (2019).

[3] Lu, H. *et al.*, *Science advances*, **5**(12), eaay0571 (2019).

人工的な有機・無機ハイブリッド型キラル半導体の開発と 不斉電子状態の検出

Development of Artificial Organic-Inorganic Hybrid Chiral Semiconductors and Detection of Chiral Electronic States

科学大院理, °岡野朋博, 黄 柏融, 谷口 耕治

Institute of Science Tokyo, °Tomohiro Okano, Po-Jung Huang, Kouji Taniguchi

E-mail: okano.t.ah@m.titech.ac.jp

【緒言】近年、優れた太陽電池材料として注目されている有機・無機ハイブリッド型ペロブスカイト系化合物において、有機カチオンの分子設計自由度を活かし、“キラリティ”を導入することで、空間反転対称性の破れが誘起する新たな機能を開拓する研究が関心を集めている。キラルな有機・無機ハイブリッド系では、強いスピン軌道相互作用や強磁性といった機能を無機骨格に担わせることができるため、空間反転対称性の破れた半導体や磁性体の設計が可能となる。このような物質ではこれまでに、スピン・運動量ロッキングや電気磁気交差相関のような興味深いスピン物性が実現されてきた。^[1, 2] しかし、キラリティの導入が報告されている既存の二次元ペロブスカイト型材料ではキャリアドーピングが困難であり、導電性の克服が課題となっている。本研究では、無機層状材料である遷移金属ダイカルコゲナイド MoS_2 に注目し、そのファンデルワールスギャップにキラルカチオンを電気化学的にインターカレートすることにより、人工的にキャリアドーピングされた有機・無機ハイブリッド型キラル半導体を創製した。作製した試料に対して、キラリティ誘起スピン選択性 (CISS) や円偏光ガルバノ効果 (CPGE) を観測することで、キラルな電子状態の検出を試みた。

【実験】キラル分子 (*S/R*)-CHPTMA ((3-Chloro-2-hydroxypropyl)trimethylammonium chloride) を溶解させた DMSO 溶液中において、遷移金属ダイカルコゲナイドである MoS_2 単結晶をアノードとして、電気化学的手法によりキラル分子カチオンのインターカレーションを実施した。インターカレーション後の試料に対しては、X 線回折 (XRD)、ラマン分光、X 線光電子分光 (XPS)、および電気抵抗測定を行い、構造的変化や電子状態および電気伝導特性の変化を調べた。さらに、導電性原子間力顕微鏡 (conductive AFM) を用いて CISS 効果を観測した。また、405 nm のレーザー光を試料に照射し、CPGE を観測した。

【結果と考察】XRD およびラマン分光測定の結果、 MoS_2 の層間距離の拡大や振動モードのシフトが確認され、キラル分子カチオンのインターカレーションによる構造変化が示唆された。XPS 測定では、 Mo 3d ピークのシフトにより、 Mo^{4+} に対応する成分が消失し、 Mo^{3+} への完全な変化が確認された。これは、電気化学反応過程で電子が供給され、 MoS_2 への電子ドーピングが生じていることを示している。実際に、電気抵抗測定の結果からは、キャリア濃度の増加に起因する金属的伝導性の顕著な向上が認められた。また、405 nm のレーザー光の偏光を変化させながら行った光電流測定 (Fig.1) において、左・右円偏光間で明確な応答の差が観測され、円偏光ガルバノ効果 (CPGE) が確認された。これは、試料に空間反転対称性の破れが導入されたことにより、非線形な光電流応答が発現したことを示唆している。さらに、キラリティに依存した CPGE が観測され (Fig.2)、キラル系に特有の放射状のスピンテクスチャが k 空間で形成されていることを示唆する結果が得られた。

【参考文献】

- [1] Po-Jung Huang *et al.*, *Adv. Mater.* **2021**, 33, 2008611.
[2] K.Taniguchi *et al.*, *Angew. Chem. Int. Ed.* **2021**, 60, 14350.

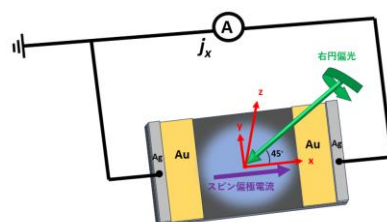


Fig. 1 Schematic of CPGE measurement

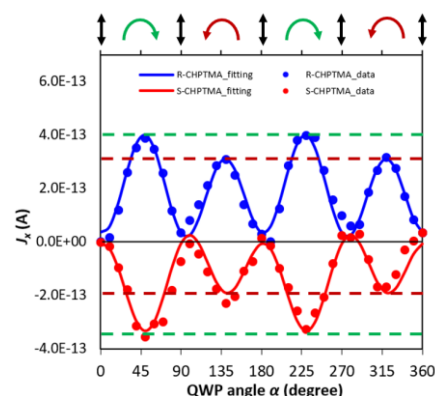


Fig.2 Polarization dependence of zero-bias photocurrent under 405 nm light excitation

13 Semiconductors | Oral presentation : 13.2 Exploratory Materials, Physical Properties, Devices

[7p-N403-1~9] 13.2 Exploratory Materials, Physical Properties, Devices

[7p-N403-1]

[The 58th Young Scientist Presentation Award Speech] Study of physical properties of Mg_3Sb_2 for infrared light receiving application

○Kiridoshi Nozomu¹, Akito Ayukawa¹, Koki Nejo¹, Takeru Kuriyama¹, Wakaba Yamamoto², Akira Yasuhara², Kohei Sato², Haruhiko Udonon¹, Shunya Sakane¹ (1.Ibaraki Univ., 2.JEOL)

[7p-N403-2]

Fabrication of a back-illuminated Mg_2Si -pn junction PD sensor by conventional microfabrication process

○Hideto Takei¹, Yuki Iino¹, Yamaguchi Hiroki¹, Shunya Sakane¹, Haruhiko Udonon¹ (1.Ibaraki Univ.)

[7p-N403-3]

The Effect of Thermal Diffusion Conditions on the Output Characteristics of TPV Cells Fabricated on N-Type Mg_2Si Substrates

○Takumi Shimizu¹, Kosuke Shimano¹, Hibiki Katsumata¹, Shunya Sakane¹, Haruhiko Udonon¹ (1.Ibaraki Univ.)

[7p-N403-4]

Investigation of the temperature dependence of minority carrier lifetime in Mg_2Si pn-junction diodes.

○Hibiki Katsumata¹, Ryosuke Furuta¹, Shunya Sakane¹, Haruhiko Udonon¹ (1.Ibaraki Univ.)

[7p-N403-5]

Study of Mg_2Si epitaxial growth on sapphire substrates

○Shunya Sakane¹, Ryosuke Furuta¹, Takeru Kuriyama¹, Akito Ayukawa¹, Haruhiko Udonon¹ (1.Ibaraki Univ.)

[7p-N403-6]

Effects Comparative Evaluation of Three Mg_2Si Thin Film Formation Processes Including Deposition and Annealing

○Ryoga Toyama¹, Hiroshi Katsumata¹ (1.Meiji Univ.)

[7p-N403-7]

Thermal stability of $\delta\text{-Ga}_2\text{O}_3$ thin films grown by mist-CVD

○(M1)Aoi Saito¹, Kazuki Shimazoe², Hiroyuki Nishinaka¹ (1.Kyoto Inst. of Tech., 2.Nagoya Inst. of Tech.)

[7p-N403-8]

Thermoelectric properties of mixed anion layered compounds $\text{LaCu}_{1-d}\text{ChO}$ (Ch = S, Se) with wide gap in Jonker plot

○Yoichi Kamihara¹ (1.Keio Univ.)

[7p-N403-9]

Prediction of Solvent Properties by Machine Learning with COSMO-RS Descriptors

Oltsuki Kawanami¹, Hiroto Yokoyama¹, Akiko Kumada¹, Masahiro Sato¹ (1.Univ. of Tokyo Engineering)

赤外受光応用へ向けた Mg_3Sb_2 の光学特性評価

Study of physical properties of Mg_3Sb_2 for infrared light receiving application.

茨城大¹ 日本電子² ○(M2)切通 望¹, 鮎川 瞭仁¹, 根城 虹希¹, 栗山 武琉¹,

山本 若葉², 安原 聡², 佐藤 康平², 鶴殿 治彦¹, 坂根 駿也¹

Ibaraki Univ.¹, JEOL² ○Nozomu Kiridoshi¹, Akito Ayukawa¹, Koki Nejo¹, Takeru Kuriyama¹,

Wakaba Yamamoto², Akira Yasuhara², Kohei Sato², Haruhiko Udono¹, Shunya Sakane¹

E-mail: shunya.sakane.sz12@vc.ibaraki.ac.jp

【背景】現在、AI や自動運転、ドローン技術の発展に伴って赤外センサの需要が高まっている。CMOS イメージセンサとして用いられる Si は 1100nm 以上の受光は困難であり、短波赤外域 (SWIR) センサとして InGaAs は非常に優れた特性を示す反面、非常に高価である事が知られている。一方で Mg_3Sb_2 は Mg_3Bi_2 との混晶でバンドギャップを 0eV から 0.6eV まで調整することが可能^[1]であり、赤外受光分野に応用できれば、SWIR~長波赤外域(LWIR)まで幅広く用いることができる。我々はこれまで c 面サファイア基板上に極薄い遷移層で歪みが緩和した c 面配向 Mg_3Sb_2 のエピタキシャル成長を実現し^[2]、さらに Si(001)基板上での Mg_3Sb_2 をエピタキシャル成長させ、整流性及び光応答を初めて確認した^[3]。しかしながら、 Mg_3Sb_2 の光学特性については未だ多くが明らかにされていない。そこで本研究では、Si 基板上エピタキシャル Mg_3Sb_2 薄膜の受光特性並びに、第一原理計算によって Mg_3Sb_2 の光学特性を調査した。

【実験手法】Si 基板上エピタキシャル Mg_3Sb_2 薄膜は以下のように作製した。有機処理及びフッ酸処理、酸処理を施した Si(001)基板を MBE チャンバーに導入した後、Si バッファ層を形成し、清浄表面(2×1 表面再構成構造)を取得した。そのあと、基板温度を 500℃に維持しながら、Mg と Sb を同時に蒸着した。結晶性評価の後、受光特性はまず表面、裏面の電極としてそれぞれ In、Al を用いてオーミックコンタクトを形成し電流-電圧測定を行った後に、赤外 LED 光を用いて光応答を確認した。第一原理計算は Quantum ATK 及び Quantum ESPRESSO を使い、バンド構造や状態密度(DOS)等の電子物性、複素誘電率等の光学特性を計算した。

【実験結果】作製した Mg_3Sb_2 薄膜は電流-電圧特性を取得すると整流性を示したことから、p 型の Mg_3Sb_2 薄膜と n 型の Si(001)基板で p-n 接合を形成していると考えられる。ゼロバイアス時に赤外 LED 光を照射すると明確に光応答を示した。また、第一原理計算から求めた複素誘電率から、吸収係数を算出したところ、赤外領域で 10^3cm^{-1} 台の吸収係数を得た。本講演では、電子物性の計算も含め赤外受光センサ応用について詳細な議論を行う。

【参考文献】

[1] J. Zhang, *et al.*, *J. Appl. Phys.* **126** 085104 (2019).

[2] A. Ayukawa, *et al.*, *Appl. Phys. Express* **17** 065501 (2024).

[3]切通, 他, 第 72 回 応用物理学会 春季学術講演会 2024, 14p-K210-2.

微細加工プロセスを活用した裏面入射型 Mg_2Si -pn 接合 PD センサの作製

Fabrication of a back-illuminated Mg_2Si -pn junction PD sensor by conventional microfabrication process

茨城大 ○武井日出人, 飯野有紀, 山口広暉, 坂根駿也, 鵜殿治彦*

Ibaraki Univ. ○Hideto Takei, Yuki Iino, Hiroki Yamaguchi, Shunya Sakane, Haruhiko Uono*

E-mail: udono@vc.ibaraki.ac.jp

【はじめに】

近年、短波長赤外 (SWIR) 光センサは、IoT 機器でのセンシング、自動運転や産業検査など多様な応用分野において需要が見込まれており、活発に研究開発が進められている。SWIR 領域では、InP 基板上に作製された InGaAs 系センサが広く利用されているが、高い製造コストや希少元素といった課題が、さらなる実用拡大に向けた障壁となっている。そこで我々は、約 0.61eV の間接遷移型バンドギャップを有し、構成元素が地殻中で豊富な Mg_2Si に注目して研究を行っている^[1]。これまで、表面から光を入射する表面入射型フォトダイオード (PD) アレイを検討し、32 画素のリニアアレイの試作に成功している^[2]。しかし、2 次元アレイ構造では配線の容易さから裏面入射構造が望ましい。そこで本研究では、基板裏面から光を入射する裏面入射型 PD を試作した。

【実験方法】

基板には、垂直ブリッジマン法により育成された n 型 Mg_2Si 単結晶を用い、鏡面研磨を施して試料を準備した。裏面電極は真空蒸着により形成した Al を熱拡散することで n⁺層を形成した。次に基板表面にプラズマ CVD により SiO_2 を成膜後、フォトリソグラフィおよび RIE (反応性イオンエッチング) によるパターン加工を実施し、Ag 拡散源をスパッタ法により 20 nm 成膜した。その後、Ag を熱拡散することによって pn 接合を形成した。

【実験結果と考察】

フォトリソグラフィと熱拡散を用いて裏面入射型の PD を試作できた。試作した裏面入射型の PD の電流電圧特性は表面入射型の PD と同等に明瞭な整流性を示した。また、分光感度測定においても明瞭な赤外受光感度を確認した。過去の報告の裏面入射 PD では、形成される pn 接合深さに依存して赤外領域での受光感度ピークの波長帯がシフトすることが観察されている^[3]。今回試作した裏面入射 PD でも pn 接合深さに依存した受光感度ピークのシフトが観察された。これは、 Mg_2Si 基板による吸収が影響しており、pn 接合領域の深さを受光感度ピーク波長に合わせて適切に設定することが重要であることを示している。

【謝辞】

本研究の一部は、科学研究費補助金(23H01440)、JST A-STEP (JPMJTR21RB, JPMJTR22R3 and JPMJTR24R3)、ARIM 事業 (JPMXP1224NM0004)の支援を受けた。

【引用文献】

[1] H. Uono, *et al.*, *J. Phys. Chem. Solids*, **74**, 311(2013) [2] H. Uono, *et al.*, *Proc SPIE*, 133620I (2025) [3] H. Uono, *Oyo-Buturi*, **88**, 797 (2013)

n 型 Mg₂Si 基板上に作製した TPV セルの熱拡散条件による
出力特性への影響の評価

The Effect of Thermal Diffusion Conditions on the Output Characteristics of TPV
Cells Fabricated on N-Type Mg₂Si Substrates

茨城大 °清水 匠, 島野 航輔, 勝俣 響, 坂根 駿也, 鵜殿 治彦*

Ibaraki Univ. °T. Shimizu, K. Shimano, H. Katsumata, S. Sakane and H. Udono*

*E-mail: udono@vc.ibaraki.ac.jp

【はじめに】熱光起電力発電 (Thermophotovoltaic, TPV) は、高温の熱源から放射される赤外線を発電セルに照射し、光電効果を利用して電力を生成する発電方式である^[1]。近年、InGaAs/GaAs を用いたタンデム型 TPV セルにおいて発電効率が 40%を超える成果が報告され^[2]、理論的には 50%を超える効率の実現可能性も示されている^[3]。これまでに我々は n 型 Mg₂Si 基板上に Ag を熱拡散した TPV セルを作製し、その光起電力を報告した^[4,5]。しかしバンドギャップから予測される最大開放電圧 V_{oc}^[6]の 1/5 程度しか得られておらず、出力特性の改善が求められている。本報告では n 型 Mg₂Si 基板上の不純物の熱拡散条件により pn 接合深さを変えた TPV セルを作製し、出力特性について比較検討した。

【実験方法】TPV セルの作製基板は垂直ブリッジマン法で成長した n 型 Mg₂Si 結晶から得られたウエハを切り出して使用した。基板表面を鏡面研磨後、真空蒸着装置により p 型不純物となる Ag を蒸着した。その後熱拡散することで pn 接合を形成し、Au/Ni 櫛型電極を蒸着後 Ag 層を除去することで TPV セルを作製した。光応答出力は、波長が 1310 nm のレーザーダイオード(LD)を照射し、ソースメジャーユニット(Keithley 2400)を用いて評価した。また TCAD (Synopsys) によるシミュレーションを行い出力特性の比較を行った。

【結果と考察】各熱拡散条件により作製した TPV セルにおいて得られた I-V 特性はいずれも良好な整流性と光応答出力が得られた。1310 nm の LD を 10 mW の強度で照射した際に得られた出力を Table I に示す。400°Cでの熱拡散条件において 10 分の熱拡散試料は 2 分の熱拡散試料に比べて 2 倍近い短絡電流が得られている。これは、接合深さが深い方が高い短絡電流が得られる事を示している。更に TCAD を使ったシミュレーションにより適切な接合深さと不純物分布に関する検討について当日報告する。

Table I 各熱拡散条件により得られた光応答出力

熱拡散温度	熱拡散時間	I _{sc} [mA]
400°C	10 min	1.220
400°C	2 min	0.636

【謝辞】本研究の一部は科学研究費補助金(JP23H01440)の支援を受けた。

【参考文献】 [1] K. Attonaty, et al., Renewable Energy **150**, 1030 (2020). [2] La Potin et al., Nature **604**, 287 (2022). [3] Omair, Z. et al. Proc. Natl Acad. Sci. USA **116**, 15356 (2019). [4] 宮後他 2023 年秋季応用物理学会 22a-B202-8. [5] 宮後他 2024 年春季応用物理学会 24a-12K-1. [6] K. O. Hara and N. Usami, J. Appl. Phys. **114**, 153101 (2013).

Mg₂Si-pn 接合ダイオードの少数キャリア寿命の温度依存性の調査

Investigation of the temperature dependence of minority carrier lifetime in Mg₂Si pn-junction diodes.

茨城大 ○勝俣響, 古田良輔, 坂根駿也, 鵜殿治彦*

Ibaraki Univ., °H. Katsumata, R. Furuta, S. Sakane, H. Udono*

*E-mail: udono@vc.ibaraki.ac.jp

【はじめに】我々はこれまで、安価で汎用性の高い短波赤外線(SWIR)センサの開発を目的として、n 型 Mg₂Si 基板に p 型不純物の Ag を熱拡散する簡便な手法により、SWIR フォトダイオード(PD)を作製可能であることを報告してきた^[1]。32 画素のリニア PD アレイ^[2]や熱光起電力(TPV)セル^[3]の作製・動作実証される中で、Mg₂Si-pn 接合 PD の暗電流の低減および、受光感度の向上が実用化に向けた重要な課題となっている。本研究では、これらの特性に密接に関係する少数キャリア寿命に着目し、OCVD(Open Circuit Voltage Decay)法^[4]を用いてその温度依存性について評価した結果について報告する。

【実験方法】n 型 Mg₂Si 基板は垂直ブリッジマン法によって成長した結晶から切り出して準備した。裏面に Al 電極を形成し、基板表面にはプラズマ CVD 装置によって SiO₂ を成膜した後、フォトリソグラフィと RIE によって開口パターンを形成し、拡散源 Ag 20nm をスパッタによって堆積した。熱拡散を行い、pn 接合を形成したのち、リフトオフプロセスにより、p 層上に Au/Ni 電極を作製した。OCVD 測定は、デジタルオシロスコープ(Tektronix TBS1052C)とファンクションジェネレータ(Tektronix AFG3021C)を用い、330K~230K の温度範囲で実施した。

【実験結果と考察】印加電圧 2V のパルス波に対して、電圧降下に伴う立下りが発生した後、注入された過剰キャリアの再結合により、開回路電圧が時間と共に直線的に減衰する挙動が確認された。直線領域の傾きから少数キャリア寿命を高注入条件のもとで評価した。図 1 に、少数キャリア寿命の温度依存性を示す。300K では、0.98μs、230K では、8.8μs であった。過去に報告された水沼^[5]、高橋^[6]によるデータを併記したが、同様に温度低下と共に増加する傾向を示しており、試料作製条件の違いにかかわらず再現性のある挙動であることがわかった。

【謝辞】本研究の一部は、科学研究費補助金(JP23H01440)、JST A-STEP(JPMJTR21RB, JPMJTR22R3, and JPMJTR24R3)、ARIM 事業(JPMXP1224NM0004)の支援を受けた。

【参考文献】[1] H. Udono, *et al.*, *Jpn. J. Appl. Phys.*, **54**, 07JB06 (2015). [2] H. Udono, *et al.*, *Proc SPIE*, 133620I (2025). [3] T. Shimizu, *et al.*, *Jpn. J. Appl. Phys.*, **63**, 12SP17 (2024). [4] D. K. Schroder, *Semiconductor Material and Device Characterization*, 3rd ed. (2006) pp. 422–424. [5] 水沼他 2022 年春季応用物理学会 23p-F308-12. [6] F. Takahashi, *et al.*, *APAC-Silicide 2019*, P18 (2019).

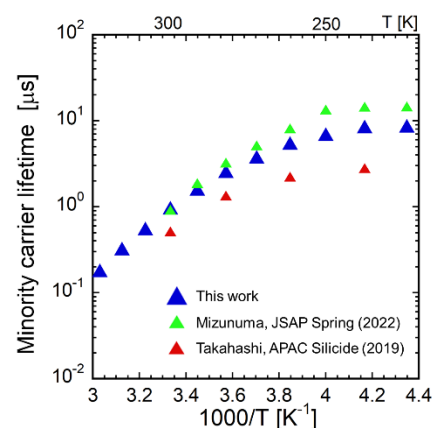


図1. Mg₂Si-PDの少数キャリア寿命の温度依存性

サファイア基板上への Mg_2Si 薄膜のエピタキシャル成長

Study of Mg_2Si epitaxial growth on sapphire substrates

茨大工, °坂根 駿也, 古田 良輔, 栗山 武琉, 鮎川 瞭仁, 鵜殿 治彦

Ibaraki Univ., °Shunya Sakane, Ryousuke Furuta, Akito Ayukawa,

Takeru Kuriyama, Haruhiko Udonno

E-mail: shunya.sakane.sz12@vc.ibaraki.ac.jp

【背景】

Mg_2Si はバンドギャップが約 0.6 eV の間接遷移型半導体であり、熱電変換材料や赤外受光素子として期待されている [1,2]。実際に我々は、単結晶 Mg_2Si 基板を用いて Ag の熱拡散により pn 接合フォトダイオードを作製し、微細加工により短波赤外域 (SWIR) 用リニアアレイセンサーを開発してきた [3,4]。さらに高い分光感度を得るためには、高結晶性の Mg_2Si 薄膜成長技術が必要である。これまで Mg_2Si の薄膜成長に関する研究も行われており、スパッタ等によりサファイアや CaF_2 、Si 基板上への薄膜成長が行われてきた [5,6]。本研究では、分子線エピタキシー (MBE) 法により Mg_2Si 薄膜をサファイア基板上にエピタキシャル成長し、その電気特性を評価することを目的とした。

【実験手法】

c 面サファイア基板を MBE 装置に導入し、基板温度 300°C でクヌーセンセルを用いて Mg と Si を同時に蒸着することでエピタキシャル Mg_2Si 薄膜を作製した。作製した薄膜に対して反射高速電子回折 (RHEED) により表面構造を *in-situ* にて評価した。また、X 線回折法 (XRD) や原子間力顕微鏡 (AFM)、走査型電子顕微鏡 (SEM) により構造評価を行なった。さらに、van der Pauw 法により電気伝導率を、ホール効果測定によりキャリア密度と移動度を測定した。

【実験結果】

RHEED パターンを確認すると、成長後に明瞭なストリークパターンに変化しており、c 面サファイア基板上に Mg_2Si がエピタキシャル成長していることが分かった。XRD パターンでは Mg_2Si の 111 回折ピークが顕著に表れており、 $\text{Mg}_2\text{Si}(111)$ 面に配向した薄膜となっていることが分かった。また、電気特性を測定するとアンドープで n 型となり、 $\sim 10^{18} \text{ cm}^{-3}$ 程度のキャリア密度が得られた。本講演では、薄膜の構造と電気特性について詳細に議論した内容を発表する。

【謝辞】

本研究の一部は、科研費 (JP23H01440), JST A-STEP (JPMJTR24R3) の助成により行われた。

【参考文献】

[1] J. Tani, and H. Kido, *Physica B*, **364**, 218 (2005). [2] 鵜殿治彦, 応用物理 **88**, 797 (2019). [3] 古田良輔、他、2025 年春季応用物理学会 14a-K210-5. [4] H. Udonno *et al.*, Proc. of SPIE 13362, 133620I (2025). [5] M. Kurokawa, *et al.*, *Jpn. J. Appl. Phys.* **56**, 05DC02 (2017). [6] B. Zouak, *et al.*, *J. Electron. Mater.* **48**, 2095 (2019).

Mg₂Si 薄膜の成膜および熱処理を含む 3 種形成プロセスの比較評価

Effects Comparative Evaluation of Three Mg₂Si Thin Film Formation Processes

Including Deposition and Annealing

明大理工, °外山 涼雅, 勝俣 裕

Meiji Univ., °Ryoga Toyama, Hiroshi Katsumata

E-mail: ce241004@meiji.ac.jp

【はじめに】

現在、短波赤外 (SWIR) センサーには主に InGaAs が使用されているが、As の毒性に加え、In および Ga の希少性から、環境負荷やコスト面に課題がある [1]。これに対し、無毒で資源的に豊富な Mg と Si からなる Mg₂Si は、間接遷移型のバンドギャップ ($E_g = 0.77$ eV [2]) を有し、SWIR 領域に適した半導体材料として注目されている。Mg₂Si 薄膜の形成における課題として、組成制御、酸化 (MgO の形成)、結晶性のばらつき、電気伝導型の制御、ならびに Si 基板との良好なヘテロ界面の形成が挙げられる。これらは Si 基板とのヘテロ接合デバイスの特性を劣化させる要因となっている。本研究では、RF マグネトロンスパッタリング法を用い、1) Mg₂Si ターゲット (tgt) による成膜、2) Mg-tgt を用いた Si 基板上での固相成長法および 3) Mg-tgt と Si チップによる共スパッタ法の 3 つの手法によって Mg₂Si 薄膜を作製し、それぞれの物性を比較評価した。

【実験方法】

基板には c 面サファイア、Si (2) 固相成長用) を用いた。成膜前にアセトン・エタノール洗浄後、純水リンスと窒素ブローを行い、Si 基板はさらに自然酸化膜除去のためにフッ酸処理および純水リンスを行った。成膜には、1) Mg₂Si-tgt (4N, $\phi 101.6 \times t 4.5$ mm)、2) Mg-tgt (3N5, $\phi 4$ inch $\times t 5$ mm)、3) Mg-tgt と Si チップ[p-Si(100), $0.01\text{--}0.05 \Omega \cdot \text{cm}$]を用い、RF マグネトロンスパッタ装置により 1) 5 Pa、2, 3) 1 Pa の Ar 雰囲気下で RF 出力 1, 2) 100 W、3) 170 W にて行った。成膜後、赤外線ランプ加熱装置により 200°C、30min + 400°C、1) 30min、2) 300min、3) 60min の 2 段階アニールを行った。評価には触針式膜厚測定、X-ray Diffraction (XRD)、光透過・反射測定およびホール効果測定を用いた。また、組成および酸素量の評価には Energy Dispersive X-ray Spectroscopy (EDS) を用いた。1) および 3) の条件では Cu 基板上にも成膜を行い、酸素量の定量評価を実施した。

【結果と考察】

Fig. 1 にアニール後の試料の XRD スペクトルを示す。全ての試料で Mg₂Si (220) のピークが支配的に観測され、加えて微弱な MgO (220) のピークも観測された。また、3) Mg-tgt と Si チップの共スパッタ法により作製した試料では、Mg に由来するピークも確認された。Fig. 2 に、Mg₂Si (220) の FWHM と MgO (200)/Mg₂Si (220) のピーク面積比を示す。1) Mg₂Si-tgt を用いた場合、FWHM は 1.39 deg. と他の方法に比べて 3.4 倍以上大きく、MgO の相対強度も最大値を示した。一方、2) Mg-tgt を用いた場合、FWHM および MgO の相対強度はいずれも最小となり、良好な結晶性を示した。ホール効果測定の結果、1) の試料では p 型伝導 ($p \approx 2.0 \times 10^{15} \text{ cm}^{-3}$) を示したのに対し、2) と 3) の試料では n 型伝導 [2) $n \approx 8.0 \times 10^{20} \text{ cm}^{-3}$, 3) $n \approx 3.9 \times 10^{22} \text{ cm}^{-3}$] を示した。

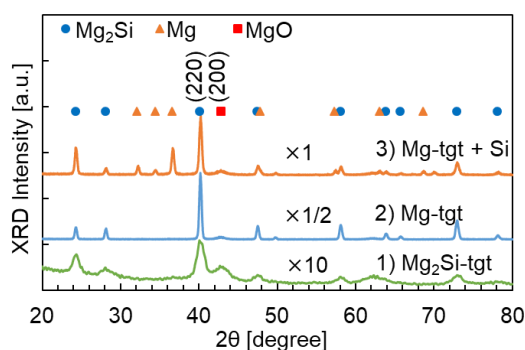


Fig. 1 XRD spectra of annealed samples.

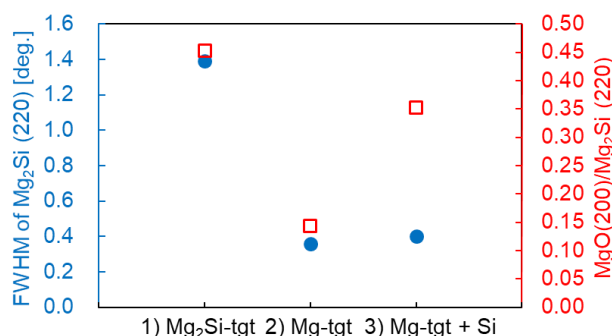


Fig. 2 FWHM of Mg₂Si (220) peaks and the peak area ratio of MgO (200) to Mg₂Si (220) for annealed samples.

[1] H. Udon, OYO BUTURI, **88**, 797 (2019) (in Japanese).

[2] M.E. El Goutni et al., Chemical Physics, **564**, 111729 (2023).

ミスト CVD 法による δ -Ga₂O₃ 薄膜成長と熱的安定性

Thermal stability of δ -Ga₂O₃ thin films grown by mist-CVD

京都工芸繊維大学¹, 名古屋工業大学², [○]齋藤蒼生¹, 島添和樹², 西中浩之¹

Kyoto Inst. of Tech.¹, Nagoya Inst. of Tech.², [○]Aoi Saito¹, Kazuki Shimazoe², Hiroyuki Nishinaka¹

E-mail: m25621053@edu.kit.ac.jp

酸化ガリウム (Ga₂O₃) は 5 つの結晶多形を有し、それぞれの相で様々な応用が期待されている。その中でも我々はビックスサイト構造を有する δ -Ga₂O₃ に着目している。Roy によりその存在は示されていたが、薄膜成長は長らく実現されてこなかった[1]。近年、我々は同じ結晶構造を有する β -Fe₂O₃ をバッファ層として用いることで、YSZ 基板上への δ -Ga₂O₃ 単層エピタキシャル薄膜の成長に成功した[2]。しかし、その物性は未解明な点が多く、特に準安定相である δ -Ga₂O₃ の熱的安定性は、将来的なデバイス応用に向けて解明が不可欠である。

本研究では、ミスト化学気相成長 (CVD) を用いて β -Fe₂O₃/YSZ(111)基板上に成長させた δ -Ga₂O₃ 薄膜の熱的安定性を評価した。基板上に β -Fe₂O₃ を 400°C・1 分、 δ -Ga₂O₃ を 600°C・10 分で成長させ、成膜後に異なる温度で 1 時間熱処理を行い、X 線回折 (XRD) 2 θ - ω 測定で結晶構造を評価した (Fig. 1)。その結果、 δ -Ga₂O₃ 由来の回折ピークは 500°C 以上で消失し、他相への転移が示唆された。興味深いことに、成長温度 (600°C) より低い 500°C の熱処理でもピークが消失していた。これはミスト CVD 特有のプロセスにより起こった現象だと考えられる。この仮説を検証するため、成膜後の試料を炉内に 1~30 分保持し、構造変化を調査した (Fig. 2)。その結果、10 分以上保持した試料では δ -Ga₂O₃ のピークが消失し、冷却過程が結晶構造に大きく影響することが示唆された。ミスト CVD は成膜直後に迅速な取り出しが可能である一方、他の手法では冷却に時間を要する。これが、ミスト CVD でのみ δ -Ga₂O₃ が成長可能である理由の一つと考えられる。[1] Roy, R. et.al, J. Am. Chem. Soc.1952,74,719–722. [2] T. Kato, et al., ACS Appl. Electron. Mater. 5, 1715–1720, 2023.

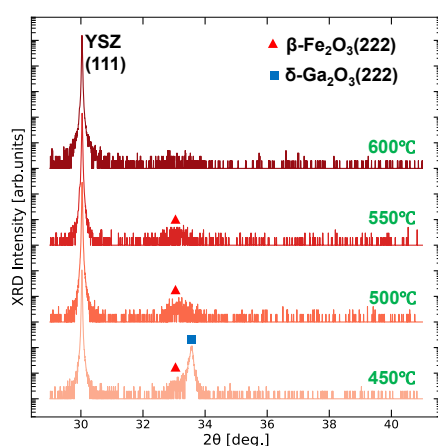


Fig. 1 XRD 2 θ - ω analysis of δ -Ga₂O₃ thin films annealed at temperatures ranging from 450°C to 600°C.

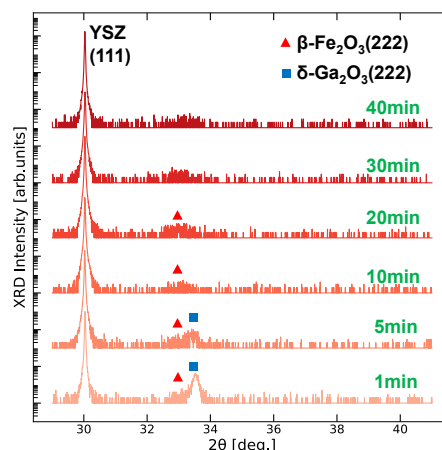


Fig. 2 XRD 2 θ - ω analysis of δ -Ga₂O₃ thin films held in the furnace for 1 to 40 minutes after growth.

Jonker プロットを使用した複合アニオン層状化合物 ワイドギャップ半導体 $\text{LaCu}_{1-\delta}\text{ChO}$ ($\text{Ch} = \text{S}, \text{Se}$)の熱電性能評価

Thermoelectric properties of mixed anion layered compounds $\text{LaCu}_{1-\delta}\text{ChO}$ ($\text{Ch} = \text{S}, \text{Se}$)
with wide gap in Jonker plot

慶大物情¹, 神原陽一

Keio Univ.¹, Yoichi Kamihara

E-mail: kamihara_yoichi@keio.jp

2000 年代初頭から、複合アニオン層状化合物(Mixed anion layered compounds, MALCs)は、さまざまな電気・電子・磁気・超伝導・触媒機能を示す有望な化合物材料として注目されている。^{1,2,3)} 代表的な MALC である LaCuChO ($\text{Ch} = \text{S}, \text{Se}$)は、正方晶 $P4/nmm$ 空間群に属し、キャリアブロック層 La_2O_2 層とキャリア伝導層 Cu_2Ch_2 層が c 軸方向に交互に積層した構造を示す。

一方、 LaCuChO の La を Bi に置換した層状構造を持つ BiCuSeO は、Zhao らによって有望な熱電変換材料として報告された。(Appl. Phys. Lett. 97, 092118 (2010).)

複合アニオン層状化合物半導体 LaCuChO ($\text{Ch} = \text{S}, \text{Se}$)はおよそ 3 eV の光学禁制帯を示す絶縁体である。 LaCuChO ($\text{Ch} = \text{S}, \text{Se}$)は 1 at.%程度の銅欠陥により生じる正孔ドーピングにより、その p 型のキャリアの極性が生じる。 LaCuChO ($\text{Ch} = \text{S}, \text{Se}$)の Ch サイトにおいて S, Se を 50%ずつ固溶させ、1 at.%程度の銅欠陥(δ)を仕込んだ多結晶試料($\text{LaCu}_{0.99}\text{S}_{0.5}\text{Se}_{0.5}\text{O}$)は光学バンドギャップ内に不純物準位に起因するギャップ内準位を示す。 $\text{LaCu}_{0.99}\text{S}_{0.5}\text{Se}_{0.5}\text{O}$ 多結晶の電気的性質は室温以上で縮退半導体といえる温度依存性を示す。しかしながら、銅欠陥を 2 at.%仕込んだ試料($\delta = 0.02$)においては、ギャップ内準位は観測されるものの、その電気的性質は室温で $\sim 0.1 \text{ M}\Omega \text{ cm}$ の絶縁体と言える数値となった。 $\delta = 0.02$ に置いては、銅欠陥のみならず、他の結晶学的なサイトにおいてキャリアを補償する別の欠陥が生じると考察された。

本会では、 LaCuChO ($\text{Ch} = \text{S}, \text{Se}$)の熱電変換性能の Jonker plot を用いた評価を報告する。⁴⁾

- 1) 平松秀典, 神原陽一, 透明酸化物機能材料の開発と応用 監修 細野秀雄, 平野正浩 (CMD 出版, 東京, 2006) p. 71-93, 層状化合物
- 2) S. Hirai, K. Morita, K. Yasuoka, T. Shibuya, Y. Tojo, Y. Kamihara, A. Miura, H. Suzuki, T. Ohno, T. Matsuda, and S. Yagi, J. Mater. Chem. A 6, 15102-15109 (2018). Oxygen vacancy-originated highly active electrocatalysts for the oxygen evolution reaction
- 3) L. D. Zhao, D. Berardan, Y. L. Pei, C. Byl, L. Pinsard-Gaudart, and N. Dragoe, Appl. Phys. Lett. 97, 092118 (2010). $\text{Bi}_{1-x}\text{Sr}_x\text{CuSeO}$ oxyselenides as promising thermoelectric materials
- 4) N. Azuma, H. Sawada, H. Ito, R. Sakagami, Y. Tanaka, T. Fujioka, M. Matoba, and Y. Kamihara, Korean J. Mater. Res. 34, 464-474 (2024). Thermal transport properties of a mixed anion layered compound, polycrystalline $\text{LaCu}_{1-\delta}\text{S}_{0.5}\text{Se}_{0.5}\text{O}$ ($\delta = 0.01$)

COSMO-RS 物性値を用いた機械学習による溶媒物性予測

Prediction of Solvent Properties by Machine Learning with COSMO-RS Descriptors

東京大学¹, ○川浪 樹¹, 横山 尋斗¹, 熊田 亜紀子¹, 佐藤 正寛¹

Univ. of Tokyo¹, ○Itsuki Kawanami¹, Hiroto Yokoyama¹, Akiko Kumada¹, Masahiro Sato¹

E-mail: kawanami.hvg@gmail.com

1. 背景

溶媒選定および新規溶媒設計において、表面張力、溶解度、沸点などの物性の高精度な予測は不可欠である。近年、これらの予測精度を向上させるため、機械学習（ML）の応用が進展している。従来は、量子化学計算により得られる記述子（QM 記述子）を ML の入力とする手法が広く用いられてきたが、分子間相互作用や溶媒効果を考慮した、高精度な計算は計算コストの観点から困難であることが多い。[1]。

本研究では、COSMO-RS 理論に基づき、COSMOtherm により得られる熱力学的物性値（以下、COSMO 物性値）を特徴量として ML に組み込むことで、従来手法を上回る物性予測精度をもつモデルの構築を試みた。また、新規溶媒探索の端緒として、学習範囲内のデータに対する予測性能だけでなく、学習範囲外のデータに対する予測性能（外挿性能）についても評価を行った。

2. 手法

表面張力、logS、沸点などの各物性について、文献値を収集し、予測モデルの教師データとした。記述子としては、(1) QM 記述子、(2) COSMO 物性値を用い、これらの値について比較した。また、COSMO 物性値の様々な溶質-溶媒間の溶解度予測への適用可能性についても検討を行った。

ML モデルには、PLS 回帰やカーネルリッジ回帰などを適用し、内挿・外挿性能を評価した。評価指標には決定係数 R^2 および二乗平均平方根誤差（RMSE）を使用した。

3. 結果と考察

COSMO 物性値を用いたモデルは、全体として QM 記述子に基づくモデルよりも高い R^2 値と低い RMSE を示した。これより、COSMO 物性値は種々の溶媒における物性予測において有効であることが確認された。特に、外挿性能においても、COSMO 物性値を用いたモデルは比較的高い予測精度を示し、未知分子に対しても有望な予測モデルであることがうかがえる。

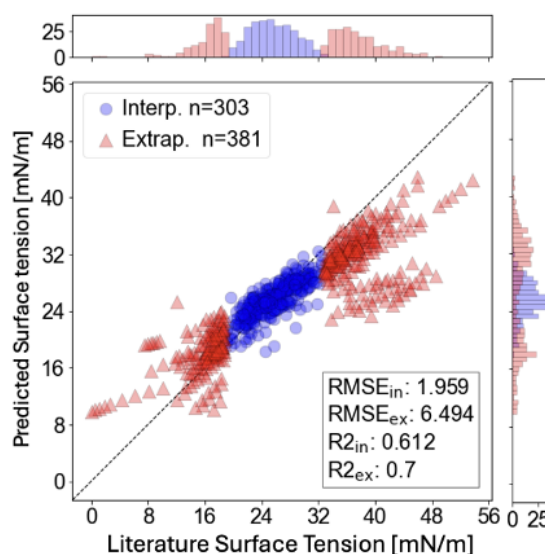


図 1: Interpolation and extrapolation performance in surface tension prediction

参考文献

- [1] H.C. Da Silva, I.S. Hernandez, W.B. De Almeida: J. Phys. Chem. A, 129, 9 (2025)

13 Semiconductors | Poster presentation : 13.2 Exploratory Materials, Physical Properties, Devices

[8a-P08-1~3] 13.2 Exploratory Materials, Physical Properties, Devices

[8a-P08-1]

Effect of Substrate Orientation on the Crystal Structure of Mg_3Bi_2 Thin Films Grown on Sapphire Substrates

Okouki nejo¹, Akito Ayukawa¹, Takeru Kuriyama¹, Nozomu Kiridoshi¹, Haruhiko Udon¹
(1.Ibaraki Univ.)

[8a-P08-2]

Impact of Ag film diffusion depth in Mg_2Si Substrate

O(M1)Yuki Iino¹, Hideto Takei¹, Hibiki Katumata¹, Ryoussuke Furuta¹, Shunya Sakane¹, Hruhiko Udon¹ (1.Ibaraki Univ.)

[8a-P08-3]

Dark Current Evaluation in Mg_2Si -pn Junctions via Current Voltage Characteristic Simulation Using TCAD

OTakumi Shimizu¹, Hibiki Katsumata¹, Shunya Sakane¹, Haruhiko Udon¹ (1.Ibaraki Univ.)

サファイア基板上 Mg_3Bi_2 薄膜の結晶構造における基板方位の影響

Effect of Substrate Orientation on the Crystal Structure of Mg_3Bi_2 Thin Films Grown on Sapphire Substrates

茨城大 ○(M1)根城 虹希, 鮎川 瞭仁, 栗山 武琉, 切通 望, 鶴殿 治彦, 坂根 駿也

Ibaraki Univ.¹, °K. Nejo, A. Ayukawa, T. Kuriyama, N. Kiridoshi, H. Udono, S. Sakane

E-mail: shunya.sakane.sz12@vc.ibaraki.ac.jp

【背景】熱電材料は、温度差を利用して熱を電気に変換する材料であり、持続可能なエネルギー源として注目されている。熱電材料の性能は、ゼーベック係数 S 、電気伝導率 σ 、熱伝導率 κ から算出される無次元性能指数 ZT で評価される。これまでに我々は、分子線エピタキシー (MBE) 法を用いて $\text{c-Al}_2\text{O}_3$ 基板上に高品質なエピタキシャル Mg_3Sb_2 薄膜を作製することに成功しており、この薄膜は従来の報告に比べて約 3 倍高い $S^2\sigma$ 値を示した^[1]。この結果は、歪み層や多結晶界面が少ないため、キャリア移動度が向上したことによるものである。さらに、同様の方法で Mg_3Bi_2 薄膜の作製にも成功している。 Mg_3Bi_2 については、歪みがバンド構造を変化させて物性に影響が出ることが知られている^[2]。本研究では、異なる面方位のサファイア基板上に Mg_3Bi_2 薄膜を成長し、その構造に与える影響を調査することを目的とした。

【実験手法】 $\text{c-Al}_2\text{O}_3$ 基板、 $\text{r-Al}_2\text{O}_3$ 基板を洗浄後大気下 1000°C で熱処理した後に MBE 装置に導入し、基板温度 400°C で Mg と Bi を同時に蒸着することで Mg_3Bi_2 薄膜を作製し、その後、アモルファス Si を 10nm 蒸着した。作製した薄膜の構造は、X 線回折装置(Smart Lab, X'Pert Pro)で $2\theta/\theta$ 測定と極点測定、反射高速電子回折(RHEED)、Raman 分光測定、原子間力顕微鏡(AFM)を用いて評価した。

【実験結果】各試料の RHEED パターンから $\text{c-Al}_2\text{O}_3$ 基板および $\text{r-Al}_2\text{O}_3$ 基板上に、平坦な $\text{c-Mg}_3\text{Bi}_2$ 薄膜がエピタキシャル成長していることがわかった。また、XRD の結果から、 Mg_3Bi_2 の c 軸の値を計算したところ、どちらの基板を用いて成長しても c 軸方向にはほとんど歪んでいないことが明らかになった。さらに極点図の結果から、 $\text{c-Al}_2\text{O}_3$ 基板上の Mg_3Bi_2 薄膜は 012 面由来のスポットが 3 回対称として現れたのに対し、 $\text{r-Al}_2\text{O}_3$ 基板上の Mg_3Bi_2 薄膜は 012 面が 6 回対称として現れた。これらの結果から、 $\text{c-Al}_2\text{O}_3$ 基板と $\text{c-Mg}_3\text{Bi}_2$ 、 $\text{r-Al}_2\text{O}_3$ 基板と $\text{c-Mg}_3\text{Bi}_2$ のエピタキシャル関係がわかった。

【謝辞】本研究の一部は、岩谷直治記念財団、日揮・実吉奨学会の助成により行われた。

【参考文献】

[1] A. Ayukawa *et al.*, *Appl. Phys. Express*, **17**, 065501 (2024).

[2] H. Cho *et al.*, *Adv. Funct. Mater.*, 2407017 (2024)

Mg₂Si 基板への拡散深さに対する Ag 膜厚の影響

Impact of Ag film diffusion depth in Mg₂Si Substrate

茨城大学 [○]飯野有紀, 武井日出人, 勝俣響, 古田良輔, 坂根駿也, *鶴殿治彦

Ibaraki Univ. [○]Y Iino, H Takei, H Katumata, R Furuta, S Sakane, *H Udono

*E-mail: udono@vc.ibaraki.ac.jp

【はじめに】

我々は安価で豊富な原料からなる Mg₂Si 用いて汎用普及型の短波赤外 (SWIR) フォトダイオード (PD) やイメージセンサの開発を行っている^[1-3]. この pn 接合接合の形成では, p 型ドーパントの Ag 薄膜を熱拡散によって n 型 Mg₂Si 基板中に拡散させて行っているが, Ag 膜厚が薄い場合には Ag の供給量が制限されるために既報の補誤差関数に従う関数分布^[4]からずれが生じると考えられる. また, Ag と Mg が反応して MgAg 合金を形成する事も指摘されているため^[4], Ag 薄膜が薄い場合の熱拡散過程については検討の余地がある. 本研究では, 拡散源の Ag 膜厚を薄くした場合の Mg₂Si 基板中への Ag の熱拡散について評価を行ったので報告する.

【実験方法】

高純度 n 型の Mg₂Si 基板の準備を行い, Ag 薄膜をスパッタリング装置によって 5, 10, 20, 100nm と堆積させた. その後, RTA 炉を用いて Ar 雰囲気中で熱拡散を 480℃, 450℃, 400℃で行い pn 接合を形成した. Ag の拡散状況の評価は, 試料の拡散面を斜め研磨し, 抵抗率測定を行うことで評価した.

【結果と考察】

Ag 膜厚が 20 nm 以下で薄い場合, Ag 膜厚が 100 nm の厚い場合と異なり, 拡散後の表面は連続した残留した Ag は膜ではなく凝集している様子がみられた. Ag 膜厚が 20 nm の試料を 450℃で 10 分間熱処理した結果, Ag の拡散深さは約 10 μm と推定された. これは Ag 膜厚が 100 nm 程度の厚膜の時の同熱処理条件での拡散深さ 60-70 μm と比較して大幅に浅い接合が形成されていることを示唆する. また, Ag 膜厚が 20 nm の同試料を 400℃で 10 分間, 熱拡散させた場合においても同様に約 10 μm の拡散深さが観察された. これらの結果より, Ag 膜厚が薄い場合には, Ag の供給律速になって Ag 濃度プロファイルが報告されている膜厚が厚い場合とは異なる拡散分布が異なる事を示している.

【謝辞】

本研究の一部は, 科学研究費補助金(JPMXP1224NM0004), JST A-STEP (JPMJTR21RB, JPMJTR22R3,and JPMJTR24R3), ARIM 事業(JPMXP1224NM0004)の支援を受けた.

【参考文献】

- [1] H. Udono *et al.*, *J. Phys. Chem. Solids* **74**, 311 (2013). [2] 鶴殿, 応用物理 **88**, 797(2019).
[3] H. Udono *et al.*, *Proc. SPIE*, **13362**, 133620I (2025). [4] S. Sakane *et al.*, *AIP Adv.* **13**, 105307 (2023).
[5] 武井他, 2024 年春季応用物理学会 23p-P03-3.

コメントの追加 [HU1]: 勝俣くんの予稿と同じ文章を入れる

TCAD を使用した Mg_2Si -pn 接合における
電流電圧特性シミュレーションによる暗電流評価
Dark Current Evaluation in Mg_2Si -pn Junctions via
Current Voltage Characteristic Simulation Using TCAD
茨城大 ◯清水 匠, 勝俣 響, 坂根 駿也, 鵜殿 治彦*
Ibaraki Univ. ◯T. Shimizu, H. Katsumata, S. Sakane and H. Udono*
*E-mail: udono@vc.ibaraki.ac.jp

【はじめに】受光素子における暗電流特性は、作製されるデバイスの品質や動作の信頼性を示す重要な評価指標である。例としてフォトダイオード(PD)では暗電流が小さいほどノイズが低減され、光の検出能が向上する。また光起電力発電(PV)セルにおいてもリーク電流を含む暗電流は動作特性や変換効率へ影響を及ぼす。そのためシミュレーションを活用した特性予測は実験的検討の効率化やデバイス設計の方向性を探索するうえで有効な手段となる。これまでに我々は pn 接合 Mg_2Si -PD や PD リニアアレイの開発^[1-3]や、 Mg_2Si を使用した熱光起電力発電(TPV)セルの作製^[4]といった受光素子の報告してきた。本報告では Mg_2Si の物性値を用いて pn 接合モデルの電流電圧(I-V)特性シミュレーションを Technology CAD (TCAD)を用いて行い、構造パラメータや物理モデルが暗電流に及ぼす影響を調査した。

【実験方法】シミュレーションは Synopsys 社のデバイスシミュレータである Sentaurus TCAD を用いて行った。デバイス構造は二次元の pn 接合をモデルとして採用し、n 型基板に対しアクセプタとなる不純物の拡散を考慮した傾斜接合を導入した。シミュレーションに用いる物性値やパラメータについては実験値および参考文献^[2,5]に基づいて設定した。

【結果と考察】基板キャリア濃度 n を $10^{15}\sim 10^{17}\text{ cm}^{-3}$ とした場合の I-V 特性シミュレーションにより得られた -1 V における電流密度 J とシャント抵抗(R_{sh})を Table I に示す。シミュレーションは Shockley-Read-Hall 再結合のみを考慮し、キャリア寿命は $10\text{ }\mu\text{s}$ とした。シミュレーションの結果、基板キャリア濃度が上昇するにつれ、-1 V における電流密度は約 1 桁低下し、 R_{sh} は上昇した。詳細な結果及び考察に関しては当日議論する。

Table I 基板キャリア濃度別の暗電流特性		
$n\text{ [cm}^{-3}\text{]}$	$J_{-1V}\text{ [A/cm}^2\text{]}$	$R_{\text{sh}}\text{ [}\Omega\text{ cm}^2\text{]}$
1.0×10^{15}	1.70×10^{-3}	6.12×10^3
1.0×10^{16}	3.89×10^{-4}	9.54×10^3
1.0×10^{17}	1.39×10^{-4}	2.07×10^4

【謝辞】本研究の一部は、科学研究費補助金(JP23H01440), JST A-STEP(JPMJTR21RB, JPMJTR22R3, and JPMJTR24R3), ARIM 事業(JPMXP1224NM0004)の支援を受けた。

【参考文献】[1] H. Udono et al., J. Phys. Chem. Solids **74**, 311 (2013). [2] H. Udono et al., J. Jpn. Appl. Phys. **54**, 07 JB06 (2015). [3] H. Udono et al., Proc SPIE, 133620I (2025). [4] T.Shimizu et al., Jpn. J. Appl. Phys. **63**, 12SP17 (2024). [5] S. Sakane and H. Udono, AIP Adv. **13**, 105307 (2023).

13 Semiconductors | Poster presentation : 13.3 Insulator technology

[8p-P03-1~4] 13.3 Insulator technology

[8p-P03-1]

Breaking energy of hydrogen bonds in SiN_x and SiO_x films

○Tomoki Oku¹, Masahiro Totsuka¹, Hajime Sasaki¹ (1.Mitsubishi Electric)

[8p-P03-2]

Impact of Interface Trap Density Distribution near Conduction Band Edge on C-V Characteristics of Si MOS Capacitor

○Koei Matsubara¹, Shoma Kato¹, Hinata Suzuki¹, Katsunori Makihara², Yusuke Ichino¹, Yoshiyuki Seike¹, Tatsuo Mori¹, Noriyuki Taoka¹ (1.Aichi Inst. Tech., 2.Nagoya Univ.)

[8p-P03-3]

Electrical Properties of Hf-oxide Layer on Si Substrate Formed by Post Oxidation

○Riku Kayagi¹, Kito Sakou¹, Naoya Takasu¹, Katsunori Makihara², Yusuke Ichino¹, Yoshiyuki Seike¹, Tatsuo Mori¹, Noriyuki Taoka¹ (1.Aichi Inst.Tech, 2.Nagoya Univ)

[8p-P03-4]

Al₂O₃film deposition by ALD on fluorinated graphene using SAM film for realization of ultra-thin charge trap layer

○Kohei Mashimo¹, Yoshiharu Kiriha¹, Ryoichi Kawai¹, Ko Namikawa¹, Tappei Nishihara², Yuichiro Mitani¹, Ryosuke Ishikawa¹, Hiroshi Nohira¹ (1.Tokyo City Univ., 2.JASRI)

SiN_x 膜と SiO_x 膜中の水素ボンドの切断エネルギー

Breaking energy of hydrogen bonds in SiN_x and SiO_x films

三菱電機(株) [○]奥友希, 戸塚正裕, 佐々木肇

Mitsubishi Electric Corporation, Tomoki Oku, Masahiro Totsuka, and Hajime Sasaki

E-mail: Oku.Tomoki@ap.MitsubishiElectric.co.jp

はじめに: 保護膜の耐湿性劣化のメカニズムを半経験的分子軌道計算法(PM6 法[1])で解析してきた。前回[2]、水素イオンの効果を解析し、Fig. 1 に示す様に、空孔無しの Si₃N₄ 膜中と SiO₂ 膜中を水素イオンが移動する際のエネルギー障壁 ΔE を夫々、2.17~2.86 eV、1.81~

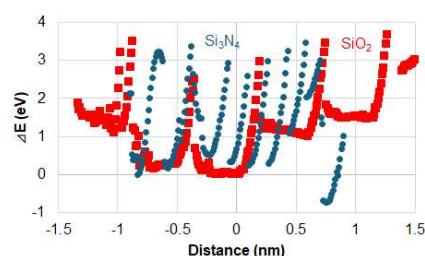


Fig. 1 Energy barrier of hopping of hydrogen ions in Si₃N₄ and SiO₂ films.

2.98eV と見積もった。このとき、水素イオンは 4 配位化した窒素原子サイト($\equiv\text{N}-\text{H}^+$)間を、3 配位化した酸素原子サイト($=\text{O}-\text{H}^+$)間を結合と切断を繰り返しながらホッピングした。今回は空孔有りの SiN_x 膜と SiO_x 膜の膜中の Si-H、N-H、O-H ボンドを切断して水素が移動するために必要な ΔE を分子軌道計算法で解析した。計算: SiN_x 膜と SiO_x 膜のモデルクラスター中の中央付近に Si-H、N-H、O-H ボンドを形成し、水素イオンの Distance を変えて、各ボンド長を伸ばして切断される際の ΔE を計算した。

結果: SiN_x 膜の膜中の Si-H、N-H と SiO_x 膜の膜中の Si-H、O-H ボンドについて ΔE を Fig. 2 に示す。各ボンドは図中の↓のところで切断されたので、夫々、2.0、3.9 と 5.9、3.5 eV と見積もれた。このことから、SiN_x 膜の Si-H ボンド> SiO_x 膜の O-H ボンド> SiN_x 膜の N-H ボンド> SiO_x 膜の Si-H ボンドの順で切断されやすいことが分かった。また、切断後の水素イオンは、Fig. 3 に示す様に、夫々、($=\text{Si}=\text{)-H}^+$ 、 $\equiv\text{N}-\text{H}^+$ と($=\text{Si}=\text{)-H}^+$ 、 $=\text{O}-\text{H}^+$ に移動したので、切断後は Fig. 1 とは異なるホッピングサイトを移動することも分かった。このことが Fig. 2 の↓より大きい Distance での振る舞いの違いを説明している。ここで、SiN_x 膜の膜中のボンドの濃度($\sim 10^{22} \text{ cm}^{-3}$)が SiO_x 膜の濃度($\sim 10^{21} \text{ cm}^{-3}$)より大きいことを考慮すると、SiN_x 膜の Si-H ボンドが最も水素拡散への影響が大きいと考えられる。[1] MO-G Version 1.0.6, Fujitsu limited, Tokyo, Japan (2011). [2] 奥、戸塚、佐々木、第 72 回春季応物 16p-P13-1.

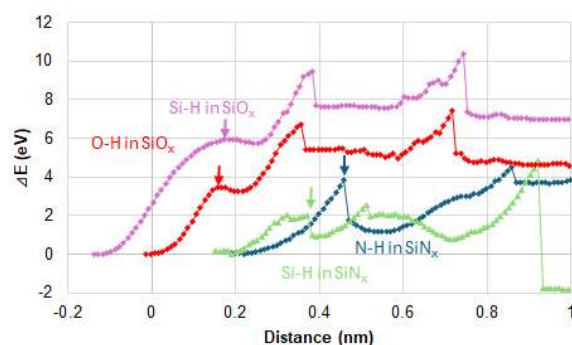


Fig. 2 Distance-dependence of ΔE for hydrogen ions in SiN_x and SiO_x films.

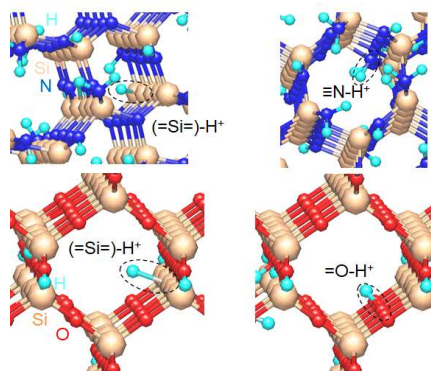


Fig. 3 Position of hydrogen after breaking of Si-H, N-H, O-H bonds in SiN_x and SiO_x films.

Si MOS キャパシタにおける伝導帯端近傍の界面準位密度分布が C - V 特性に与える影響

Impact of Interface Trap Density Distribution near Conduction Band Edge

on C - V Characteristics of Si MOS Capacitor

愛知工大¹, 名大院工², [○]松原滉英¹, 加藤 匠馬¹, 鈴木 陽向¹, 牧原克典², 一野祐亮¹,
清家善之¹, 森竜雄¹, 田岡紀之¹

¹Aichi Inst. Tech., ²Nagoya Univ., [○]Koei Matsubara¹, Shoma Kato¹, Hinata Suzuki¹, Katsunori Makihara²,
Yusuke Ichino¹, Yoshiyuki Seike¹, Tatsuo Mori¹, Noriyuki Taoka¹
E-mail: v25724vv@aitech.ac.jp, ntaoka@aitech.ac.jp

【背景】量子コンピュータの高性能化には、量子ビットと CMOS 回路を混載した SoC の極低温動作が鍵となる。一方、極低温では CMOS 回路中の MOSFET 動作が室温と大きく異なることが報告されている[1,2]。この物理的起源については未解明の部分が多く、現在多くの研究が盛んに行われている。その起源の一つとして考えられるのが、伝導帯・価電子帯（バンド）端近傍の界面準位である。一方で、バンド端に界面準位が多量に存在する場合、 C - V 特性に影響を与えるはずであるが、詳細な議論はこれまで、ほとんど行われていない。本研究では、SiO₂/Si 界面を有する MOS キャパシタを作製し、その蓄積状態の C - V 特性に界面準位密度(D_{it})分布が与える影響を計算した。

【実験方法】 n 型 Si(100)基板を化学洗浄後、1000°Cでドライ熱酸化を行い、厚さ 5 nm の SiO₂層を形成した。その後、SiO₂層上に Al 電極を形成した。また、Si 基板の裏面の SiO₂層を剥離後、裏面電極を形成した。最後に 400°Cで 1 分間の熱処理を希釈水素雰囲気で行い、MOS キャパシタを作製した。これらの試料の容量-電圧 (C - V) 特性および D_{it} を温度を変えて評価した。

【結果】図 1 は 130K で測定した C - V カーブである。測定周波数は 1MHz から 1kHz である。良好な MOS 特性が確認でき、ゲート電圧に依らず容量の周波数分散はほとんど見られない。同様な C - V カーブは、300K から 130K の測定温度範囲で見られた。これらの結果は、界面準位の AC 応答に起因した容量が C - V カーブに、ほとんど影響を与えていないことを示している。言い換えると、 D_{it} 分布を仮定し、そのゲート電圧軸方向への Stretched-out を考慮すれば、 D_{it} 分布が C - V カーブに与える影響を把握することができる。図 2 にコンダクタンス法で求めた D_{it} 分布と今回計算で用いた D_{it} 分布を示す。ここで、計算で用いた D_{it} 分布は、図 2 中の式を用いて計算した。式中の変数 a は、コンダクタンス法で求めた D_{it} 分布にフィッティングして求めた。今回、変数 b を固定して、変数 c を変えることによって、実験結果にフィッティングした。蓄積状態の実験結果および計算結果を図 3 に示す。 $c=9.50$ (赤線)の場合、計算結果と実験結果が良く一致していることがわかる。一方で、 c の値を変えることによって、蓄積容量が大きく変化していることがわかる。これは、界面準位による Stretched-out の影響である。これらのことは、酸化膜容量(C_{ox})を実験的に正確に求めることが困難であることを示しているが、一方で、 C_{ox} を他の方法で決定すると、 D_{it} 分布を正確に求めることが可能であることを示唆している。

謝辞>Si MOS キャパシタ作製および有意義な議論に関して、多大なご助言とご協力を頂いた蔡 佳倫氏および宮崎誠一教授に深く感謝申し上げます。

参考文献>[1] H.Oka, JSAP Review 2022, 220305 (2022). [2]T. Mori *et al*, IEICE Vol. J106-C No. 10(2023).

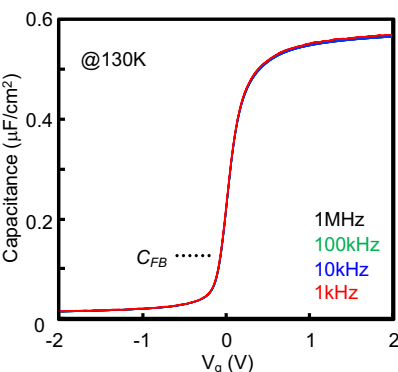


Fig. 1 C - V curves measured with the various frequencies and at 130K.

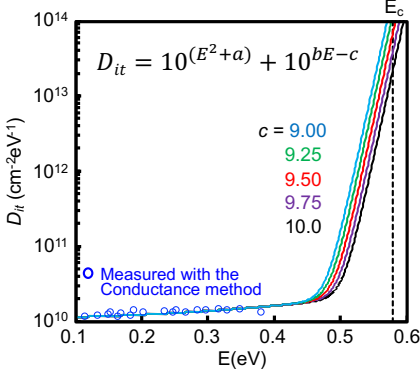


Fig. 2 Measured and assumed D_{it} distributions. Here, E_c is minimum energy of the conduction band.

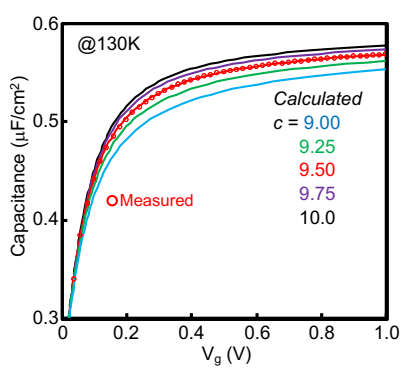


Fig. 3 Measured and calculated C - V curves.

Si 基板上に後酸化によって形成した Hf 酸化膜の電気的特性 Electrical Properties of Hf-oxide Layer on Si Substrate Formed by Post Oxidation

愛知工大¹, 名大院工², [○]茅木陸¹, 酒向希斗¹, 高須直也¹, 牧原克典², 一野祐亮¹,
清家善之¹, 森竜雄¹, 田岡紀之¹

¹Aichi Inst. Tech., ²Nagoya Univ., [○]Riku Kayaki¹, Kiito Sako¹, Naoya Takasu¹, Katsunori Makihara²,
Yusuke Ichino¹, Yoshiyuki Seike¹, Tatsuo Mori¹, Noriyuki Taoka¹

E-mail: v25707vv@aitech.ac.jp, ntaoka@aitech.ac.jp

【背景】近年、結晶構造制御によって得られた膜厚数 nm の直方晶 HfO₂ において、強誘電特性が確認されている [1]。このため、直方晶 HfO₂ は MOSFET のサブスレッショルド特性を改善する Steep slope デバイスのゲート絶縁膜材料として注目されている。一方で、HfO₂ の強誘電性は熱処理条件や膜厚に依存することが報告されているが [2]、それらが電気的特性に与える影響については、依然として十分に理解されていない。本研究では、膜厚の異なる Hf 層を、様々な後酸化温度で形成した Hf 酸化物を有する MOS キャパシタを作製し、 $C-V$ 特性の測定を通して、熱処理温度および膜厚と電気的特性との関係を詳細に検討した。

【実験方法】比抵抗 $\leq 0.005 \Omega \cdot \text{cm}$ の n^+ 型 Si(100) 基板をアンモニア水で洗浄後、希釈 HF 溶液に浸漬し、水素終端表面を形成した。次に、ビス (ジエチルアミノ) シランと酸素プラズマを用いた原子層堆積法 (ALD) を用いて、SiO₂ 形成した。この時、ALD サイクルを 5 サイクルとした。その後、電子ビーム蒸着法により膜厚 $d_{\text{Hf}} = 1 \sim 4 \text{ nm}$ の Hf を堆積した。続いてランプアニール装置を用いて、大気圧酸素雰囲気下で $600^\circ\text{C} \sim 900^\circ\text{C}$ の熱処理温度範囲において、10 分間熱酸化し、HfO₂ を形成した。さらに、Ni 上部電極および Al 下部電極を形成することで MOS キャパシタを作製し、これらの試料について $C-V$ 特性を評価した。

【結果】図 1 に、膜厚 $d_{\text{Hf}} = 2 \text{ nm}$ の試料を 900°C で熱処理した場合の $C-V$ 特性を示す。測定温度は 140 K であり、ゲート電圧 (V_g) の掃引範囲を $\pm 5.9 \text{ V}$ から $\pm 6.9 \text{ V}$ まで変化させて測定を行った。その結果、 V_g の掃引範囲が大きくなるにつれて $C-V$ 特性のヒステリシス幅が増大する傾向が確認された。このヒステリシス幅は試料ごとに異なっており、形成された Hf 酸化膜の物性に起因すると考えられる。このヒステリシス幅から、掃引によって変化した電荷密度を算出した。図 2 に、その電荷密度を Hf 酸化膜に印加された電界の関数として示す。ここでは、容量換算膜厚と Hf 酸化膜厚との関係を用いて SiO₂ 界面層の膜厚を決定し、Hf 酸化膜と SiO₂ 界面層にかかる電界を分離することで、Hf 酸化膜に印加された実効電界を導出している。電荷密度の算出には、 140 K で測定した $C-V$ カーブを用いた。その結果、 600°C および 750°C で酸化した試料では、 d_{Hf} に関わらず、 2 MV/cm 付近において電荷密度が $2 \times 10^{12} \text{ cm}^{-2}$ であり、電界に対してほぼ線形に増加する傾向が見られた。一方、 900°C で酸化した試料では、より高い電界を印加した際に、電荷密度の顕著な変化が観測された。また、膜厚 $d_{\text{Hf}} = 2 \text{ nm}$ および 4 nm の間でも、電荷密度の電界依存性に明確な差異が認められた。

これらの結果は、熱処理温度および d_{Hf} に依存して、Hf 酸化物中の結晶構造や欠陥密度が変化している可能性を示唆している。発表当日は、これらの構造的要因と電荷密度分布との相関関係についても議論を行う予定である。

謝辞> MOS キャパシタ作製および有意義な議論に関して、多大なご助言とご協力を頂いた安田航氏および宮崎誠一教授に深く感謝申し上げます。

参考文献> [1] T.S. Böske *et al.*, Appl. Phys. Lett. **99**, 102903 (2011). [2] X. Tian *et al.*, Appl. Phys. Lett. **112**, 102902 (2018).

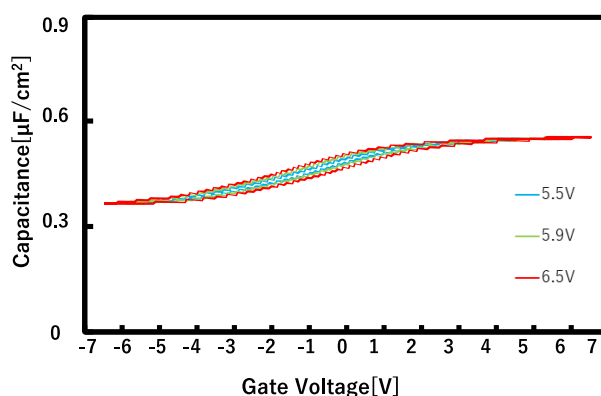


Fig. 1 $C-V$ curves of the sample oxidized at 900°C .

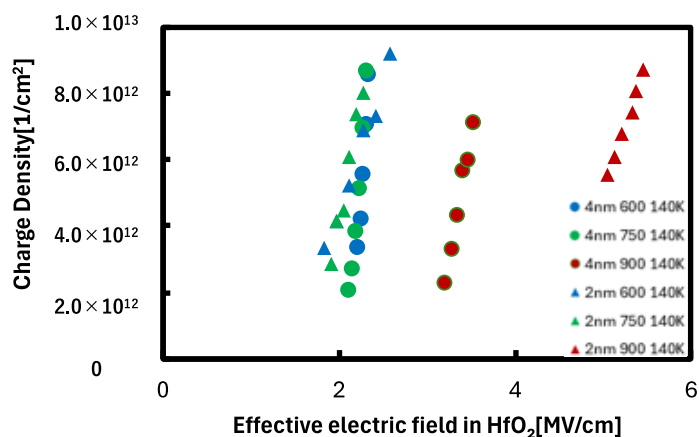


Fig. 2 Charge density distributions evaluated from the hysteresis widths as a function of effective electric field.

極薄電荷捕獲層利用に向けた SAM 膜を用いたフッ化グラフェン上への ALD による Al_2O_3 膜形成

Al_2O_3 film deposition by ALD on fluorinated graphene using SAM film
for realization of ultra-thin charge trap layer

東京都市大学¹, 高輝度光科学研究センター², °眞下 航平¹, 桐原 芳治¹, 川合 遼一¹, 浪川 滉¹,

西原 達平², 三谷 祐一郎¹, 石川 亮佑¹, 野平 博司¹

Tokyo City Univ.¹, JASRI², °Kohei Mashimo¹, Yoshiharu Kirihaara¹, Ryoichi Kawai¹, Ko Namikawa¹,
Tappei Nishihara², Yuichiro Mitani¹, Ryousuke Ishikawa¹, Hiroshi Nohira¹

E-mail: g2481276@tcu.ac.jp

はじめに 二次元層状材料のグラフェン(Gr)にフッ化処理を行うと、導体膜から絶縁膜へと変化する。これを利用して、フッ化グラフェン(FGr)を電荷捕獲層とした不揮発性メモリが提案され性能実証されている[1, 2]。しかし、FGr にはダングリングボンドが存在しないため、原子層堆積法(ALD)で堆積した Al_2O_3 膜の不均一性が問題となっている。最近、Gr 上に Tetracyanoquinodimethane (TCNQ)の単分子膜を形成することで、均一な ALD- Al_2O_3 膜の堆積が可能であることが明らかになった[3]。そこで我々は、FGr 上に TCNQ の単分子膜を塗布することで、均一な ALD- Al_2O_3 膜の堆積が可能と考えた。本研究では、FGr を電荷捕獲層とした不揮発性メモリの動作の再現に向け、MOS 構造デバイスを作製し、①原子間力顕微鏡(AFM)による表面粗さ評価、②C-V 測定による動作実証、③電圧印加 HAXPES によるオペランド測定を行った。

実験方法 フッ化グラフェンは、銅箔上に 995 °Cの熱 CVD 法で単層 Gr を成長させた後、30 W、1 分間の RIE 処理によって作製した[2]。これを、5 nm の SiO_2 膜で覆われた n-Si(100)基板上に転写した。転写後、TCNQ を Dymethylformamide (DMF)に 1 mg/mL の濃度で溶解した溶液をスピコート法により塗布した。続いて、ALD を用いて 10 nm の Al_2O_3 膜を堆積した。電圧印加 HAXPES 測定は SPring-8 BL09XU で行った。入射光のエネルギーは $h\nu = 7.93$ keV、測定光電子は Ni 2p, O 1s, F 1s, Al 1s, Si 1s である。

結果および検討 TCNQ 膜の有無による表面粗さの変化を確認するため、AFM 測定を行った。Fig. 1 に AFM 像と自乗平均面粗さ(R_{rms})を示す。TCNQ 膜を介在させた場合には R_{rms} の顕著な低下が確認された。これは、TCNQ 膜が ALD 堆積初期における核形成密度を増加させ、均一な Al_2O_3 膜の堆積を促進する効果があることが示唆される。C-V 測定や HAXPES 測定の結果を含めて詳細は当日報告する。

謝辞 放射光実験は、大型放射光施設 SPring-8 の BL09XU を用いて、高輝度光科学研究センターの承認(JASRI, Proposal Nos. 2025A1574, 2025A1643, 2025A1803, 2025A1824)によって実行されました。

参考文献 [1] K.-P. Chang *et al.*, J. Appl. Phys., **127**, 245106 (2020). [2] R. Kawashima *et al.*, J. Appl. Phys., **62**, SG1035 (2023). [3] 野口 裕士 他, 2025 年第 72 回応用物理学会春季学術講演会要旨, 15p-P05-29 (2025).

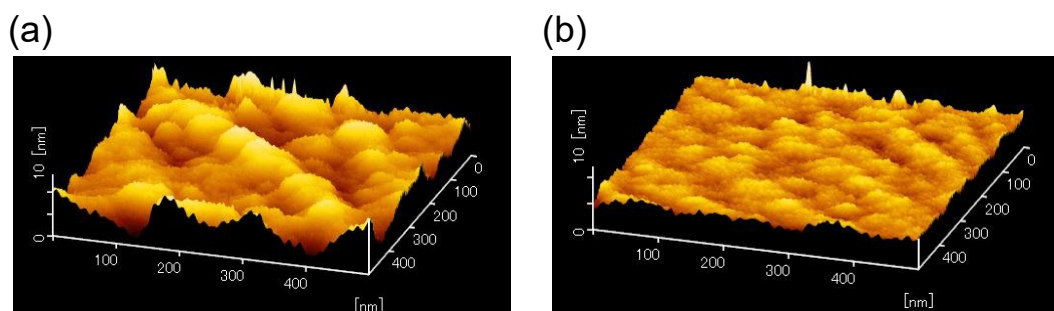


Fig. 1 AFM images (a) $\text{Al}_2\text{O}_3/\text{FGr}/\text{SiO}_2/\text{Si}$, (b) $\text{Al}_2\text{O}_3/\text{TCNQ}/\text{FGr}/\text{SiO}_2/\text{Si}$.

13 Semiconductors | Oral presentation : 13.3 Insulator technology

[10a-N401-1~9] 13.3 Insulator technology

[10a-N401-1]

Si substrate orientation dependence of the gate insulator formation

○Yukitomo Morita¹, Masashi Tsuruguchi¹, Ken Hayakawa², Haruo Sudo², Koji Izunome², Shun-ichiro Ohmi¹ (1.Sci. Tokyo, 2.GWJ Co., Ltd.)

[10a-N401-2]

Intrinsic stress of thermal oxide film on Si(100) surface and emission of self-interstitials

○Eiji Kamiyama^{1,2}, Koji Sueoka² (1.GlobalWafers Japan Co., Ltd., 2.Okayama Pref. Univ.)

[10a-N401-3]

Physical Meaning of Linear-Parabolic growth retardation during oxidation on Si(111)

○(M1)Hengyu Wen¹, Yasutaka Tsuda², Yuki Okabe¹, Akitaka Yoshigoe², Yuji Takakuwa³, Shuichi Shuichi Ogawa¹ (1.Nihon Univ., 2.JAEA, 3.Tohoku Univ.)

[10a-N401-4]

Atomic Scale Insights into Structures of Si Thermal Oxide/Si Interface

○Hiroyuki Kageshima¹, Insung Seo¹, Toru Akiyama², Kenji Shiraishi³ (1.Shimane Univ., 2.Mie Univ., 3.Tohoku Univ.)

[10a-N401-5]

SiO₂ reliability consideration in terms of oxidation kinetics difference of Ge from Si

○Akira Toriumi¹ (1.None)

[10a-N401-6]

Influence of Surface Potential Fluctuation on Evaluation of Interface State Density by High-frequency CV method

○Shinichi Takagi¹, Kasidit Toprasertpong² (1.Teikyo Univ., 2.The Univ. Tokyo)

[10a-N401-7]

Evaluation of HfO₂/Si MOS Interface Properties on Si(110) Vicinal Substrates

○Ryotaro Shimura¹, Eishin Nako¹, Koji Matsumoto², Akihiro Suzuki², Hiroaki Yamamoto², Kazuhito Matsukawa², Mitsuru Takenaka¹, Shinichi Takagi¹, Kasidit Toprasertpong¹ (1.Uinv. Tokyo, 2.SUMCO Corp.)

[10a-N401-8]

Insulation and interfacial properties of low temperature sputter HfO₂ MOSCAP

○(M1)Shunsuke Takaki¹, Toshiyuki Yoshida¹, Wenchang Yeh¹ (1.Shimane Univ.)

[10a-N401-9]

Interfacial Dipole Layer Modulation Induced by Ferroelectric Polarization Charges of HfO₂ Thin Film: A Molecular Dynamics Study

○Takanobu Watanabe¹, Jumpei Ohba¹, Sora Yamamoto¹, Yusuke Nishimura¹ (1.Waseda Univ.)

異種面方位 Si 基板上へのゲート絶縁膜形成に関する検討 Si substrate orientation dependence of the gate insulator formation

科学大工¹, グローバルウェーハズ・ジャパン (株)²

○森田 行友¹, 鶴口 正士¹, 早川 兼², 須藤 治生², 泉妻 宏治², 大見 俊一郎¹

Sci. Tokyo¹, GWJ Co., Ltd.²,

○Y. Morita¹, M. Tsuruguchi¹, K. Hayakawa², H. Sudo², K. Izunome², and S. Ohmi¹

E-mail: ohmi@ee.e.titech.ac.jp

1. はじめに

我々はこれまで、異種面方位 Si 基板上へのゲート絶縁膜形成に関する検討を行ってきた[1-3]。今回、ゲート絶縁膜の電気特性の Si 基板面方位依存性の評価を目的として、Si(100)および Si(110)基板上に形成した熱酸化膜の電気特性に関する検討を行ったので報告する。

2. 実験方法

まず、p-Si(110)および p-Si(100)基板を SPM($\text{H}_2\text{SO}_4:\text{H}_2\text{O}=4:1$)および DHF($\text{HF}:\text{H}_2\text{O}=100:1$)で洗浄した後、850 °C/5 min のウェット酸化を行い、 SiO_2 薄膜を形成した。その後、Al 上部電極を蒸着により形成し、パターニングを行った($100\text{ }\mu\text{m}\times 100\text{ }\mu\text{m}$)。Al 電極形成後のフォーミングガスアニールは行っていない。以上のように作製した MOS ダイオードを、C-V 特性および J-V 特性により評価した。

3. 実験結果及び考察

Fig. 1(a)に、Al/ SiO_2 /p-Si MOS ダイオードの C-V 特性(1 MHz)の比較を示す。Fig. 1(a)より、反転領域で応答がみられるものの、ヒステリシスのない良好な C-V 特性が得られていることが分かる。また、C-V 特性から得られた EOT は Si(100)の場合が 11.1 nm であるのに対して、Si(110)の場合が 6.7 nm であり、Si(110)の場合の酸化レートが Si(100)と比較して 1.7 倍程度早いことが分かる[4]。Fig. 1 (b)に、Al/ SiO_2 /p-Si MOS ダイオードの J-V 特性を示す。Fig. 1(b)より、Si(100)上と比較して Si(110)上の場合、1 桁程度リーク電流が増加することが分かった。

謝辞

本研究にご協力頂いた本学の庄司大技官に感謝する。

参考文献

[1] 工藤他, 第 75 回秋季応物, p.13-003 (2014)., [2] S. Kudoh et al., IEICE Trans. Electron., **E99-C**, pp. 504-509 (2016)., [3] 井出他, 第 40 回強誘電体会議, pp. 135-136 (2023)., [4] 志村他, 第 72 回春季応物, p.11-256 (2025).

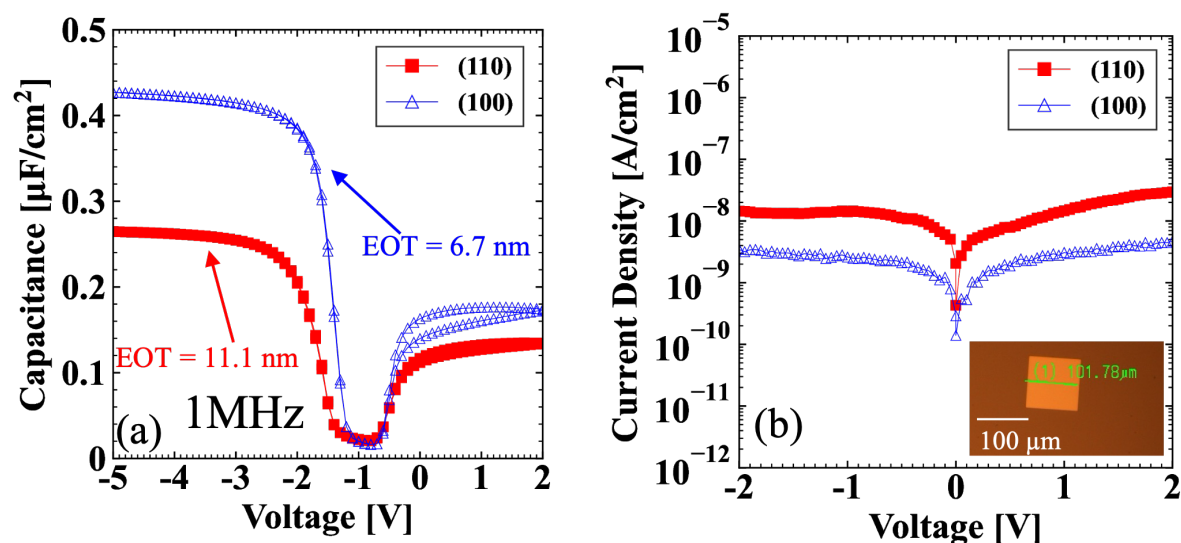


Fig. 1 Comparison of (a) C-V and (b) J-V characteristics of Al/ SiO_2 /p-Si MOS diodes.

Si(100)表面の熱酸化膜の真性応力と格子間 Si 放出

Intrinsic stress of thermal oxide film on Si(100) surface and emission of self-interstitials

¹グローバルウェーハズ・ジャパン(株), ²岡山県立大情報工 °神山栄治 ^{1,2}, 末岡浩治 ²¹ GlobalWafers Japan Co., Ltd., ² Okayama Pref. Univ., °E. Kamiyama^{1,2}, K. Sueoka²

E-mail: ejkamiyama@aol.com

各種薄膜を積層して作製するデバイスにおいて、応力はデバイス性能に影響する重要な要素である。とくに Si を熱酸化して得られる酸化膜は、デバイス構造のコアな部分に使用されているため、その膜応力研究は 40 年以上前から精力的に行われてきた。その中に、Kobeda らの一連の研究がある[1]。熱酸化膜は酸化性ガス雰囲気内に Si ウェーハを一定時間高温に保持して形成されるため、成膜後に室温に戻して測定される応力は、形成された酸化膜と Si の熱膨張係数差分の応力が加わった値となる。Kobeda らは、この熱膨張係数差分の応力を室温における測定値から除いたものを真性応力 (Intrinsic Stress) と定義して解析した。この真性応力は、熱履歴において形成済の酸化膜部分に起因して発生する粘性流動の影響が含まれるが、本報告では、この粘性流動の影響を無視して検討した。

Si の熱酸化において、一般に Si 結晶から SiO₂ へと反応する過程で、分子体積が約 2.25 倍膨張する。そのため、SiO₂/Si 界面に応力が発生すると考えられている。この熱酸化の過程で、界面から格子間 Si が発生することが知られている。この格子間 Si は界面から酸化膜表面へ向かって拡散し、その一部は表面まで到達するとして、解析がなされている[2]。一方、我々のグループでは、格子間 Si が発生した場合には Si から Quartz (Q)に変化し、発生しない場合には Si と結晶構造が近い Cristobalite (C)に変化すると考え、熱酸化膜の面内で Q と C が分布するモデルを提案した [3]。このモデルでは、Q/C 比を与え、Si と酸化膜 (Q or C) が界面でミスフィット等の欠陥を生じることなく接合すると仮定すると、第一原理計算結果から SiO₂/Si 界面で発生する真性応力を予測することができる[3]。

図 1 に、(a) Q/C 比を第一原理計算から得られたエネルギーを基に、熱平衡を仮定して決定

した場合の真性応力の酸化温度依存性、(b) Q/C 比を実験にフィッティングして得られた格子間 Si 放出率により決定した場合の応力の酸化温度依存性[2]、(c) Kobeda らの実験値[1]を示す。

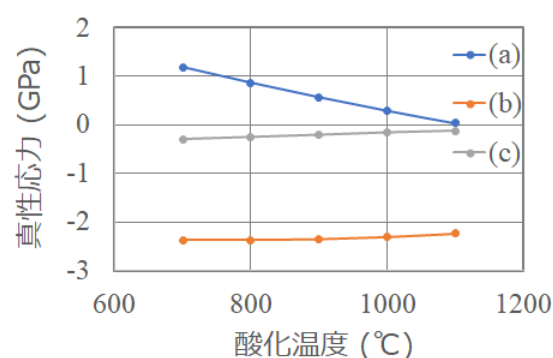


図 1 真性応力の酸化温度依存性; (a)(b)計算値 (本文参照), (c)実験値[1].

これより、値に差はあるが、計算値(b)の酸化温度に対する傾きが、実験値(c)のそれに近い結果となった。

当日は、実際の SiO₂/Si 界面の高分解能 TEM 観察より Pseudo-Cristobalite モデルが提唱されたこと[4]や、この Pseudo-Cristobalite モデルの安定性について前回第一原理計算で検証した結果[5]と、報告されている格子間 Si 放出率[2]とを合わせて考察する。

参考文献

- [1] E. Kobeda and E. A. Irene, *J. Vac. Sci. Technol.* **B4** (1986) 720; **B5** (1987) 15; **B6** (1988) 574; **B7** (1989) 163. [2] M. Uematsu, et. al, *JJAP* **39** (2000) L699. [3] 神山他 2024 年秋応物 19p-B1-3; E. Kamiyama and K. Sueoka, *JAP.* **134** (2023) 115301. [4] K. Kimoto, et. al, *AIP Adv.* **2** (2012) 042144. [5] 神山他 2025 年春応物 17a-K202-7; E. Kamiyama and K. Sueoka, *AIP Adv.* **14** (2024) 075217.

Si(111)酸化における Linear-Parabolic growth 開始遅れの物理的意味

Physical Meaning of Linear-Parabolic growth retardation during oxidation on Si(111)

日本大学¹, 日本原子力研究開発機構², 東北大学³ ○(M1) Hengyu Wen¹, 津田 泰孝², 岡部 優希

¹, 吉越 章隆², 高桑 雄二³, 小川 修一¹

Nihon Univ.¹, JAEA², Tohoku Univ.³ ○(M1) Hengyu Wen¹, Yasutaka Tsuda², Yuki Okabe¹, Akitaka

Yoshigoe², Yuji Takakuwa³, Shuichi Ogawa¹

E-mail: ciko25021@g.nihon-u.ac.jp

Si ドライ酸化は二種類の 1 次反応（指数関数型）と 0 次反応（Linear-Parabolic growth）が競合し、酸化膜厚 X_o を式(1)で記述できる[1]。式(1)の第 3 項は Deal-Grove モデルから与えられる。

$$X_o = A_A(1 - e^{-k_A t}) + A_B(1 - e^{-k_B t}) + \frac{1}{2} \left[-A + \sqrt{A^2 + 4B(t + \tau)} \right] \quad (1)$$

第 1 項と第 2 項はそれぞれ酸化誘起空孔サイトでの一段階酸化（Loop A）と二段階酸化（Loop B）によると同定され、 O_2 解離吸着のために過剰少数キャリア捕獲が必要である[2, 3]。これに対して第 3 項でも O_2 解離吸着のためには未結合手が必要なので、Si-O 切断による欠陥準位の関与が考えられる。本研究では Si(111)表面酸化過程をリアルタイム XPS で観察し、Linear-Parabolic growth 開始遅れの酸素圧力と温度依存から界面酸化での欠陥準位の役割を検証し、Si 統合酸化反応モデル（Loops A/B & L-P growth）を考察した。

Si(111)表面の室温酸化においても P_{O_2} を 100 倍増加することにより X_o は顕著な増加を見せる（図 1）。酸化領域 I の X_o を Loops A/B & L-P growth モデルで解析すると良い一致が見られ、Loop L-P には開始遅れ t_1 が存在する。酸化領域 II は Loop L-P のみで解析可能であり、Loops A/B が飽和後には P_{O_2} 増加で再駆動できない。このとき Loop L-P の dX_o/dt (式(1)の B/A) は 3.8 倍にとどまり非線形な P_{O_2} 依存を示す。酸化領域 I で P_{O_2} を増加すると t_1 は短くなり、550°C にすると長くなる。これらの結果から、Loop L-P は Loop B の反応経路の途中で二段階酸化が起きる前に少数キャリア捕獲して分岐した $2(P_{b0} + P_{b1})$ が出発点となり、Si-O 切断による未結合手が O_2 解離吸着サイトとして機能することが明らかとなった。

[1] H.M. Massoud *et al.*, J. Electrochem. Soc. **132**, 2685 (1985). [2] S. Ogawa *et al.*, Jpn. J. Appl. Phys. **59**, SM0801 (2020). [3] Y. Tsuda *et al.*, J. Chem. Phys. **157**, 234705 (2022).

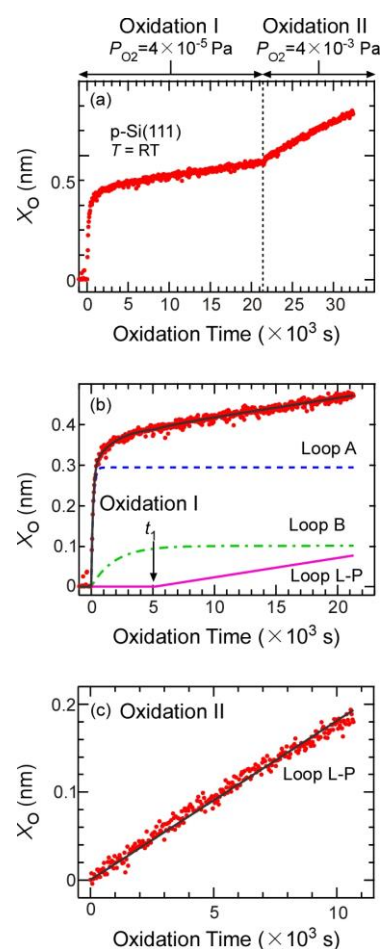


図 1 (a)Si(111)表面の室温酸化における酸化状態。 X_o の Loops A/B & L-P growth 解析: (b) Oxidation

Si 熱酸化膜/Si 界面の原子構造に関する考察

Atomic Scale Insights into Structures of Si Thermal Oxide/Si Interface

島根大¹, 三重大², 東北大³ °影島 博之¹, Seo Insung¹, 秋山 亨², 白石 賢二³

Shimane Univ.¹, Mie Univ.², Tohoku Univ.³

°Hiroyuki Kageshima¹, Insung Seo¹, Toru Akiyama², Kenji Shiraishi³

E-mail: kageshima@riko.shimane-u.ac.jp

Si MOS 界面は、従来型の MOSFET にとどまらず、次世代の Si 電子流体効果素子や半導体量子コンピュータの Si 量子ビットにも用いられており、その詳細理解はデバイス性能の一層の向上に不可欠である。我々は、MOS 界面を形成する Si 酸化過程において、界面から酸化膜中へ輸送される Si 原子に注目して、これまで検討を行ってきた[1-4]。今回は、従来の界面モデルを拡張した新しいモデルを提案する。

我々はこれまで quartz 界面モデルを用いてきたが、これは quartz が Si を酸化した上で、適切に Si 放出を行って歪み緩和することで形成できるためであった[5]。Si を酸化する際には大雑把には Si-Si 結合に O を挿入すれば良いが、それでは 2.25 倍の体積膨張をしないと歪み緩和できないような、極めて高密度な cristobalite 的構造が形成されてしまい、この高密度を緩和するために Si 放出を行ったのが quartz 界面モデルであった。

我々は実験で得られている界面反応の障壁高さを再現するためにも quartz 界面モデルを用いなければならないことを示している[6]。quartz が高温でも準安定な構造のはずであるので、このような層が構造緩和する過程で界面に存在するとは妥当であろう。

一方、我々は O₂ の酸化膜中拡散の障壁高さの実験値を再現するために cristobalite モデルを用いないといけないことも示している[7]。これは quartz 的界面層とは異なる。 β -cristobalite は 2.21g/cm³ と β -quartz の 2.54 g/cm³ よりも密度が低い、これは quartz からさらに構造緩和して界面からやや離れた部分には cristobalite が形成されるためと考えたと矛盾がない。実際、界面の quartz 層は酸化膜厚に関わらず一定の厚さでないと、Deal-Grove 理論を再現できない。つまり、Si 熱酸化膜は quartz 的界面高密度層と cristobalite 的上層酸化膜との少なくとも 2 層からできていると考えられよう。

cristobalite から余剰 Si を取り除くと quartz ができるのと同様に、quartz から余剰 Si を取り除くと cristobalite に変化する。上層酸化膜の密度は様々な実験から 2.2g/cm³ と考えられるが、これは確かに cristobalite の密度と一致している。このことから、quartz 的界面高密度層か

らさらに Si が放出されて歪み緩和し、cristobalite 的な上層酸化膜が形成され则认为ると矛盾がない。ちなみに、界面高密度層の厚さは 1nm 程度[8]、Si 酸化膜には平均的には cristobalite 的秩序がある[9]と報告されている。

これらの考察に基づき、quartz 的界面高密度層と cristobalite 的上層酸化膜の 2 層からなる Si 熱酸化膜界面モデルを作成することに、我々は成功した (図 1)。どこにもダングリングボンド(DB)が存在せず、Si-Si と Si-O-Si 結合のみでシームレスなネットワークを有するため、界面欠陥は存在しない。構造緩和した cristobalite と Si を直接接合しようとする界面に Si DB が必ず現れることとは対照的である。

本研究の一部は、東京大学物性研究所スーパーコンピュータセンターを利用した。また本研究の一部は科研費(22K18294)の支援を受けた。

[1] H. Kageshima, et al., Mater. Sci. Semicond. Proc. **162**, 107527 (2023).

[2] H. Kageshima, et al., Jpn. J. Appl. Phys. **61**, 04SP08 (2024).

[3] H. Kageshima, et al., J. Phys. Soc. Jpn., *in print*.

[4] H. Kageshima, et al., e-J. Surf. Sci. Nanotechnol., *in print*.

[5] H. Kageshima, et al., Phys. Rev. Lett. **81**, 5936 (1998).

[6] T. Akiyama, et al., Phys. Rev. B **77**, 115356 (2008).

[7] T. Akiyama, et al., Thin Solid Films **508**, 3111 (2006).

[8] T. Watanabe, et al., Phys. Rev. Lett. **96**, 196102 (2006).

[9] K. Tatsumura, et al., Phys. Rev. B **69**, 085212 (2004).

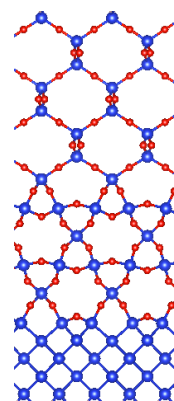


図 1. 今回提案する Si 熱酸化膜界面の原子モデル。青が Si、赤が O。

Ge と Si の酸化機構の違いから見た SiO₂ 膜の信頼性の考え方

SiO₂ reliability consideration in terms of oxidation kinetics difference of Ge from Si

自由業, 鳥海 明

Free Engineer, Akira Toriumi

auriumi3@gmail.com

【背景】

Ge の酸化機構に関しては既に何回か本講演会で報告してきた。Si との違いは酸素との反応に対する熱力学的自由エネルギーの違いに起源がある [1]。一方、主たる酸化機構は異なるにもかかわらず形成された酸化膜の構造は Si(Ge)O₄ の正四面体ユニットのネットワーク形成という膜構造になっているという点でかなり近い。その結果、GeO₂ に内在する欠陥が熱酸化膜 SiO₂ 膜にも存在している可能性は高い。今回はそのことについて議論したい。

【問題意識】

大気圧における酸化において、Ge は active 酸化と passive 酸化の境界付近にあるが、Si は圧倒的に passive 酸化領域にある。しかし、酸化膜界面と表面では熱力学条件が異なり、界面では酸素圧力は表面に比べて圧倒的に低いことが予測される [2]。この結果、界面では低酸素圧酸化を取り扱うことになり、“もろもろの界面効果”に加えてバルク SiO₂ 膜とは異なる界面遷移領域を作ってしまうと考えられ、ここを reaction layer と見ることもできる [3]。このように Si の場合には界面の ~1 nm 領域で起きている界面酸化反応が、Ge の場合には Ge 上の GeO₂ 全体が reaction layer とみることに対応するのではないかと考えた。

【議論】

Ge 上の GeO₂ では熱処理によってローカルな結晶化 GeO₂ が明瞭に観測される (図 1, 2)。これは GeO₂ だけでは観測されず、Ge と GeO₂ が接している場合に観測される。Si 上の SiO₂ の場合には、そのようなことは通常は観測されないが、界面層における結晶化は多く報告されており [4]、巨視的には Si/SiO₂ 界面遷移層と GeO₂ 膜の類似性はもっともらしい。

結晶化はミクロな酸素欠損に起因した原子拡散容易性に起因した局所構造安定化によると考えられる。実際に、GeO₂ の熱処理では Ge の拡散はほとんど起こらないが、O あるいは Vo (酸素空孔) の拡散は容易に起こり、アモルファスネットワーク形成ではなく局所構造安定化による結晶化 (α -quartz 型) が起きしてしまうと考えられる [5, 6]。結果として Ge 上の GeO₂ 膜では界面だけではなく膜厚方向にも結晶化領域が分布していることが観測される (図 2)。

“完全なアモルファス”膜の形成というのは現実的には難しく、特に酸素空孔が存在するような場合にはそのことは加速されるだろう。その結果、Si 上の界面遷移層、あるいはその数倍程度膜厚の薄膜領域における電氣的信頼性においては、このことは圧倒的に重要になってくるのではないだろうか。さらなる厚膜の場合においても、微視的局所結晶化は (GeO₂ に比べれば圧倒的に少ないとしても) 必ず存在するはずであり、その周辺の構造が乱れた領域は電氣的ストレスに対する本質的欠陥になるのではないだろうか。薄膜 SiO₂ の本質的な絶縁破壊を理解する上で、微視的結晶領域予備軍 (微視的構造安定化領域のエンブリオ状態) という膜内欠陥分布を考えることは、より現実的な信頼性モデルの出発点になるのではないだろうか [7]。

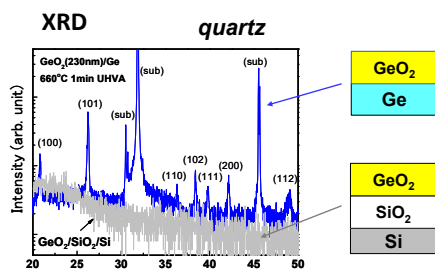


図 1. 2 種類の GeO₂ を含むサンプルを UHV 中でアニールした場合の XRD パターン [5]。

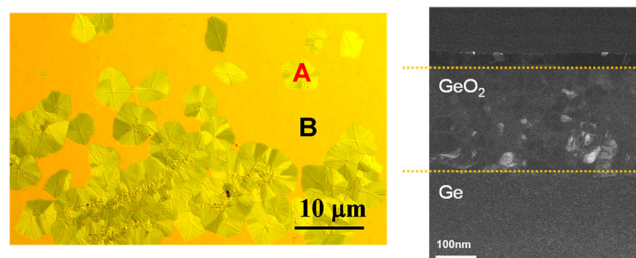


図 2. 結晶化した GeO₂ の表面光顕写真 (左) [6] と断面 TEM 像 (右) [5]。

[1] JJAP57, 010101 (2018). [2] 「高温酸化の基礎と応用」 [3] Gusev, PRB 52, 1759 (1995). [4] cristobalite (Kimoto, AIP Adv. 042144 (2012), tridymite (Ourmazd, ASS 41/42, 365 (1989) [5] JJAP 50 (2011) 10PE04. [6] JAP 127, 024101 (2020) [7] 膜厚不均一性が起源という見方もある (Yamabe, J. Vac. Soc. Jpn. 58, 27 (2015)).

表面ポテンシャル揺らぎが高周波 CV 法による界面準位評価に与える影響 Influence of Surface Potential Fluctuation on Evaluation of Interface State Density by High-frequency CV method

帝京大先端研¹, 東大院工² °高木 信一¹, トーブラサートポン カシディット²

Teikyo Univ.¹, Univ. Tokyo², °Shinichi Takagi¹, Kasidit Toprasertpong²

E-mail: takagi2@gw2.u-netsurf.ne.jp

【背景】表面ポテンシャル揺らぎは、界面電荷や酸化膜中の電荷などで MOS 界面のポテンシャルが局所的に変動することを反映したものと解釈されており、コンダクタンス法ではその影響が大きく、定量的評価がなされている[1]。しかしながら、C-V 特性を用いて評価した界面準位量 (D_{it}) に及ぼす影響は、これまで殆ど検討されていない。本研究では、MOS キャパシタにポテンシャル揺らぎがあることを想定した場合、その高周波 C-V 特性を用いた界面準位評価がどの程度影響を受けるのかを定量的に調べたので報告する。

【実験手法・結果】簡単のため、表面ポテンシャル揺らぎを界面電荷による V_{FB} のゆらぎと解釈し、面内で V_{FB} が分散量 σ の Gauss 分布をもって揺らいでいると想定した。ここで、界面準位のない理想的な MOS キャパシタでの C-V 特性を計算し、この理想 C-V 特性を用いて、C-V 特性の各電圧 V おいて、電圧揺らぎ分布に基づいた平均の容量値を計算することで、表面ポテンシャル揺らぎを含む C-V 特性を計算した。次に、この C-V 特性を使って高周波 C-V(Terman)法により D_{it} のエネルギー分布を計算し、揺らぎの導入で、見かけ上どのような界面準位が得られるかを調べた。コンダクタンス法から得られる標準的 σ の値は、およそ $kT/q \sim 3kT/q$ (26-78 mV) 程度であるので[1,2]、本研究では $\sigma = 0$ (理想 C-V), 25, 50, 75, 100 mV を仮定して計算を行った。MOS キャパシタの SiO_2 膜厚は 10 nm, n 型 Si の基板濃度は $1 \times 10^{16} \text{ cm}^{-3}$ とした。

揺らぎ無しと有りでの C-V 特性を図 1 に示す。見た目上の差は小さいが、Terman 法で求めた見かけ上の D_{it} (D'_{it}) には大きな違いがあることが分かる(図 2)。表面ポテンシャル揺らぎの影響がある C-V 特性を用いて評価すると、実際には界面準位が存在しなくても、 V_{FB} 及び V_{th} ($2\Phi_B$) に相当する表面ポテンシャル近傍で $10^{11} \sim 10^{12} \text{ cm}^{-2}\text{eV}^{-1}$ 程度の D'_{it} が存在するように見える。この D'_{it} は揺らぎ量の増大と共に増加し、またバンド端に向かって増大するエネルギー分布をもつことが分かる。また、この D'_{it} を線形プロットしてみる(図 3)と、表面ポテンシャル揺らぎがある場合は、ミッドギャップ付近で、負の D'_{it} が現れるということが分かる。

これまでの Terman 法による D_{it} の評価では (1) U-shape とよく称される、バンド端に向けて増大するエネルギー分布[3]、また (2) ミッドギャップ近傍で負の D_{it} が観測されることがある。本解析の結果を踏まえると、これらの少なくとも一部は、C-V 特性に含まれる表面ポテンシャル揺らぎの影響でもたらされており、真の D_{it} の性質を反映したものではないと解釈できる。

【結論】表面ポテンシャル揺らぎは、高周波 C-V

特性を用いた D_{it} 評価において、バンド端近傍で U-shape のエネルギー分布を持つ、見かけ上の D_{it} を作りだすことが見出され、従来の高周波 C-V 法による D_{it} のエネルギー分布の解釈には、十分注意が必要であることが明らかとなった。

【参考文献】[1] E. H. Nicollian and J. R. Brews, “MOS Physics and Technology”, Wiley-Interscience (2003) [2] R. Shimura et al., submitted to SSDM (2025) [3] S. Sze and K. K. Ng, “Physics of Semiconductor Devices”, 4th Edition, Wiley-Interscience (2021)

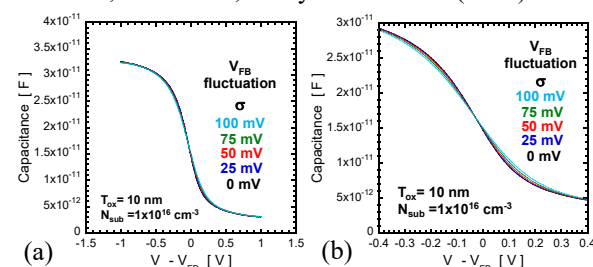


Fig. 1 (a) an Ideal C-V curve of a SiO_2/Si MOS capacitor with T_{ox} of 10 nm and N_{sub} of $1 \times 10^{16} \text{ cm}^{-3}$ and C-V curves including the influence of V_{FB} fluctuation, and (b) the magnified plots.

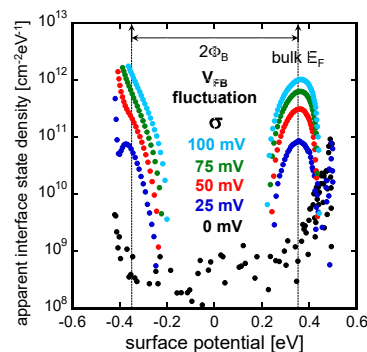


Fig. 2 Energy distributions of apparent interface state density estimated from C-V curves with different amounts of V_{FB} fluctuations.

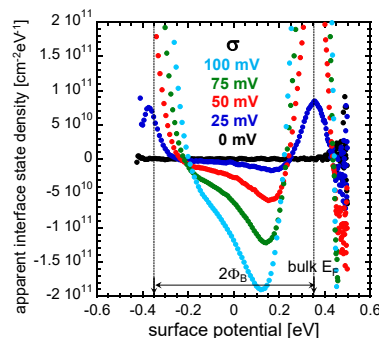


Fig. 3 Linear plot of energy distributions of apparent interface state density estimated from C-V curves with different amounts of V_{FB} fluctuations.

Si(110)微傾斜基板上の HfO₂/Si MOS 界面特性の評価

Evaluation of HfO₂/Si MOS Interface Properties on Si(110) Vicinal Substrates

東大院工¹, 株式会社 SUMCO², °志村 瞭太郎¹, 名幸 瑛心¹, 松本 光二²,
鈴木 陽洋², 山本 博昭², 松川 和人², 竹中 充¹, 高木 信一¹, トプ・ラサートン カデ・イト¹

¹Univ. Tokyo, ²SUMCO CORPORATION, °R. Shimura, E. Nako, K. Matsumoto,

A. Suzuki, H. Yamamoto, K. Matsukawa, M. Takenaka, S. Takagi, K. Toprasertpong

E-mail: shimura@mosfet.t.u-tokyo.ac.jp

【背景】近年の FinFET や GAAFET に代表される最先端 Si MOSFET において、チャネル面として Si(110)面が注目されている。従来用いられてきた(100)面は界面準位密度が低く電子移動度が比較的高い点で優れている一方[1]、(110)面は正孔移動度が高く電子移動度とのバランスが良いため、キャリア輸送の対称性に優れる[2] [3]。実際のデバイス作製では、一般的にエピタキシャル成長等の工程上の制約からチャネル面にオフ角が付加されるが、Si(110)面の微小オフ角の影響は調べられていなかった。前回の応用物理学会では SiO₂ ゲート絶縁膜の界面特性のオフ角依存性を調べ報告したが[4]、本研究では、実用的な High-k 絶縁膜である HfO₂ を用いて、Si(110)面のオフ角が HfO₂/Si の界面特性に与える影響を調べたので報告する。

【実験手法】(100)0°および微傾斜(110)面(0.19°, 0.27°, 0.33°, 0.78°, 1.0°)を含む 6 種類の p-Si 基板(約1.5×10¹⁵ cm⁻³)を用いた。ゲート絶縁膜としては、膜厚 10 nm の HfO₂ を ALD 法により成膜し、Al/HfO₂/Si 構造の MOS キャパシタを作製した。界面特性の評価には、conductance 法と high-low 法を用いた。conductance 法では 200 Hz から 1 MHz の周波数範囲で G_p/ω を測定し、周波数特性から表面ポテンシャル揺らぎ σ_s を導出して、界面準位密度 D_{it} を算出した[5]。high-low 法では 1 MHz と 1 kHz の C-V 曲線の周波数分散から D_{it} を求めた。

【結果と考察】conductance 法から求めた σ_s を Fig. 1(a)に示す。比較対象として SiO₂/Si MOS キャパシタ[4]の σ_s も Fig. 1(b)に示す。σ_s は界面近傍における表面ポテンシャルの空間的なばらつきの大きさを示すが、HfO₂ 界面の方が大きく、オフ角依存性も大きいという結果が得られた。このことから HfO₂ の方が界面の不均一性が大きく、微小オフ角の影響をより強く受けやすいと考えられる。またオフ角が大きくなるにつれて σ_s が減少する傾向も見られた。次に conductance 法及び high-low 法から求めた各面方位における D_{it} とエネルギー準位の関係を Fig. 2 に示す。両手法において、D_{it} は SiO₂ の

先行研究と同様に(100)面で最も小さい結果が得られた[1][4]。また Fig. 3 に示すように、D_{it} の(110)微小オフ角依存性については、両手法で一貫した結果が得られ、顕著なオフ角依存性は観測されなかった。この点も SiO₂ 界面の先行研究と一致しており[4]、D_{it} に関しては絶縁膜材料によらず微小オフ角の影響は小さいことが示唆される。

【結論】HfO₂/Si 界面の σ_s は SiO₂/Si 界面よりも大きく、オフ角の増加に伴ってわずかに減少する傾向が確認された。D_{it} は(100)が最も小さかったが、明確な(110)微小オフ角依存性は確認されなかった。

【謝辞】本研究は、東京大学-SUMCO 共同研究により実施した。

【参考文献】

- [1] S. Ogata et al., Appl. Phys. Lett. 98, 092906 (2011).
- [2] C. D. Young, Solid-State Electron. 78, 2 (2012).
- [3] S. Mochizuki et al., Ext. Abstr. IEDM, 12.6 (2023).
- [4] 志村他、春季応物学会 17a-K202-1 (2025)
- [5] J. R. Brews et al., Solid-State Electron. 26, 1103 (1983)

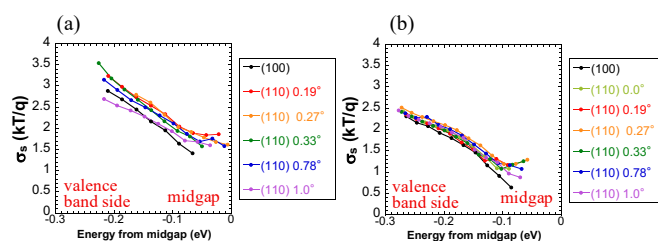


Fig.1 Surface potential fluctuation in (a) HfO₂/Si and (b) SiO₂/Si MOS capacitors

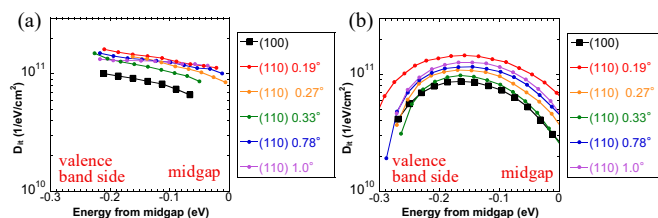


Fig.2 D_{it} in MOS capacitors with different surface orientations calculated by (a) the conductance method and (b) the high-low method

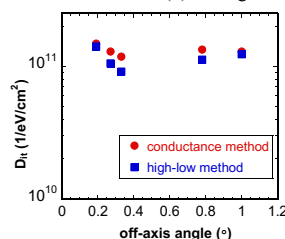


Fig.3 D_{it} in MOS capacitors with different off-angles (average from -0.2 eV to -0.1 eV)

低温スパッタ HfO₂ を使った MOSCAP の絶縁/界面特性

Insulation and interfacial properties of low temperature sputter HfO₂ MOSCAP

島根大¹ °(M1)高木 駿翼¹, 吉田 俊幸¹, 葉 文昌¹

Shimane Univ.¹, °Takaki Shunsuke, Yoshida Toshiyuki, Yeh Wenchang

E-mail: yeh@riko.shimane-u.ac.jp

はじめに より大きい MOSFET の電流駆動力により 2000 年代後半から高比誘電率ゲート絶縁膜材料として HfO₂ が実用化されている。今後はその強誘電性により、強誘電体 FET なども期待されている。一方で我々はモノリシック 3D-IC を実現しうる技術として SiO₂ 上 Si/Ge 膜に(001)単結晶帯成長できる μ CLS 法を提案しており、試作した Si-MOSFET は単結晶 Si 相応の性能を有することを実証している。この技術が最先端 MOSFET へ適用可能なことを示すために、Si/Ge-MOSFET で優れた電流駆動能力を持つことを実証する必要があることから、極薄 HfO₂ ゲート絶縁膜の開発を始めた。(001)Si/Ge 基板で MOSCAP を作製し、IV/CV 評価結果を示す。

実験方法 1-10 Ω cm の p(001)型 Si 基板の洗浄後に 1%HF 溶液に 30s 浸漬した後に、3N5Hf ターゲットを使った反応性パルス DC スパッタで HfO₂ 膜を基板温度 100°C で 30nm 堆積した。表面に円形 Al 電極をメタルマスクで熱蒸着し、裏面は全面アルミ熱蒸着した。最後に FHF 処理を行った上で[1]、IV 測定と CV 測定を行った。

実験結果 Fig.1 に電極面積 XXX の IV 特性を示す。破壊電界は 7MV/cm と優れた値が得られた。Fig.2 に CV 特性の周波数分散を示す。蓄積時容量から見積もった比誘電率は 6.8 で、一般的に報告されている 15-30 よりかなり低くなった。理由はわかっていない。

文献 [1](17p-K202-3)

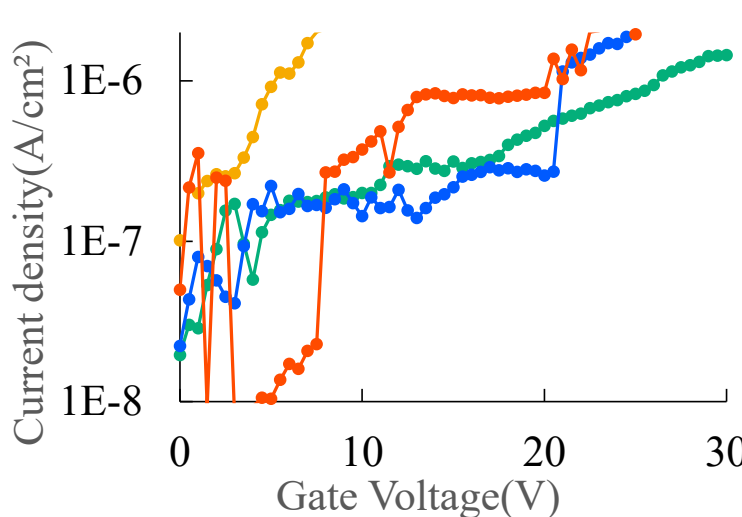


Fig.1 MOS-IV

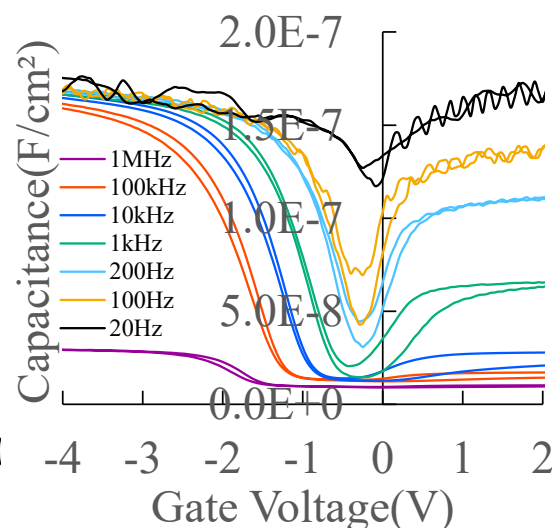


Fig.2 Frequency dependence of MOS-CV

ハフニア強誘電体薄膜の分極電荷による界面ダイポール層の変化： 分子動力学シミュレーションによる解析

Interfacial Dipole Layer Modulation Induced by Ferroelectric Polarization Charges of HfO₂ Thin Film: A Molecular Dynamics Study

早大理工, °渡邊 孝信, 大場 淳平, 山本 宙, 西村 祐亮

°T. Watanabe, J. Ohba, S. Yamamoto, Y. Nishimura (Waseda Univ.)

E-mail: watanabe-t@waseda.jp

【はじめに】 HfO₂ 薄膜は数 nm の膜厚でも強誘電性を示すことが報告されており^[1,2]、次世代の不揮発性メモリ材料として注目されている。我々は前回^[3]、イオン結合を表現する最も単純な原子間相互作用モデルである Born-Mayer-Huggins (BMH)型ポテンシャル^[7-10]を用いた古典分子動力学 (Molecular Dynamics; MD) 計算で、アモルファス構造(a-HfO₂)や粒界を含む結晶性HfO₂構造の強誘電性が再現できることを報告した。これまで、96 原子の HfO₂ 結晶モデルを用いた第一原理 MD で強誘電性を再現した例^[4]や、機械学習 MD の一種である DeepMD^[5]による HfO₂ の構造相転移シミュレーションが報告されているが^[6]、現実の薄膜に近い数 nm 以上のサイズで HfO₂ の強誘電性を再現した例は、おそらくこれが最初である。

前回の講演^[3]では、a-HfO₂ /a-SiO₂ 積層構造でも電界-分極特性のヒステリシスが生じることに言及した。今回、このシミュレーションの結果を詳しく分析したところ、HfO₂/SiO₂界面においてOイオンの変位によって形成されるダイポール層^[6,7]の電荷分布が、a-HfO₂ の強誘電分極電荷の影響を受けて顕著に変化していることが確認された。

【計算方法】 a-HfO₂ 領域と a-SiO₂ 領域を z 方向に並べ、3次元周期境界条件を適用して単位セル内に2つの界面を設けたモデルを用意した。このモデルの z 軸方向に電界を印加し、モデル全体の z 軸方向の双極子モーメントを計算した。0.3 ps ごとに外部電界を+0.05 MV/cm ずつ増加させ、+20 MV/cm に達したのち、同じペースで-20 MV/cm まで電界をスweepさせた。そのあと、再び+20 MV/cm まで同じペースで外部電界を増加させた。Trinastic らが開発した Hf,Si,O 系用 Morse-BKS ポテンシャル^[10]を BMH ポテンシャルでフィッティングし直したパラメータセット^[11]を用いた。

【計算結果】 Fig. 1 に電界-分極特性を示す。ここでは、初期構造に残留していた分極成分は差し引かずそのまま示している。a-HfO₂/a-SiO₂ 積層モデルにおいて $Pr^+ - Pr^- \approx 4 \mu C/cm^2$ 程度のヒステリシスが確認された。バルクの a-HfO₂ モデルと比べて著しく減少しているが、この差が、分極電荷による減分極に相当すると考えられる。

Fig.2 に±20MV/cm の電界印加時の電荷分布と z 方

向の内部電界分布を示す。両界面のダイポール層の正極電荷と負極電荷の量が非対称になっており、しかもその大小関係が、+20MV/cm 印加時と-20MV/cm 印加時で反転していることがわかる。これは、HfO₂ 強誘電体表面に誘起される分極電荷が、SiO₂ との界面のダイポールに重畳されたためと解釈できる。このように変化した界面ダイポール層内の電荷分布によって HfO₂ 層内に外部電界と反対方向の電界が生じ、a-HfO₂ 層の強誘電体としてのヒステリシスが弱められたと考えられる。

【謝辞】 本研究は科研費・基盤研究(B)(25K01295)の助成を受けて実施された。

【参考文献】 [1] 島海明, 応用物理 88, 586 (2019). [2] X. Tian et al., APL 112, 102902 (2018). [3] 大場他, 第 72 回春季応物(2025). [4] P. Fan, et al., J. Chem. Phys. 35, 21743 (2019). [5] L. Zhang et al., PRL 120, 143001 (2018). [6] J. Wu et al., PRB 103, 024108 (2021). [7] K. Kita et al., APL 94, 132902 (2009). [8] K. Shimura et al., JJAP 55, 04EB03 (2016). [9] J. P. Trinastic, et al., J. Chem. Phys. 139, 154704 (2013). [10] 平井他, 第 85 回秋季応物(2024).

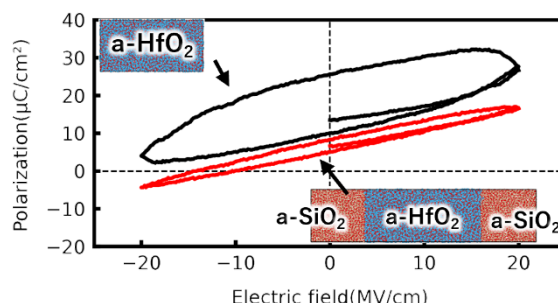


Fig 1. Polarization vs. electric field plots

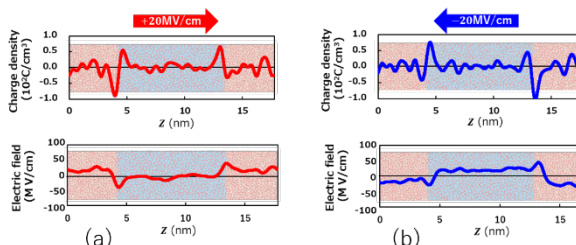


Fig 2. Charge and local electric field profiles under external fields of (a) +20MV/cm (b) -20MV/cm.

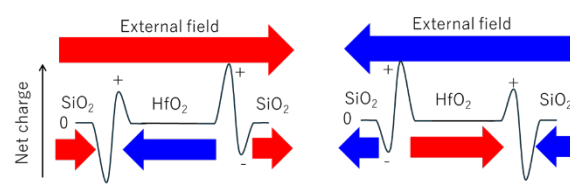


Fig 3. Depolarization mechanism

13 Semiconductors | Oral presentation : 13.3 Insulator technology

[10p-N401-1~7] 13.3 Insulator technology

[10p-N401-1]

Demonstration of ALD-HKMG Ge MOS structures for Ge (111) GAA nFETs

○Keisei Kawana^{1,2}, Noboru Fukuhara¹, Wen Hsin Chang¹, Chia Tsong Chen¹, Toshiyuki Tsutsumi^{1,2}, Tatsuro Maeda¹ (1.AIST, 2.Meiji Univ.)

[10p-N401-2]

Evaluation of Slow Traps at the Al₂O₃/Ge MOS Interface Formed by Ozone Oxidation

○Daiki Takahashi¹, Xiao Yu², Nobuyuki Aoki¹, Mengnan Ke³ (1.Chiba Univ., 2.Xidian Univ., 3.Yokohama National Univ.)

[10p-N401-3]

Study on the preparation of GeO₂/Ge structures using Caro's acid

○Hoshiki Harata¹, Yoshitaka Iwazaki¹, Tomo Ueno¹ (1.Tokyo Univ. of Agri. and Tech.)

[10p-N401-4]

Study on the improvement of GeO₂/Ge interface properties by N₂ annealing treatment

○Yuya Kozaki¹, Yoshitaka Iwazaki¹, Tomo Ueno¹ (1.Tokyo Univ. of Agri. and Tech.)

[10p-N401-5]

Two-step deposition and characterization of ultrathin GeO₂/Ge interfaces

○Hiroki Inoue¹, Suzuki Takumi¹, Yoshitaka Iwasaki¹, Tomo Ueno¹, Mitaro Namiki¹ (1.Tokyo univ. of Agri & Tech)

[10p-N401-6]

Preparation and evaluation of GeO₂/Ge structure using CVD method.

○Takumi Suzuki¹, Hiroki Inoue¹, Yoshitaka Iwazaki¹, Tomo Ueno¹ (1.Tokyo Univ. Agri. & Tech.)

[10p-N401-7]

Research on Ge-MOS structure using high dielectric constant materials TiO₂

○Yota Uchida¹, Yositaka Iwazaki¹, Tomo Ueno¹ (1.Tokyo univ. of Agri & Tech)

Ge(111) GAA nFETs に向けた ALD-HKMG Ge MOS 構造の検討

Demonstration of ALD-HKMG Ge MOS structures for Ge (111) GAA nFETs

産総研¹, 明治大学² °川名慶征^{1,2}, 福原昇¹, 張文馨¹, 陳家聰¹, 堤利幸^{1,2}, 前田辰郎¹

AIST, Meiji Univ., °Keisei Kawana, Noboru Fukuhara, Wen Hsin Chang, Chia Tsong Chen,

Toshiyuki Tsutsumi, and Tatsuro Maeda

E-mail: k-kawana@aist.go.jp

【はじめに】

高移動度性能を活かした Ge チャネルに注目が集まっている。近年、最先端の CMOS デバイス構造が GAA 構造に移行してきており、Ge チャネルも GAA 構造を想定した開発が求められる。Ge チャネルでは、nMOS では (111) 面が、pMOS では (110) 面でキャリア移動度高く、それらを組み合わせた異種面方位 GAAFET や CFET の開発が進んでいる[1]。そこで本研究は、GAA 構造形成で必須となる ALD 技術とドライエッチングによる HKMG プロセスについて Ge(111) 基板を用いた MOS 構造での検討を行った。

【実験方法】

Ge チャネルへの HKMG の適応にあたっては、Ge と絶縁膜との界面の耐熱性の低さから、プロセスの熱履歴管理が重要な課題になっている。High-k 材料には Al_2O_3 膜を、Metal Gate には TiN 膜を採用した。ALD- Al_2O_3 膜は、TMA/ O^* , 200°C, 5nm、ALD-TiN 膜は、 $\text{TiCl}_3/\text{NH}_3^*$, 300°C, 約 10nm 堆積させた。ALD-TiN は、300°C と低温堆積にもかかわらず、抵抗率 $2.5 \sim 4 \times 10^{-3} \Omega \text{cm}$ 程度のものが得られた。ゲート電極のさらなる低抵抗化のために、スパッタ法で、TiN 膜約 50nm を積み増した。電極加工は、コンタクト用の Al 電極をリフトオフした上で、TiN 膜を F 系ガスによる ICP-RIE で形成した。TiN 膜と Al_2O_3 膜のエッチング選択性は約 18 程度と良好であった。

【実験結果及び考察】

Fig. 1 は、CV 特性(100kHz)の PDA 温度依存性、Fig. 2 はコンダクタンス法で求めた界面準位密度(PDA 400°C)の Ge(111)と Ge(100)面の比較である。PDA 450°C の CV 特性は、反転領域を除いて容量値はほぼ一致しており、良好な CV 特性が得られた。反転領域は差異は、基板の不純物濃度が異なることによるものである。コンダクタンス法で得られた界面準位密度もほぼ同等で、基板による絶縁性、界面特性の変化はみられず、MOS 構造の特性は、HKMG の特性に概ね依存することがわかった。一方で、PDA 温度を上げていくと、(111)面で、急激に蓄積領域の容量値低下が見られ、500°C で絶縁破壊することがわかった。しかしながら、(100) 面はわずかな容量値の低下に留る。CV 特性からは、ALD- Al_2O_3 堆積時に形成されるわずかな GeO_x 界面層はどちらも同程度であると予想されること、一般的に酸化速度は (111) 面の方が (100) 面よりも遅いことを考慮すると、(111)面での急激な容量低下は Ge と Al_2O_3 膜との界面反応に面方位依存性があると考えるのが妥当である。今後は GAA MOS 構造での適応性について検討を進める予定である。

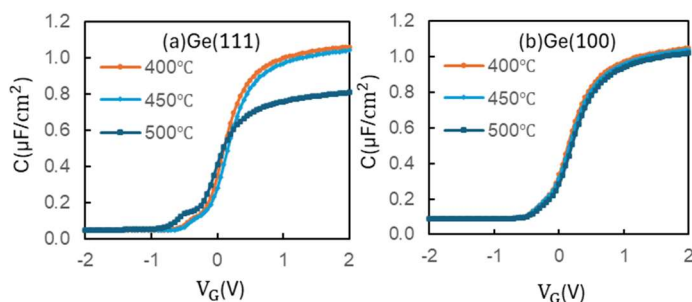


Fig. 1. C-V characteristics of (a) Ge(111) and (b) Ge(100) substrates at different PDA temperatures from 400 to 500°C.

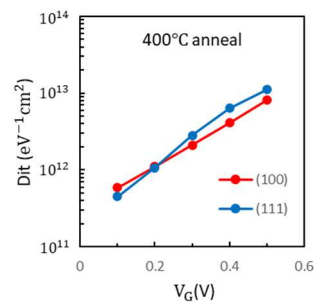


Fig. 2. Voltage dependencies of Dit on Ge(111) and Ge(100) substrates at PDA temperatures of 400°C measured by the conductance method.

【謝辞】 本研究は、JST 戦略的創造研究推進事業 先端的カーボンニュートラル技術開発(ALCA-Next) JPMJAN23E4 の支援を受けたものである。

【参考文献】 [1] X.-R. Yu et al., Tech. Dig. VLSI Symp., 2022, p. 399.

オゾン酸化による $\text{Al}_2\text{O}_3/\text{Ge}$ MOS 界面の遅い準位の評価

Evaluation of Slow Traps at the $\text{Al}_2\text{O}_3/\text{Ge}$ MOS Interface Formed by Ozone Oxidation

千葉大物質¹, 西安電子科技大², 横浜国立大³, [○]高橋 大輝¹, Xiao Yu², 青木 伸之¹, 柯 夢南³

Chiba Univ.¹, Xidian Univ.², Yokohama National Univ.³, [○]Daiki Takahashi¹, Xiao Yu², Nobuyuki Aoki¹, Mengnan Ke³

【はじめに】従来の Si を用いた電界効果トランジスタ:Field Effect Transistor(FET)は物理的限界に近い。Ge は Si と比べ電子で約 2 倍、正孔で約 4 倍の高いキャリア移動度を有しており、これを打破する材料として期待されている。また、Ge は Si と同じ IV 族の半導体であり、既存の Si プロセスとの親和性も非常に高いと考えられる。しかし、Ge において重要な課題の一つが遅い準位である。Ge ゲートスタックでは遅い準位が多く存在し、デバイスの信頼性に大きく影響する[1][2]。

【実験方法】Ge 基板を洗浄後、室温、100℃、200℃、300℃で UV オゾン酸化を行い、 GeO_x の界面制御層を導入した。この Ge 基板に原子層堆積:Atomic Layer Deposition(ALD)法を用いて Al_2O_3 を堆積し、400℃で 15 分間の Ar/ H_2 アニールを行った。その後、トップ電極に Au とバック電極に Al を蒸着し、MOS capacitor を作製した。

【実験結果】遅い準位密度(ΔN_{st})は C-V 特性のヒステリシス(ΔV_{hys})から最大有効電界(E_{ox})との関係として求め、測定手順の模式図を Fig2.に示す。ゲート電圧(V_g)を最大電圧(V_{strat})から最小電圧(V_{stop})の間でスイープし、 V_{stop} を段階的に増加させる。このとき、 E_{ox} と ΔN_{st} は次式より与えられる： $E_{ox} = |V_{stop} - V_{FB}|/CET$, $q\Delta N_{st} = C_{ox}\Delta V_{hys}$ 。Fig3.には各温度でオゾン酸化を行った MOS Capacitor の ΔN_{st} を示す。Fig3.から室温でのオゾン酸化が他に比べ低い ΔN_{st} を示している。Fig4.にはオゾン酸化とプラズマ酸化の ΔN_{st} を比較した図を示す。オゾン酸化による MOS capacitor は 1.8nm $\text{Al}_2\text{O}_3/0.7\text{nm GeO}_x$ 、プラズマ酸化による MOS capacitor[3]は 1.5nm $\text{Al}_2\text{O}_3/0.67\text{nm GeO}_x$ の絶縁膜を有している。Fig4.からオゾン酸化の方がプラズマ酸化より低い ΔN_{st} を示している。

【結論】本研究では、オゾン酸化を用いて、 $\text{Al}_2\text{O}_3/\text{GeO}_x/\text{Ge}$ MOS capacitor を作製し、遅い準位の評価を行った。室温でのオゾン酸化がその他の温度と比較して低い ΔN_{st} を示し、オゾン酸化はプラズマ酸化よりも ΔN_{st} を低減できるプロセスであると考えられる。

【謝辞】本研究は戦略的創造研究推進事業さきがけ JPMJPR24H2, JSPS 科研費 JP23K13361, 高柳健次郎財団, 池谷科学技術振興財団の支援を受けている。

【参考文献】 [1] M.Ke et al., IEDM18-794 [2] M.Ke et al., MEE 147 (2015) [3] M.Ke et al., ACS AEM (2019)

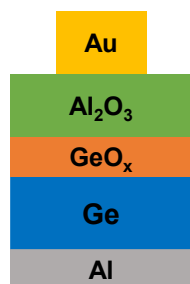


Fig1. Schematic Ge MOS capacitor

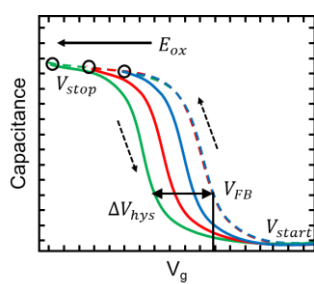


Fig2. Schematic diagram of ΔN_{st} evaluation

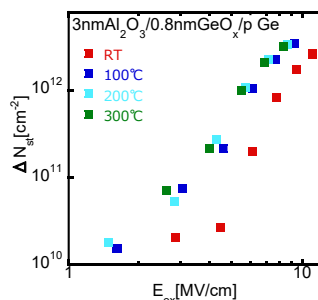


Fig3. Relationship between E_{ox} and ΔN_{st} at different pre-ozone oxidation temperatures

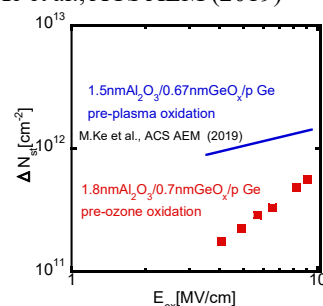


Fig4. Relationship between E_{ox} and ΔN_{st} with pre-ozone oxidation and pre-plasma oxidation

硫酸過水による GeO_2/Ge 構造の作製の検討

Study on the preparation of GeO_2/Ge structures using Caro's acid

東京農工大学大学院¹ ○原田星輝¹, 岩崎好孝¹, 上野智雄¹

Tokyo univ. of Agri. & Tech.¹ ○Hoshiki Harata¹, Yoshitaka Iwazaki¹, Tomo Ueno¹

E-mail: s249041u@st.go.tuat.ac.jp

1. 研究背景

現在, MOSFET のチャネル材料には主に Si が用いられ, ゲート絶縁膜には SiO_2 が多用されている. Si-MOSFET の研究は進んでいるが, 微細化による高性能化には限界があり, より高性能なチャネル材料が求められている. その候補の一つとして注目されているのが Ge である. Ge は Si に比べて電子正孔移動度が高く, チャネル長を保ちながら素子の高速化が期待できる.

一方, Ge-MOSFET では, 数百度程度の高温で GeO_2 膜を形成する場合, 熱的不安定性から GeO が脱離しやすく, 良好な絶縁膜が得られにくいという問題がある. そこで本研究では, 低温下でも極めて強い酸化力を有する化学溶液酸化法を用いた. この手法は GeO 脱離を抑えられる一方, GeO_2 の水溶性を考慮したプロセス上の工夫が必要となる.

我々はこれまで, 化学溶液として硫酸過水 (硫酸+過酸化水素) を用い, 酸化温度を $70^\circ\text{C} \sim 90^\circ\text{C}$ の間で変化させ Ge 基板の酸化を行ってきた. その結果, MOS 構造における表面電位制御の可能性を示す C-V 特性が確認されている. これまでは酸化温度に注目して検討を行ってきたが, 溶液の混合比による膜特性の詳細については明らかになっていない. そこで本研究では, 硫酸と過酸化水素のモル比を変化させた溶液酸化を行い, 作製したサンプルの電気的特性および表面分析を実施した.

2. 実験方法

実験条件を Table 1 に示す. p-Ge 基板を Table 1 に示すようなモル比で 3 種類の条件で GeO_2 膜の成膜を行った.

Table 1 Experimental conditions

条件	条件①	条件②	条件③
使用基板	p-Ge(100)		
洗浄	有機洗浄, フッ酸		
初期溶液	硫酸加水(硫酸+過酸化水素+水)		
酸化溶液	硫酸加水(硫酸+過酸化水素)		
溶液のモル比	硫酸 : 過酸化水素 = 1.5:1, 1:1, 1:1.5		
溶液温度	90°C		
酸化時間	5min	10min	15min

初めに, p-Ge(100)基板を有機洗浄及び, フッ酸洗浄を行った. 次に, ビーカーに硫酸, 過酸化水素を表に示した 3 種類のモル比で溶液を作成し, オイルバス内に入れ, Fig.1 のように溶液を昇温させた. Fig.1 はモル比 1:1 の場合の昇温プロセスを示している.

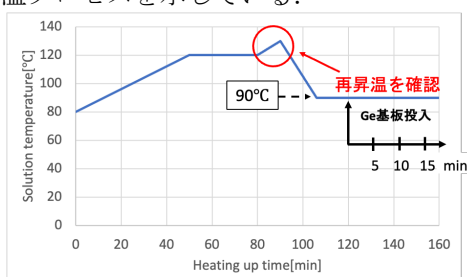


Fig.1 Process of raising the temperature of the solution (mole ratio 1:1)

溶液昇温の際, 溶液内の水が完全に蒸発したことを確認するため, 昇温の飽和と再昇温を確認した. 溶液の温度を 90°C にそれぞれ降温させ, 温度を一定に保ち, Ge 基板を溶液内に投入し, 成膜時間 5, 10, 15 分間で GeO_2 の成膜を行った. その後, 作成した各サンプルに対して J-V 測定, XPS 測定を行った.

3. 実験結果・考察

各サンプルの J-V 測定結果を Fig.2 に示す. (a)はモル比 1.5:1 (硫酸 : 過酸化水素), (b)はモル比 1:1, (c)はモル比 1:1.5 の J-V 測定結果を示している.

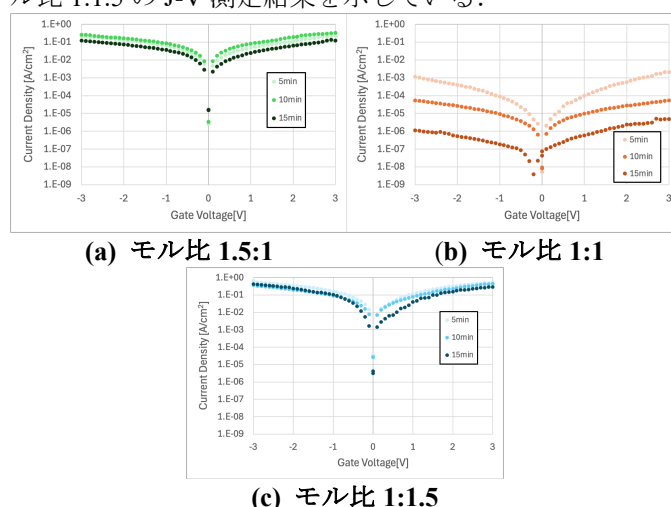


Fig.2 J-V measurement results

Fig.2(b)の測定結果より, (a)のモル比 1.5:1 および(c)のモル比 1:1.5 の場合とは異なり, 酸化時間の経過に伴ってリーク電流特性が大きく向上していることが確認された. (b)ではモル比が 1:1 であることから, 硫酸と過酸化水素が完全に反応し, 生成したカロ酸によって酸化が効果的に進化したと考えられる. 一方, (a)においては, 反応に使われなかった硫酸が残存し, GeO_2 表面あるいは膜中に影響を及ぼすことで, リーク電流特性が劣化したと推察される. (c)においては, カロ酸生成に寄与しない過酸化水素が Fig.1 の再昇温過程で気化するものと期待したが, 残存した過酸化水素が GeO_2 膜に何らかの影響を及ぼしたと考えられる. これらのリーク電流特性と, XPS 測定により得られた各サブオキシドの組成状態との相関については, 当日さらに詳しく考察を行う予定である.

4. 今後の展望

本研究では, 溶液のモル比を変化させた溶液酸化を行い, 作製したサンプルの電気的特性の評価および表面分析を実施した. 前節では, 硫酸や過酸化水素などの残存物質が膜特性に影響を与える可能性が示唆された. これらの結果を踏まえ, 今後はカロ酸による溶液酸化をさらに深掘りし, 電気的特性や膜への影響を検証していきたい.

N₂ アニール処理による GeO₂/Ge 界面特性の特性改善に関する研究
Study on the improvement of GeO₂/Ge interface properties by N₂ annealing treatment
 東京農工大学大学院 ○小崎祐哉、岩崎好孝、上野智雄
 Tokyo Univ. of Agri. & Tech. ○Yuya Kozaki, Yoshitaka Iwazaki, Tomo Ueno
 E-Mail : s256988w@st.go.tuat.ac.jp

1. 研究背景

高移動度を有する Ge による Ge-MOSFET の実現には、酸化膜である GeO₂ 膜の作製が重要なポイントとなる。GeO₂/Ge 界面での GeO 脱離などが特性に与える影響が実用上の問題となるためである。本研究では、熱酸化によって成膜したサンプルにアニール処理を施すことにより GeO₂/Ge 界面の特性改善をする方法を提案する。

これまでの我々の研究により、Ge 基板に対して比較的低温での熱酸化である 400°C で酸化膜成膜を行うと界面特性は比較的良好であるが不安定、絶縁性は悪いということがわかっている。また、Fig.1 に示すように、400°C 熱酸化成膜での良好でない界面特性をもつサンプルに対して、成膜後に成膜温度よりも高温での N₂ アニール処理を施すと、界面特性が改善されることもわかっている。

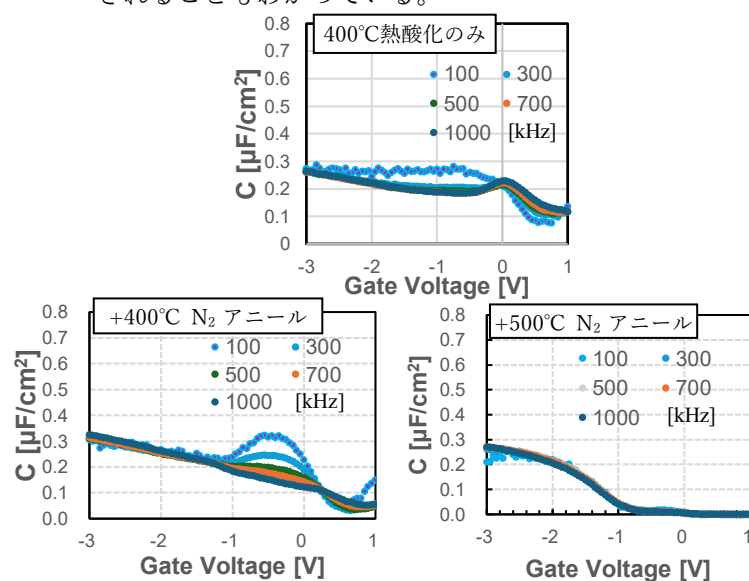


Fig. 1 C-V characteristics

そこで、400°C 熱酸化よりも界面特性は悪いが絶縁性に優れる 500°C 熱酸化により作製した GeO₂/Ge 構造に、500°C より高温でのアニール処理を施すことにより、界面特性が改善され、界面特性、絶縁性のどちらにも優れる GeO₂/Ge 構造が得られるだろうと推察し、次のような実験を行った。

2. 実験方法

まず、p-Ge 基板に対し有機洗浄および HF 洗浄を行った。そして、500°C 10min の熱酸化を行ったのち、N₂ を用いて 550°C で 10min、30min、50min の 3 条件でアニール処理を行った。それぞれのサンプルについて C-V 測定、J-V 測定を行った。

3. 実験結果と考察

500°C 熱酸化のみと、3 条件のアニール処理後のサンプルの C-V 測定結果を Fig.2 に示す。

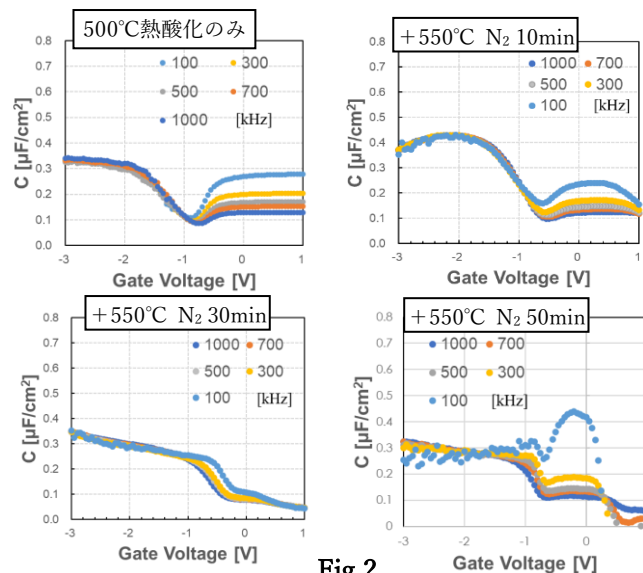


Fig.2

C-V measurement results

Fig.2 より、500°C 熱酸化のみを行ったサンプルと比較して、550°C N₂ アニールを 10min 施したサンプルは周波数分散があり、界面特性が改善されていないことが確認できる。続いて、550°C N₂ アニールを 30min 施したサンプルは周波数分散が非常になくなっており、良好な界面特性が得られた。これは、アニール温度が基板作製温度と近いためにアニール時間が 10min ではほとんど影響がなかったのに対し、アニール時間を延ばすことで界面に影響を与えたためであると考えられる。また、アニール時間が 50min では界面特性の悪化が確認された。これは、アニール時間が長すぎることで、アニール処理による欠陥補填よりも GeO 脱離の影響の方が優位となったためであると考えられる。

続いて、500°C 熱酸化のみと、3 条件のアニール処理後のサンプルの J-V 測定結果を Fig.3 に示す。

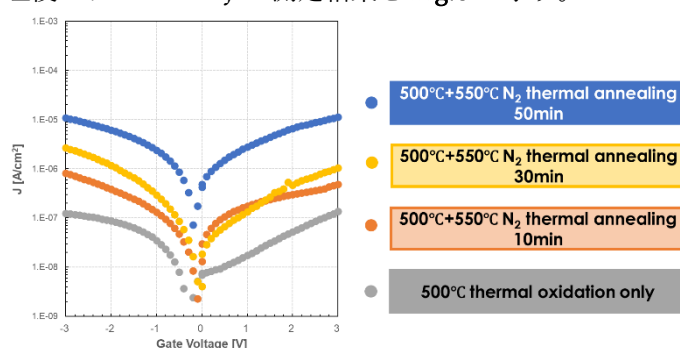


Fig.3 J-V measurement results

Fig.3 より、アニール時間が長くなるほどリーク特性が悪化したことが確認できる。これは、アニール処理中の脱離による膜厚の減少もしくは膜質の悪化が原因と考える。

以上の結果より、500°C 熱酸化により成膜した基板に対して成膜温度よりも高温での 550°C アニール処理を施すと、アニール時間が 30min において良好な界面特性が得られた。また、アニール時間が長いほど絶縁性が悪化した。今後、XPS 測定による膜質や膜厚の評価により今回の結果のより詳細な調査を行う。

二段階堆積と極薄 GeO₂/Ge 界面の特性評価

Two-step deposition and characterization of ultrathin GeO₂/Ge interfaces

農工大院工、○井上拓紀、鈴木拓光、岩崎好孝、上野智雄、並木美太郎

Tokyo univ. of Agri & Tech, Hiroki Inoue, Takumi Suzuki, Yoshitaka Iwasaki, Tomo Ueno, Mitaro Namiki

1. 研究背景

Ge-MOSFET は Si に比べて高いキャリア移動度を示し、次世代高速ロジックデバイスへの適用が期待されている。しかしゲート絶縁膜候補の GeO₂ は水溶性を有し、熱酸化法で作成した場合、三次元構造における膜厚均一性も不十分であるため、信頼性向上が未だに課題である。

低温 CVD は優れた段差被覆性を有するが、前駆体残渣の混入によって膜密度が低下し、リーク電流増大を招くおそれがある。一方、高温処理による緻密化は GeO₂/Ge 界面特性の悪化を引き起こすため、プロセス温度の最適化が不可欠である。

本研究では、成膜温度の違いによる GeO₂ の耐水性と電気特性を体系的に比較するとともに、500 °C堆積直後に 400 °Cで追加堆積する二段階プロセスを導入し、耐水性と絶縁性の両立を探ることを目的とする。そして、J-V 測定および XPS を用いてプロセス条件と電気的・化学的特性の相関を評価する。

2. 実験方法

p-Ge(100)基板を有機溶媒で洗浄後、5 % HF によって自然酸化膜を除去し、CVD 装置へ搬送した。前駆体には tetra-ethoxy-germanium (TEOG)、酸化剤に O₂ を用い、500 °C/ 10 min と 400 °C/ 45 min の 2 条件で膜厚約 5 nm に調整した。また 2 段階堆積では 500 °C/ 5min, 400 °C/ ~20 min で成膜し、全条件で膜厚約 5nm になるよう調整した。

成膜後、純水で 1 min リンスしたうえでリンス前後での GeO 脱離ピークを TDS にて測定した。その後 Al 上部電極を真空蒸着し、J-V 測定により純粋リンス前後の絶縁特性を評価した。その後、XPS 測定を通して GeO₂/Ge 界面を確認した。

3. 実験結果と考察

純水リンス前後の TDS 測定では、500 °Cで堆積した膜はリンス後に GeO 脱離ピークが消失した一方、400 °C堆積膜ではピークが残存したことから、低温堆積によって水浸食が抑制されることが確認された。

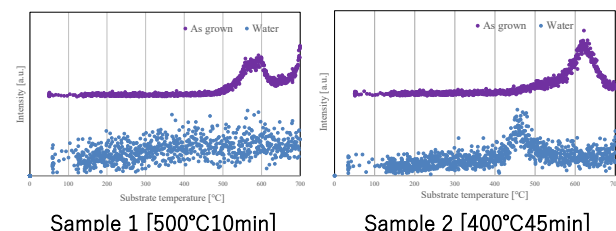


Fig.1 TDS measurement

しかし J-V 測定で比較すると、純水リンス前の 400 °C堆積膜は 500 °C堆積膜よりリーク電流が大きい一方で、純水リンス前後を評価すると 400 °C堆積膜は耐水性を獲得していると示される。従って、耐水性と絶縁性はトレードオフの関係と示唆された。

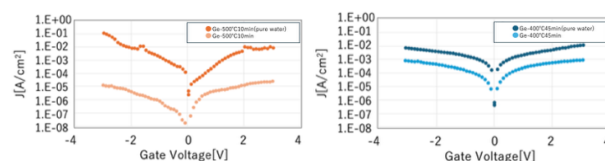


Fig.2 各温度堆積のリンス前後の J-V 特性

この課題に対して二段階試料の J-V 測定結果を評価した。二段階試料のリンス前リークは 500 °C 単層と同程度で、リンス後も 400 °C単層より低い。リンス前後の電流変化量は、耐水性のない 500 °C単層に比べて 400 °C試料で小さく、水耐性の有無がリーク変化に反映されたといえる。以上より、膜全体の絶縁性は 500 °Cで形成された高品質 GeO₂ が主に寄与していると考えられる。

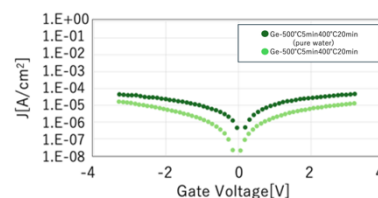


Fig.3 二段階堆積のリンス前後の J-V 特性

次に 500 °C堆積膜に着目すると、純水リンス後も想定したデッドショートには至らないと示された。TDS ではリンスによる膜溶解が示唆されたため、絶縁性保持は基板上に均一な薄膜が残存した結果と考えられる。そこで 500 °Cリンス後試料を XPS 解析したところ、GeO₂ (Ge⁴⁺) ピークが検出され、Ge 基板ピークとの強度比から推定した膜厚は約 0.6 nm と原子数層レベルであった。このことから極薄層は堆積膜の一部が残った可能性がある一方で、リンス後に自然酸化で再生成した GeO₂ である可能性も高いと示唆された。

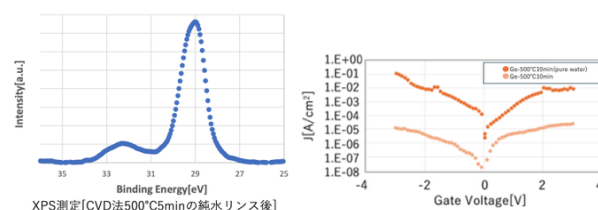


Fig.4 XPS 測定(リンス後の 500 °C堆積膜)

4. 今後の展望

純水リンス後の 500 °C堆積に存在する GeO₂ 膜は残留したのか、自然酸化で生成されたものなのかリーク特性をふまえ検証を行っていく。そこで、より最適なプロセス条件を解明するために、表面の化学結合状態を XPS 測定のピーク分離や AFM 測定を通して解明する予定である。

【謝辞】

本研究の一部、CVD 原料及び供給法に関して、気相成長株式会社 の町田氏、石川氏、須藤氏の協力を得た。

CVD 法を用いた GeO₂/Ge 構造の作製及び評価

Preparation and evaluation of GeO₂/Ge structure using CVD method.

農工大院工、○鈴木拓光、井上拓紀、岩崎好孝、上野智雄

Tokyo Univ. of Agri. & Tech. Takumi Suzuki, Hiroki Inoue, Yoshitaka Iwazaki, Tomo Ueno

Email: s241343r@st.go.tuat.ac.jp

1. 研究背景

Ge-MOS は Ge 自体が有する高いキャリア移動度から、次世代半導体デバイス材料の有力候補と注目されている。そしてその酸化物である GeO₂ は絶縁膜及び High-k/Ge 構造の界面層として期待される一方、GeO₂ の成膜手法として広く用いられる熱酸化法では、FinFET, GAA 等の立体チャネルに応用する際、均一成膜の困難さに加えて、チャネル領域の消失等の問題が挙げられる。

そこで、本研究では GeO₂ 作製手法として段差被覆性がよく、均一に成膜できる Chemical Vapor deposition (CVD)法を採用し、良質な GeO₂/Ge 構造の作製と評価を行った。しかし、CVD 法では成膜中に原料由来の不純物を取り込まれるため、膜質の詳しい調査を行う必要がある。

本稿では、トランジスタのスイッチング動作に大きな影響を及ぼす、GeO₂ 膜の絶縁性について検証した。

2. 実験方法

p-Ge(100)基盤にアセトン及びエタノールを用いた超音波洗浄を行い、その後フッ酸による自然酸化膜の除去を行った。基盤洗浄後、tetra-ethyl-germanium(TEGe)と O₂ を供給する CVD 法で GeO₂ 膜を成膜した。成膜条件は以下 Table.1 に示す。

Table.1 CVD Film forming conditions

条件項目	成膜圧力 [Torr]	O ₂ 流量 [sccm]	TEGe流量 [sccm]	成膜温度 [°C]	成膜時間 [min]
数値	8	65	10	500	5

上記 CVD 成膜条件にて、GeO₂ 膜を 500°C の基盤温度で成膜後、N₂ 及び O₂ による 300°C10min の低温アニールを施し、Al 電極を真空蒸着後、J-V 測定による絶縁性評価を行った。また、アニールによる組成の変化を検証するため、上記に加え N₂ 及び O₂ による 350°C10min, 400°C10min, 450°C10min のアニールを施したサンプルを作成し、XPS 測定を行った。

3. 実験結果・考察

アニール処理を施したサンプルの J-V 測定結果を Fig.1 に示し、横軸のゲート印加電圧を、絶縁膜全体の平均電界を用いて規格化したものを Fig.2 に示した。

Fig.1 より、N₂ 及び O₂ によるアニール処理によってリーク電流が抑制されている事が確認できる。また、Fig.2 より膜厚の違いを加味した絶縁性につ

いても、良好な特性を持つ事が確認できる。

そこで、絶縁性向上の要因について Fig.3, Fig4 に示す C1s スペクトル及び O1s スペクトル XPS 測定結果より考察した。Fig.3 より、アニール処理によって 285[eV] 付近の sp² 炭素に由来するピークが先鋭化しており、膜表面の炭素構造の緻密性が向上したと考えられる。Fig4 では、アニール温度の上昇に伴ってピークが低エネルギー側へシフトする傾向が見られた。これは、結合エネルギー 530[eV]付近に存在する、GeO₂ 膜中の酸素原子である格子酸素の相対的な比率が増加しており、GeO₂ 膜の酸素欠陥が改善されたと考えられる。また、特に高温域でのアニール処理によって 534[eV]付近に結合エネルギーを持つ表面の吸着水や水酸基の相対強度が減少したことから、膜表面の清浄化にも寄与していることが推察される。

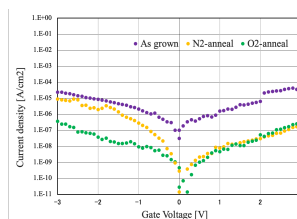


Fig.1 J-V Characteristics

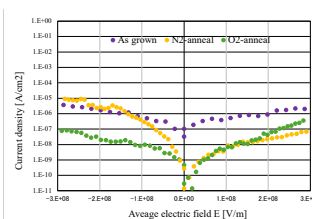


Fig.2 J-E Characteristics

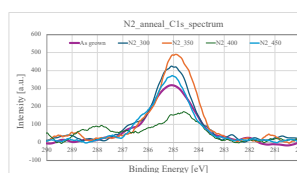


Fig.3 C1s Spectrum of XPS measurement

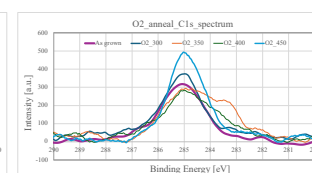


Fig.4 O1s Spectrum of XPS measurement

4. 今後の展望

今回の実験結果より、GeO₂ 膜に N₂ 及び O₂ 亜アニール処理を施すことでリーク電流が抑制できる事が示唆された。今後は、不純物脱離による絶縁性への影響をより詳しく検証する。

【謝辞】

本研究の一部、CVD 原料及び供給法に関して、気相成長株式会社の町田氏、石川氏、須藤氏の協力を得た。

高誘電率材料 TiO₂ を用いた Ge-MOS 構造に関する研究

Research on Ge-MOS structure using high dielectric constant materials TiO₂

東京農工大学大学院 ○内田 遥太、岩崎 好孝、上野 智雄

Tokyo univ. of Agri & Tech. ○Yota Uchida, Yoshitaka Iwazaki, Tomo Ueno

E-mail : s245401y@st.go.tuat.ac.jp

1. 研究背景

集積回路の高性能化は、素子の微細化によって高密度化・高速動作・低消費電力化を実現することで達成されてきた。しかし近年では、微細化に伴うゲートリーク電流の増大や短チャネル効果の顕在化により、微細化のみに依存した性能向上は困難となっている。このため、チャネル材料に高移動度材料を、ゲート絶縁膜には高誘電率材料を導入することで、素子の基本性能を向上させるアプローチが注目されている。

本研究では、チャネル材料としてキャリア移動度の高い Ge を、ゲート絶縁膜には高誘電率($\epsilon_r \approx 60 \sim 80$)を有する TiO₂を用いた MOS 構造の検討を行っている。これまで我々は、n 型 Ge(n-Ge)基板上に Al₂O₃/TiO₂積層構造を形成し、TiO₂と Ge の小さな伝導帯オフセット(CBO)を Al₂O₃によって補うことで、良好な絶縁性と高誘電率の両立を目指してきた。

今回は、これまでの n-Ge 基板に対する検討を踏まえ、p 型 Ge(p-Ge)基板を用いた構造へと展開を行った。TiO₂/p-Ge 構造では、蓄積状態では絶縁膜界面にてホールが止まると考えられるが、反転状態では電子が界面で止まらずリークすると考えられる。そこでまずは、TiO₂単層を成膜した場合の基礎的な電気特性を評価することとした。

本稿では、TiO₂/p-Ge 構造において、ゲート金属として仕事関数の異なる Al および Au を用い、それぞれのリーク電流特性を比較評価することで、TiO₂単層構造の電気的特性を明らかにすることを目的とする。

2. 実験方法

Table.1 に実験手順を示す。p-Ge 基板を洗浄後、反応性スパッタを用いて TiO₂/p-Ge 構造を作製する。その後、Al を蒸着したサンプル(sample 1)、Au を蒸着したサンプル(sample 2)を作製した。

Table.1 Experimental procedure

Sample number	1	2
洗浄	有機洗浄,HF洗浄	
TiO ₂ 堆積	反応性スパッタ~6[nm] (Ar:50[sccm],O ₂ :50[sccm], DCターゲット電力:50[W], 時間:120[sec])	
電極堆積	Al(~10nm)	Au(~10nm)

3. 実験結果・考察

Fig.1 に Al/TiO₂/p-Ge および Au/TiO₂/p-Ge 構造の J-V 測定結果を示す。TiO₂は Ge との間に比較的大きな価電子帯オフセット (VBO) を有するた

め、ホールを TiO₂/p-Ge 界面に蓄積することができ。そのため、ゲート金属の仕事関数の違いによって負バイアス時のリーク電流に差が出ると考えられる。特に、Al はフェルミ準位が TiO₂の伝導帯端に近く、金属側から電子が注入されやすいため、リーク電流が大きくなると予想される。一方で、Au は仕事関数が大きく、電子の注入障壁が大きいため、リーク電流の低減が期待される。しかし、Fig.1 の結果からは、Au を用いたサンプルにおいて負バイアス時のリーク電流の明確な低減は確認されず、Al との間に顕著な差異は見られなかった。

この要因を明らかにするために XPS 測定を行い、その結果を Fig.2 に示す。ここでは、(i) Ti のみを成膜した試料、(ii) Ti を堆積後に熱酸化した試料、(iii) Ti を反応性スパッタで成膜した試料について Ti ピークの位置を比較した。

Fig.2 より、反応性スパッタで成膜した TiO₂膜の Ti ピークは自然酸化された Ti と類似しており、熱酸化された膜と比較して低エネルギー側に位置していた。これは、反応性スパッタで成膜された TiO₂膜において酸化状態が不十分であり、酸素欠損が多く含まれていることを示唆している。酸素欠損は TiO₂のバンドギャップ内に準位を形成し、それを経由した電子輸送がリーク電流の増加に寄与すると考えられる。

以上の結果より、TiO₂単層膜では、酸素欠損に起因する準位を介した電流がリーク経路となったため、金属ゲートの種類によるバリア高さの違いがリーク電流特性に反映されなかったと考察される。

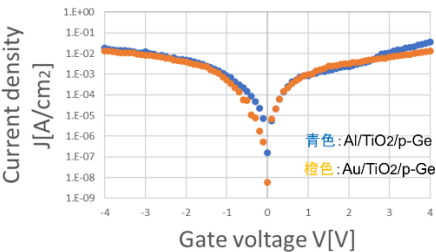


Fig.1 J-V measurement

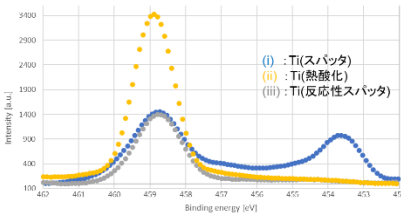


Fig.2 XPS measurement result

13 Semiconductors | Oral presentation : 13.4 Si processing /Si based thin film / MEMS / Equipment technology

[8a-N324-1~11] 13.4 Si processing /Si based thin film / MEMS / Equipment technology

[8a-N324-1]

Formation of TiO₂ Films Using Minimal Fab Reactive Sputtering Tool

○Shuichi Noda¹, Yuuki Yabuta², Naoko Yamamoto², Kamei Ryuichiro², Noriko Miura¹, Shinichi Ikeda¹, Shiro Hara^{1,3} (1.AIST, 2.Seinan-kogyo, 3.Hundred Semiconductors)

[8a-N324-2]

Development and Contact Resistance Evaluation of Two-Layer Al Interconnection for AIHardware using Minimal Fab

○Hirofumi Sumi¹, Naonobu Shimamoto¹, Yukinori Ochiai¹, Tohru Mogami¹, Yoshio Mita¹, Makoto Ikeda¹ (1.The Univ. of Tokyo, Systems design lab.)

[8a-N324-3]

Development of Isolation Technology for SOI-CMOS Devices in Minimal-Fab Process

○Hiroshige Kogayu¹, Ryuhei Sekifuji¹, Hiroyuki Tanaka², Noriko Miura², Shiro Hara^{1,2} (1.Hundred, 2.AIST)

[8a-N324-4]

Analysis of wafer in-plane variation factors in Minimal Fab 2

○Hiroyoshi Hongoh¹, Shuichi Noda¹, Noriko Miura¹, Shinichi Ikeda¹, Shiro Hara^{1,2} (1.AIST, 2.Hundred)

[8a-N324-5]

Fabrication of TSVs using Minimal Fab system and evaluation of I/V

○Takuro Kono¹, Ryuhei Sekifuji², Fumito Imura², Hiroyuki Tanaka³, Noriko Miura³, Shiro Hara³, Toru Aonishi⁴, Ichiro Akai⁵, Yasuo Terasawa¹, Takeshi Hashishin⁵ (1.NIDEK Co., LTD., 2.Hundred Semiconductors Inc., 3.AIST, 4.Tokyo Univ., 5.Kumamoto Univ.)

[8a-N324-6]

Study of wafer thinning process using Minimal Fab

○Hiroyuki Tanaka¹, Hiroshi Tokunaga², Yoshiyuki Nozawa³, Toshihiro Hayami³, Hiroshi Sugiyama⁴, Noriko Miura¹, Shinichi Ikeda¹, Shiro Hara^{1,4} (1.AIST, 2.MTC, 3.SPPT, 4.HS)

[8a-N324-7]

Process development method for shrinking CMOS devices in Minimal Fab

○Noriko Miura¹, Hiroshige Kogayu², Shinichi Ikeda¹, Shiro Hara^{1,2} (1.AIST, 2.Hundred)

[8a-N324-8]

Development strategy for new materials in Minimal Fab

○Noriko Miura¹, Kazumasa Nemoto¹, Shuichi Noda¹, Shinichi Ikeda¹, Shiro Hara^{1,2} (1.AIST, 2.Hundred)

[8a-N324-9]

Ultra Energy-saving for electronic chips by FusionCore technology

○Shiro Hara^{1,2}, Noriko Miura¹, Shinichi Ikeda¹, Fumito Imura² (1.AIST, 2.Hundred)

[8a-N324-10]

Applying Chiplet Technology to Low-Volume Wide-Variety Production: Development of the FusionCore Interconnect Technology

○Fumito Imura¹, Hiroshi Sugiyama¹, Noriko Miura², Shinichi Ikeda², Shiro Hara^{1,2} (1.Hundred, 2.AIST)

[8a-N324-11]

Controlling humidity and pressure in a process chamber in wafer droplet cleaning technology

○Kazumasa Nemoto¹, Noriko Miura¹, Shinichi Ikeda¹, Shiro Hara^{1,2} (1.AIST, 2.Hundred)

ミニマル反応性スパッタ装置による TiO₂ 膜の形成

Formation of TiO₂ Films Using Minimal Fab Reactive Sputtering Tool

産総研¹, 誠南工業(株)², (株)Hundred Semiconductors³

○野田周一¹、薮田勇気²、山本直子²、亀井龍一郎²、三浦典子¹、池田伸一¹、原 史朗^{1,3}

AIST¹, Seinan-kogyo², Hundred Semiconductors³

○S. Noda¹, Y. Yabuta², N. Yamamoto², R. Kamei², N. Miura¹, S. Ikeda¹, and S. Hara^{1,3}

E-mail: s-noda@aist.go.jp

1. はじめに

酸化チタン (TiO₂) は、ユニークな光学的、化学的、電気的特性を持つことから、光学コーティング、光触媒殺菌、色素増感太陽電池や燃料電池等の電子材料として様々な分野で利用されている。その製法には様々なものがあるが、反応性マグネトロンスパッタ法による薄膜形成が、各種デバイス製造における膜質制御、量産性上、最も有用であると思われる。ミニマルファブでは今までに、独自に開発したミニマル反応性スパッタ装置により各種の遷移金属窒化物薄膜 (TiN、AlN、HfN_x) の形成を可能にしてきたが、今回、窒化物用に各種改良を進めてきた装置を用いて酸化物 (TiO₂) の形成を行ったので、その結果について述べる。

2. 実験方法

純 Ti (5N) ターゲットを用いて、SPM+DHF 洗浄を行ったハーフインチ Si ウエハ上に、Ar+O₂ 混合ガスの O₂ 比率を 0~20 %の範囲で変化させたときの室温での成膜レート特性を調べた。DC マグネトロンスパッタ方式にて、1 Pa、50 W で成膜を行った。次に、TiO₂ が形成されていると思われるスパッタ条件で室温、300°C、500°Cの各温度で 10 分間成膜したサンプルの結晶構造を X 線回折 (XRD) で調べた。さらに、分光エリプソメトリでこれらのサンプルの光学特性を求めた。

3. 結果

図 1 は、規格化した TiO₂ 成膜レートの O₂ 比率依存性を示す。比較のため、TiO₂ 以外の窒化物反応性スパッタの結果も併せて示す。O₂ ガスを用いる酸化スパッタは、N₂ ガスを用いる窒化スパッタと同様に、ガス流量を増やすとメタルスパッタモードから化合物スパッタモードに遷移する様子が明瞭にみられるが、低比率 O₂ 領域で一度レートが増大してから化合物モードに遷移する様子が見られた。極大値よりも低比率側は、メタルスパッタモードとされる[2]が、この領域で O₂ の微量添加によるターゲット電圧 (-Vdc) の増大が他の N₂ 反応性スパッタに比べて大きかったため、金属 Ti のスパッタイールドが高まったためと思われる。極大値以降は、酸化の場合は窒化に比べ、より急激に成膜レートが減少した。酸化の場合、Ti ターゲット表面の酸化レートが非常に速く、ターゲット被毒 (Target poisoning) [3]が生じて放電が不安定になったり、再現性劣化が懸念されるため、O₂ 混合比率を 10 %に抑えた条件を標準とした。図 2 は、各条件で形成した TiO₂ 膜の薄膜モード (入射角 0.5°) XRD スペクトル (Cu K_α 1.5418 Å) を示す。O₂ 比率が 0 %の場合(a)は、金属 Ti (α-Ti 相) の多数のスペクトルが観察されるが、O₂ を 10 %加える(b)~(d)では、これらのピークが消失し酸化が生じていると思われる。スパッタ時のステージ温度が室温(b)、300°C(c)までは、TiO₂ の回折ピークが全く観察されなかった。膜はアモルファス状態と思われる。ステージ温度が 500°C(d)の時は、アナターゼ型の TiO₂ (101)の比較的大きなピークとルチル型の TiO₂ (110)の小さなピークが観察された。図 3 は、各サンプルの光学特性を示す。屈折率 n の値は、スパッタ時のステージ温度に依存して高くなり、633 nm での値で 2.48 (RT)、2.51 (300°C)、2.61 (500°C) となり、報告されているアナターゼ型のそれと近い値であった。

参考文献：

- [1] 例えば、野田周一，他，第 85 回応用物理学会秋季学術講演会，16a-B1-4 (2024).
- [2] K. G. Geraghty and L. F. Donaghey, Solid-State Science and Technol., **123**, 1201 (1976).
- [3] E. Kusano et al., J. Vac. Sci. Technol. A **10**, 1696 (1992).

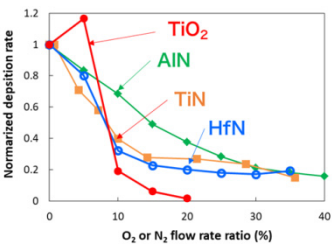


図 1.規格化スパッタレートと O₂ 比率の関係

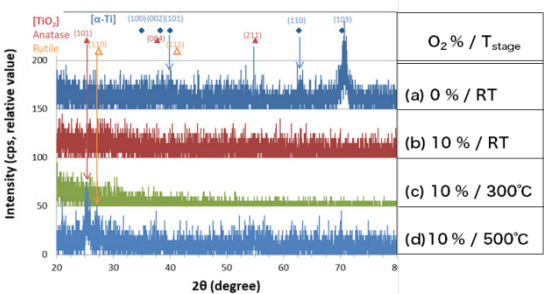


図 2. Grazing incidence XRD スペクトル

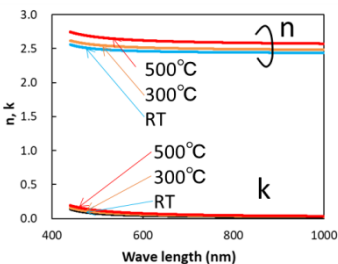


図 3. 光学特性

ミニマルファブを用いた AI ハードウェア向け 2 層 Al 多層配線の開発と
コンタクト抵抗評価

Development and Contact Resistance Evaluation of Two-Layer Al Interconnection for AI
Hardware using Minimal Fab

東京大学大学院システムデザイン研究センター ◯角 博文, 島本 直伸, 落合 幸徳,
最上 徹, 三田 吉郎, 池田 誠

The Univ. of Tokyo, Systems Design Lab.
E-mail: sumi@dlab.t.u-tokyo.ac.jp

1. はじめに
近年の AI アルゴリズムの進歩に伴い、その実装を担うハードウェアの性能向上が強く求められている¹⁾。超大規模集積回路(VLSI)において、回路の複雑化と微細化が進む中、配線、特に層間を接続するビアのコンタクト抵抗が、デバイスの動作速度や信頼性を決定する重要な要因となっている。本研究では、AI ハードウェア LSI の低コストかつ迅速な開発を実現するため、ミニマルファブを用いた 2 層アルミニウム(Al)多層配線技術を開発し、そのコンタクト抵抗について評価を行った²⁾。

2. 実験方法
2 層 Al 多層配線は以下の手順で作製した。まず、0.5 インチシリコンウェハ上に層間絶縁膜(ILD)として CVD 法で TEOS 由来の SiO₂膜を 350nm 堆積した。次に、第 1 金属層(Metal 1)として下から Ti(30nm)/Al-Si1%(350nm)/TiN(30nm)積層膜をスパッタリングにより形成した。この積層構造は、下地からの反射を抑制しリソグラフィ工程を安定化させる目的がある。マスクレス露光装置とドライエッチングを用いて 1 層目の配線パターンを形成した後、再度 ILD として SiO₂膜を 350nm 堆積した。続いて、ドライエッチングにより Metal 1 と第 2 金属層(Metal 2)を接続するためのビアコンタクトホールを形成した。コンタクト抵抗を低減するため、逆スパッタクリーニングを行った後、Metal 2 として Metal 1 と同様の下層から Ti(30nm)/Al-Si1%(350nm)/TiN(30nm)積層膜を堆積した。最後に、再度リソグラフィとドライエッチングを行い、2 層目の配線パターンを形成した (Fig. 1,2,3,4)。また、形成された 1 層目と 2 層目の配線幅は 2 μm、配線間最小幅は 2 μm である。

3. 結果と考察
作製した 2 層配線のコンタクト抵抗を評価した。数千から数万個のビアを直列に接続したビアチェーン測定では、ビア 1 つあたり約 1 Ω という良好な抵抗値が得られた。また、より精密なケルビン 4 端子測定では、直径 2 μm のビアで 35.8 mΩ、直径 3 μm のビアで 7.45 mΩ のコンタクト抵抗値が測定された。ここで、Al の抵抗率を $\rho = 2.65 \times 10^{-8} \Omega \cdot \text{m}$ 、ビアの深さを $L = 0.35 \mu\text{m}$ 、断面積を $A = \pi \times (1 \mu\text{m})^2$ として、直径 2 μm のビアの理論的なコンタクト抵抗は、2.95 mΩ となる³⁾。測定値が理論値よりも高い主な要因として、ビアホール内における Al-Si1%の充填が不完全であることによる有効接触面積の減少 (収縮抵抗の増大)や、Al と Ti/TiN 膜との界面で発生する抵抗が考えられる。

4. 結論
本研究により、ミニマルファブを用いた 2 層 Al 多層配線技術を開発し、そのコンタクト抵抗を評価した。ビアチェーンおよびケルビン測定から得られたコンタクト抵抗値は、理論値よりは高いものの、AI ハードウェア LSI のゲートアレイ配線として実用上十分なレベルであり、本技術が低コストかつ迅速なプロトタイピングに有効であることを実証した。

5. 謝辞
本研究は、文部科学省の次世代 X-nics 半導体創生拠点形成事業(XNICS)、課題番号 JPJ011438 による支援を受けたものです。関係各位に感謝いたします。

6. 参考文献
1) A. Kosuge et al., "Agile-X: A structured-ASIC created with a maskless lithography system enabling low-cost and agile chip fabrication," IEEE Transactions on Very Large-Scale Integration (VLSI) Systems, 2025, Volume 33, Issue 3, pp746-756
2) H. Amano et al., "Can the Agile-chip platform carve out a niche between ASICs and FPGAs?," IEEE Symposium on Low-Power and High-Speed Chips and Systems (COOL Chips 28), April 2025.
3) David Mercier et al., "Quantitative evolution of electrical contact resistance between Aluminum thin films" 2012 IEEE 58th Holm Conference on Electrical Contacts (Holm), 23-26 September 2012

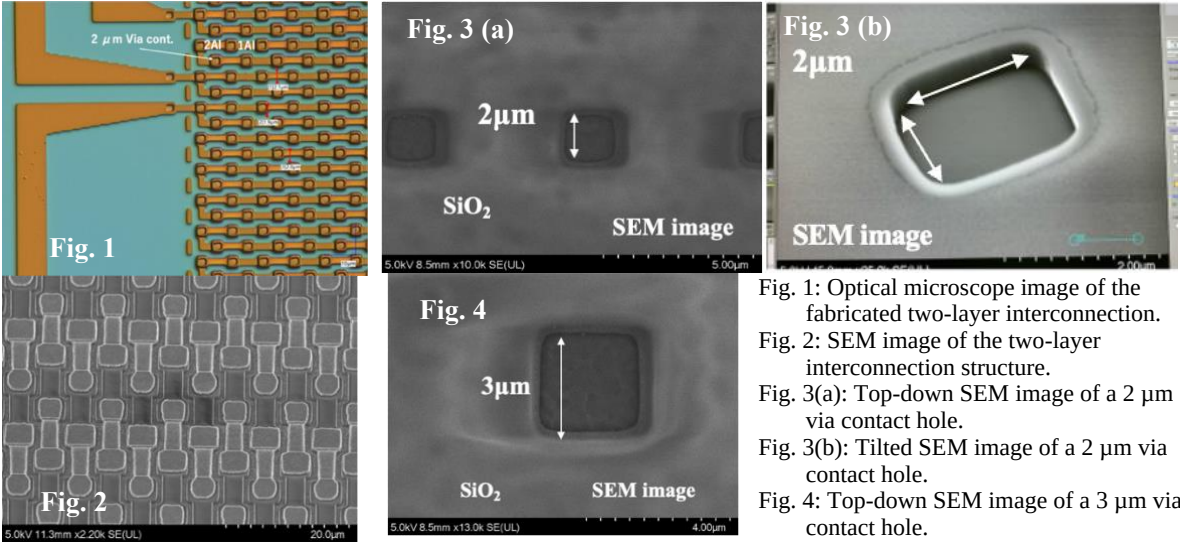


Fig. 1: Optical microscope image of the fabricated two-layer interconnection.
Fig. 2: SEM image of the two-layer interconnection structure.
Fig. 3(a): Top-down SEM image of a 2 μm via contact hole.
Fig. 3(b): Tilted SEM image of a 2 μm via contact hole.
Fig. 4: Top-down SEM image of a 3 μm via contact hole.

ミニマルファブを用いた SOI-CMOS デバイスの素子分離技術の開発

Development of Isolation Technology for SOI-CMOS Devices in Minimal-Fab Process

(株)Hundred Semiconductors¹, 産業技術総合研究所²
○小粥 敬成¹, 関藤 竜平¹, 田中 宏幸², 三浦 典子², 原 史朗^{1, 2}

Hundred¹ and AIST²
Hiroshige Kogayu¹, Ryuhei Sekifuji¹, Hiroyuki Tanaka², Noriko Miura², and Shiro Hara^{1, 2}
E-mail: h.kogayu@i-hundred.com

【背景・目的】我々は多品種少量向けデバイスの研究、開発、生産に適した、ハーフインチウェハを用いるミニマルファブの開発を行ってきた[1]。すでに、主要な前工程製造装置群が完成しており、pMOS、nMOS、CMOS、カンチレバー、加速度センサ、圧力センサ、LED、レーザー、SAW デバイスなどの試作に成功している[2],[3]。ミニマルファブの基幹となる CMOS デバイスにおいては、性能の面で有利な SOI ウェハを用い、また、ゲートにはメタルである TiN を用いているが、素子分離は分離領域の Si をドライエッチングで取り除く分離方法を採用している。そのため、Si 段差部でゲート配線が乗り越えることとなり段切れが起こりやすい。図1に実際に段差部で TiN 配線が断線した例を示す。図2は Al 配線だが段差部での段切れの例を示す。これら段切れによる配線の断線を懸念してゲートコンタクトはアクティブ上に配置せざるを得ず、ゲート長微細化の阻害要因となる。そこで段差低減を目的とした素子分離技術の検討を行なった。

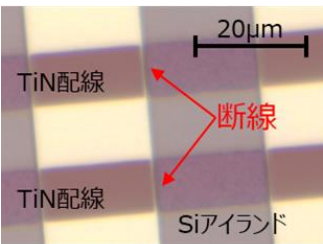


図 1. Si 段差部での TiN 配線断線の例

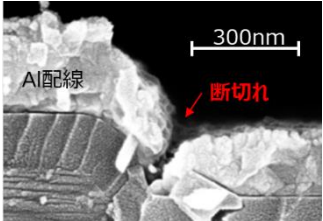


図 2. 段差部での Al 配線断切れの例

素子分離は、歴史的には LOCOS(Local Oxidation of Silicon)から STI(Shallow Trench Isolation)へと進んできたが、LOCOSは素子分離層が横幅を大きく取る問題や bird’s beak でのリークの問題などを抱えていた。STIではこれらの問題は解決したが、STIに用いる CMP はプロセスを行なう毎に研磨レートが変わる問題がある上、ウェハの端部ではエッチングレートが高いという問題、パッドを定期的に交換、メンテナンスが必要になる問題がある。特にミニマルファブではハーフインチウェハという小さなウェハを用いるため、ウェハエッジ部では研磨レートが速くなる傾向がある。そこで LOCOS、STIに代わって素子分離する方法として、我々はレジストエッジバック方式の検討を行なった[4]。この方法は古典的には存在するが後述するプロセス条件を極めなければならず、実用に供したことがなかった。本報告ではレジストエッチバックを用いた素子分離技術について、実用的なプロセスが開発できたので報告する。

【実験方法】図3に今回検討したレジストエッチバックのプロセスフローを示す。従来の SOI-CMOS の素子分離プロセスに以下の工程を加えている。①素子分離後に②TEOS 膜をデポし、厚いレジストを塗布する。③TEOS 表面までレジストのみエッチバックする(1st STEP)。④レジストと TEOS を同じエッチレートでエッチバックする(2nd STEP)。⑤全面をウェットエッチして Si アイランド表面を露出させる。⑥ゲート酸化。それぞれの工程でプロセス条件の最適化を行ない、Si アイランド段差の低減を図った。最終的には本プロセスを適用した SOI-CMOS の試作を行ない、TiN 配線の断線の有無を確認する。

【結果と考察】Si ダミーにより実際のフローを用いてプロセス条件の確認を行なった結果、図4に示すように Si アイランドの段差が、埋込まれた TEOS により低減されていることが観察された。また本プロセスを適用した SOI-CMOS を試作した結果、TiNゲート配線の段切れが防止できることを確認した。さらにこの Si アイランド端部に起因する MOS トランジスタのサブスレッショルド特性のハンプやゲート耐圧低下などの改善が期待できる。発表当日は段切れ防止の詳細などの素子平坦化による改善効果について、トランジスタ特性を含めて報告する。

<参考文献>

- [1] 原史朗, クンブアンソマワ, 「ミニマルファブの開発とそのデバイスプロセス」, 応用物理, 83(5), 380 (2014).
- [2] クンブアンソマワ, 「ミニマルファブにおけるデバイスプロセス開発事例」, クリーンテクノロジー, Vol.23, No.12 (2014).
- [3] Y. X. Liu et al., Jpn. J. Appl. Phys. 57, 06HD03-1-6, 2018.
- [4] 田中宏幸, 他, 第 72 回応用物理学会春季学術講演会 17p-K103-3(2025).

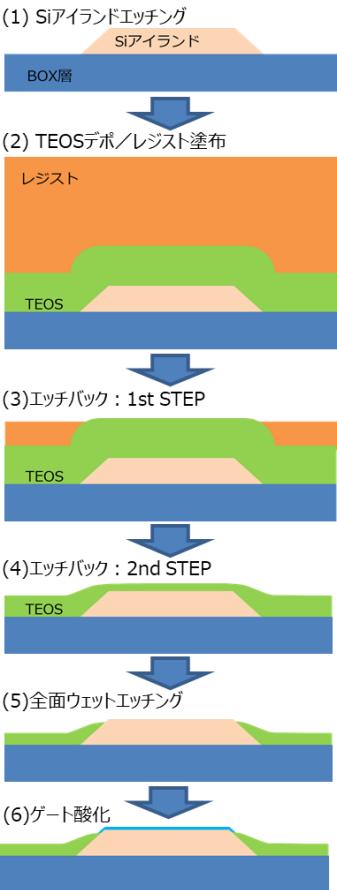


図 3. プロセスフロー

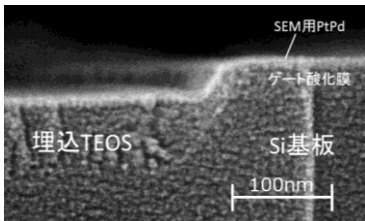


図 4. 適用後の断面 SEM(Si ダミー)

ミニマルファブにおけるウェハ面内ばらつき要因の分析 2

Analysis of wafer in-plane variation factors in Minimal Fab 2

○本郷 仁啓¹、野田 周一¹、三浦 典子¹、池田 伸一¹、原 史朗^{1,2}

(¹産総研、²(株)Hundred Semiconductors)

○H. Hongoh¹, S. Noda¹, N. Miura¹, S. Ikeda¹, and S. Hara^{1,2}

(¹AIST and ²Hundred)

E-mail: hiroyoshi.hongou@aist.go.jp

【背景】ハーフインチウェハ、幅約 30 cm の製造装置、クリーンルームを不要とする局所クリーン化搬送システムという 3 つの特徴を有しているミニマルファブ[1]は、2011 年に装置開発を開始して以来、装置やプロセスの開発やデバイス試作の実績を積み重ねてきた。最近では、デバイス開発を目的として装置の導入が検討されるようになり、歩留まりや諸特性の安定性の向上がさらに重要な課題になっている。

【目的】これまでに、ミニマルファブで作製したデバイスを測定した結果から、ウェハの中心に比べて外側ではトランジスタのドレイン電流が低下する傾向が見られていた。前回の報告でドレイン電流の動径方向の変動量には酸化膜厚の変動量が大きく影響していたことを示し、ウェハの酸化膜厚の変動が、酸化時のウェハの温度分布によって生じていることを解析した[2]。そもそも原理的には、図 1 に示すように酸化に用いるミニマルファブ抵抗加熱炉は、周りをヒータで囲まれた典型的なホットウォール式であるから、中心部の温度が低い(酸化膜厚からの換算で -4°C)と言うことは原理的に考えにくい。しかし、室温のガスがウェハ直上から供給されていることを想起すれば、中心部での温度低下はあり得ないとは言えないだろう。酸化時は炉内にウェハの表面を上にして、石英ポートの先端に配置し、その周囲を内側が円筒のモルダモサーモヒータ(セラミック繊維断熱材と発熱体を真空中で一体成型させた、省エネで高効率で温度分布の均一性が高いヒータ)に囲まれている。今回は酸化時の炉における加熱について解析・考察を進め、温度分布の要因追及とその改善策を考察する。

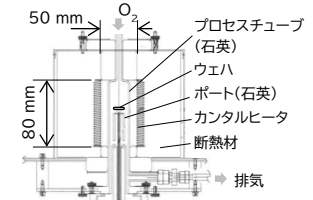


図 1 ミニマルファブ抵抗加熱炉

【解析・考察】ウェハを支持する石英ポートは、ウェハと一緒にヒータで加熱されるので、ウェハとポート先端の温度は原理的には同程度で、この間の熱伝導はウェハの温度分布への影響が小さいと推察される。 O_2 流量をパラメータにして酸化した実験で、膜厚分布傾向は流量による変化がなく、流量の増加で膜厚が減少したことから、気体への放熱がウェハの全面で均一に起きていると考えられた。従って、温度分布が生じたのはウェハ面上の位置により加熱のされ方に不均一性があったと推定される。そこで、ヒータが放射した熱がウェハの表面・裏面・端面に到達する熱の強度についてシミュレーションによる熱解析を行った。ヒータの内側の壁は一律な温度に上昇し、内側の壁の面の放射率も一律とする。石英チューブは赤外線の透過率が高いので、ヒータから放射された熱エネルギーが直接ウェハの表面へ到達するとして計算した。

ミニマルファブ抵抗加熱炉の酸化プロセスと同じ条件のウェハを中心に配置した熱放射強度の計算では、表面と裏面では中央に対して外周は 1%強度が高く、端面は表面と裏面のウェハ中心に対して 33%強度が高くなり、この強度分布と表面積からウェハが受け取る熱のうち、端面が受ける熱量はウェハ全表面積の 5.4%になった(図 2)。ウェハからは全ての面で均一に放熱すると考えられ、ミニマルウェハでは、表面と裏面が表面積の 96%であることから、ウェハ端面に受けた熱は放熱する一方で、中心に向かって伝導して温度分布が生じたと推察される。温度分布の改善には、表面と裏面が受ける熱に対する端面が受ける熱の比を下げるのが有効と考えられる。そこで、加熱条件を変化させた場合の、ウェハ全体が受ける熱のうちの端面が受ける熱について計算した。具体的には、(a)ヒータの長さ、(b)ヒータの内径、(c)ヒータ内のウェハの位置、(d)ヒータを 2 分割してヒータ間距離、の 4 つのパラメータを変えて、その時のウェハ全面に対するウェハ端面の熱量比を計算した。計算結果の図 3 から、端面の熱量比を小さくするには、(a)ヒータを長くする、(b)ヒータ内径を小さくする、(c)ウェハ位置はヒータ中央、(d)ヒータ間距離を大きくする、と良いことがわかった。

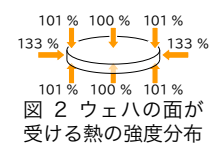


図 2 ウェハの面が受ける熱の強度分布

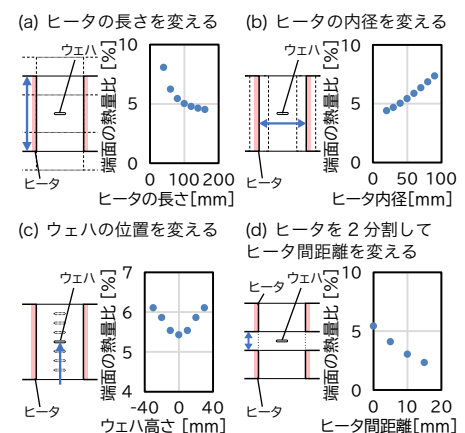


図 3 ウェハが受ける熱のうち、端面が受ける熱量の比

【結論】内部温度が均一になると考えられるホットウォール型といえども、投入ガスと排出ガスによって熱が排出されることで、ウェハの温度不均一が生じる原因となり、ホットウォール型のミニマルファブ抵抗加熱炉でのウェハ中心部の温度低下の原因が炉の形状に依存していることが見いだされた。

[1] 原史朗、クンプアンソマワン、「ミニマルファブの開発とそのデバイスプロセス」、応用物理、83(5)、380 (2014)。

[2] 本郷仁啓ら、第 72 回応用物理学会春季学術講演会 17p-K103-9 (2025)。

ミニマルファブシステムを用いた TSV 作製と I/V 特性評価

Fabrication of TSVs using Minimal Fab system and evaluation of I/V characteristics

株)ニデック¹, 株)Hundred Semiconductors², 産総研³, 東京大学⁴ 熊本大学⁵

○高野拓郎¹, 関藤竜平², 居村史人², 田中宏幸³, 三浦典子³, 原史朗³, 青西亨⁴, 赤井一郎⁵, 寺澤靖雄¹, 橋新剛⁵

NIDEK Co., LTD.¹, Hundred Semiconductors Inc.², AIST³, Tokyo Univ.⁴, Kumamoto Univ.⁵, Takuro Kono¹,

Ryuhei Sekifuji², Fumito Imura², Hiroyuki Tanaka³, Noriko Miura³, Shiro Hara², Toru Aonishi⁴, Ichiro Akai⁵,

Yasuo Terasawa¹, and Takeshi Hashishin⁵

E-mail: takuro_kouno@nidek.co.jp

【背景・目的】

近年集積回路全体の低消費電力化や高速通信、高密度化を目的として3次元積層技術開発が盛んに行われている。一方で医療機器に代表される全体生産量が他の電子機器と比較して圧倒的に少ない電子機器においては、それぞれの機器に合わせた3次元集積回路(3D IC)の導入はコスト面から難しい。ミニマルファブは多品種・少量生産をベースとしたファブシステムであり、3D ICの優れた特性を低コストで導入できる可能性がある。そこで本研究では3D ICの基本構造であるチップ間を縦方向に接続する Through-silicon via (TSV)をミニマルファブシステムにより複数条件で作製し、TSV単独の I/V 特性を評価することで実用性可否を検討した。

【方法】

評価用の TSV はハーフィンチウエハ上に D-RIE により Si の深堀を実施したのち、成膜温度を変えて TEOS-CVD により絶縁膜を形成した。絶縁膜形成後にスパッタによりバリア層である Ti とシード膜である Cu を成膜後に電解メッキにより Cu の埋め込みを行った。Cu 埋め込み後に 61 個の評価用パッドを形成、裏面を研削し前面金属スパッタを行うことでオーミック電極を作成した。I/V 特性評価はデバイス特性アナライザ (B1500A, Keysight)を用いて 0V から 100V、0V から -100V と連続測定し評価した。

【結果】

TEOS-CVD の温度を変化させたサンプルにおける -100V から 100V の範囲内で絶縁破壊電

流が測定された TSV の確率を図 1 に示す。この結果より成膜温度上昇に伴い TSV の絶縁耐圧向上が確認された。同様の傾向は D-RIE 時に形成されるスキャロップと呼ばれる TSV 側壁の周期構造を広げたサンプルにおいても確認された。同一の成膜温度において TSV 側壁形状の差で比較すると、200℃から 250℃範囲ではスキャロップを広げたサンプルの絶縁耐圧が減少した。一方で 275℃では同数であった。

【まとめ】

今回ミニマルファブシステムを用いて作製した TSV 構造の I/V 特性の基礎的な結果を得た。今後は実際の半導体素子を搭載したチップに対し TSV 構造を形成し、周辺素子特性への影響並びに長期使用時の特性変化に関して検証を進め、実用性を評価する。

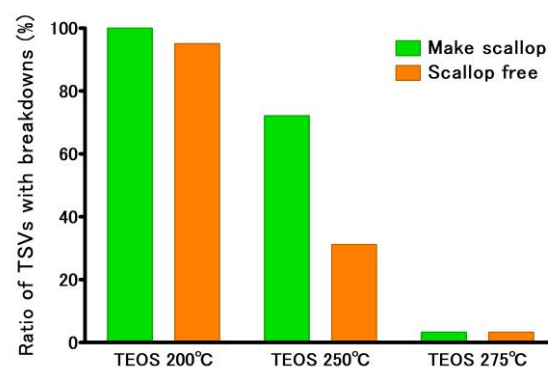


Fig.1 Ratio of TSVs with dielectric breakdown

【謝辞】

本研究は、JST、CREST、JPMJCR2432 の支援を受け産業技術総合研究所クリエイティブミニマルファブにおいて実施されました。

ミニマルファブを用いたウェハ薄化の研究

Study of wafer thinning process using Minimal Fab

○田中 宏幸¹, 徳永 博司², 野沢 善幸³, 速水 利泰³, 杉山 広⁴, 三浦 典子¹, 池田 伸一¹, 原 史朗^{1,4}
(¹産総研, ²M.T.C, ³SPP テクノロジーズ, ⁴Hundred Semiconductors)

○H. Tanaka¹, H. Tokunaga², Y. Nozawa³, T. Hayami³, H. Sugiyama⁴, N. Miura¹, S. Ikeda¹ and S. Hara^{1,4}
(¹AIST, ²MTC, ³SPPT, and ⁴Hundred Semiconductors) E-mail: tanaka.hiroyuki@aist.go.jp

【 背景・目的 】

ミニマルファブ^[1]では、前工程とパッケージング工程をハーフインチウェハサイズで統一した製造プロセスを提唱し、その工程の技術開発に取り組んできた。近年、3次元積層やチップレットといった技術革新により、後工程、とりわけパッケージング工程は、前工程の半導体加工技術へと進化しており、その重要性はますます高まりつつある。これらの技術が半導体の性能を飛躍的に向上させて、新たな製品を生み出す可能性が秘められていることから、この前工程化した先端パッケージングの技術開発は、最重要課題となっている。特に、異なるチップやコンポーネントを接続・配置するための中間層の基板には、2.5次元インターポーザの活用が、3次元積層化に移行されるまでの移行処置技術とされながら今現在も重要な役割を果たしている。

しかしながら、前工程化した先端パッケージプロセスの製造は、技術的に難易度が高く、莫大な開発と製造コストが掛かることから、誰もが容易に3次元積層化開発に参画可能とはならないため、当初の期待より大きく立ち遅れているのが現状となっている。

我々は、これまで前工程で培った技術を生かして、ミニマル装置を用いたリソグラフィ工程やSi基板のTSV深掘りエッチング、水素アニールによるSi表面の平坦化、絶縁層の形成、シードスパッタ、Cu電界めっきなど、個々のプロセス技術開発を行っており、既に少量多品種試作の商用化レベルPhaseにある。これらの前工程技術を半導体パッケージングの後工程に活用できることが望まれている。その1つとして、Siインターポーザに着目した。Siインターポーザは、ミニマルファブ前工程技術の範疇で微細化が可能な反面、ハーフインチサイズまでの大きさ制限が存在する。しかしながら、ミニマルファブを用いることで、少量多品種のチップレット試作を望むユーザーにとっては有意義であり、更に、パッケージング技術レベル向上にも繋がる。

まずは、Si基板の薄化に特化したSiインターポーザのためのプロセスを考案し、Siブリッジプロセス技術への検討を行ったので報告する。

【 実験結果と考察 】

[実験1] グラインダによる薄化実験: Fig.1は、厚さ250 μm のハーフインチSi基板に $\phi 50\mu\text{m}$ のTSVホールを深さ150 μm までハーフエッチングを行った後、ウェハ裏面からグラインダ装置で110 μm となる様、ウェハ薄化を行ったSi基板である。

[実験2] 深掘りエッチングによる薄化実験: Fig.2は、アクティブ層が30 μm 、BOX層が2 μm 厚のSOIハーフインチ基板を用いて、アクティブ層側に $\phi 50\mu\text{m}$ 、TSVホールを深さ30 μm のBOX層までオーバーエッチングを行った後、ウェハ裏面側からBOX層までの深掘りエッチングを行い、最後にHFウェット工程でBOX層を除去することで、30 μm までウェハ薄化を行ったSi基板である。SOIウェハを用いた理由は、BOX層の酸化膜がウェハ裏面からの深掘りエッチングのストッパー膜として活用できるからである。SOIウェハの薄化は、グラインダでは難しいため深掘りエッチングを用いた。

その結果、実験1のグラインダ加工の方では、約110 μm 厚のSi基板薄化ができた。その後の真空吸着を要する工程も、ウェハ裏面にラミネート膜の貼り付けでハンドリングが可能となるのを確認できた。実験2のSOI基板の方は、アクティブ層厚の薄化が可能だった。ただし、ウェハ処理には外周に厚みを保ったリングフレームを形成する必要があるがあった。リングフレームは、ウェハ外周部を深掘りエッチング装置のクランプ板でマスク保護しながら深掘りされないようにして製作した。

発表当日は、TSVウェハ薄化の取り扱い易さ、加工事例などについても報告する。

<参考文献>

[1] 原 史朗, クンプアン ソマワン, 「ミニマルファブの開発とそのデバイスプロセス」, 応用物理, 83(5), 380 (2014).

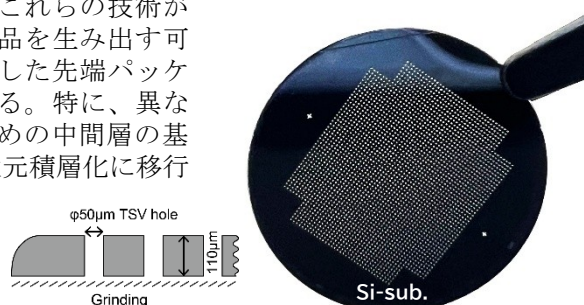


Fig.1 110 μm 厚まで薄化した $\phi 50\mu\text{m}$ TSV貫通holeハーフインチSi基板



Fig.2 SOIウェハを用いて30 μm 厚まで薄化した $\phi 50\mu\text{m}$ TSV貫通hole Si基板

ミニマルファブにおける CMOS デバイスの微細化プロセスの開発手法

Process development method for shrinking CMOS devices in Minimal Fab

産業技術総合研究所¹, Hundred Semiconductors²

三浦 典子¹, 小粥 敬成², 池田 伸一¹, 原 史朗^{1,2}

AIST¹ and Hundred Semiconductors²

Noriko Miura¹, Hiroshige Kogayu², Shinichi Ikeda¹ and Shiro Hara^{1,4}

E-mail: noriko-miura@aist.go.jp

【背景】 我々は、多品種少量デバイスの研究、開発、製造に適した半導体デバイス製造システムとして、ミニマルファブの開発を行っている^[1]。すでに TiN ゲート SOI CMOS をベースとしたロジック回路やオペアンプを試作し、ゲート長 6 μm では実用レベルの歩留まりを得ている。現在の 6 μm でも、微細化を必要としない相当に多様なニーズがあることが市場調査で明らかになっている。しかし、仮に 1 μm レベルまで微細化を進めると、そこには車載や家電用途などさらに多くのアプリケーションがあることもわかっている。それではどのように、現在の 6 μm ルールを 1 μm へと開発を進めれば良いのかだろうか。

従来のメガファブでは、3 年でおおよそ 0.7 倍の速度で 1 世代ずつプロセスを確立しながら微細化が進められてきた。このペースで 1 世代ずつ微細化を進めた場合、6 μm から 1 μm までシュリンクするのに 5 世代分、すなわち 15 年の歳月がかかることになり、また、投入するリソースも膨大になる。我々は、ミニマルファブの優位性(短 TAT 試作、マスク不要)を活かし、6~1 μm のプロセス課題点をまとめて洗い出し、対策を打ち立てることで、5 年以内に 1 μm プロセスの確立(Technology 2030 と命名する)を目指す。本発表では、その従来とは異なる手法について説明する。

【これまでの開発状況】 表 1 は、ミニマルファブの CMOS デバイスプロセスの推移を示す。ミニマルファブでは、以下の 3 段階でデバイス開発を進めてきた。(1)トランジスタ動作のフィージビリティスタディ(局所クリーン化技術(界面準位、リーク電流)および要素プロセス(ドーピング、リソグラフィ、エッチング等)の検証)、(2)生産性を意識したプロセスの開発(トランジスタ構造の確立、プロセス安定化)、(3)微細化デバイスプロセスの開発。ミニマルファブは、装置内を局所的にクリーン化することで、クリーンルームではない環境でのデバイス製造を可能とする全く新しい半導体製造システムであるので、まずは、局所クリーン化の効果の検証から行う必要があった。ここまでが(1)の第一段階であった。その後、(2)の生産性を重視した開発を進めた。具体的には、開発初期(2015 年)の CMOS は、厚膜のゲート酸化膜を用い、ゲート長および PAD サイズを十分大きくすることで確実にトランジスタ構造を形成できるようにして、Si と熱酸化膜の界面準位密度(D_{it})の把握、デザインルールオーダーサイズに縮小しつつ安定なオーミックコンタクトの形成など、クリーン化と要素技術の検証を行い、安定性を向上させてきた。その後、より実用的なデバイス構造とプロセス安定性を追求し、ゲート酸化膜の薄膜化、SOI 基板を用いた TiN ゲート CMOS プロセスの確立^[2]、装置・プロセスの安定化による歩留まり向上などを進めてきた。安定性と生産性(ウェハ面内均一性、ウェハ間(=ロット間)均一性に目処が付きつつある現在、次に進めるべき事は、(3)の微細化になる。そもそも、半導体の歴史は、安定性の向上→商品化→(不安定性を発露する)次なる微細化→安定性の向上→商品化→次の微細化、・・・と進んで来たのであるが、そのサイクルを、世界中のリソースを使って 3 年毎に更新してきた。しかし、ミニマルファブではその方法は採らず、安定性を相当に向上させた上で、一挙に 5 世代分先へ進めることで、逆に課題が見え、その課題克服に集中するという手法を採るということである。

【今後の開発】 ゲート長 6 μm より微細化していく際、以下の課題をクリアする必要がある。(1)加工精度(リソグラフィ解像度、レイヤー間の合わせ精度、エッチング形状)の向上 (2)コンタクトおよび配線層間 via 抵抗の低減、(3)チャネルシフト量の低減。これらの課題は、加工寸法がある一定のサイズに達したときに問題が顕在化すると思われる。そこで、1 枚のウェハにゲート長、コンタクト径を変化させた TEG を入れて、同じテクノロジーを用いてデバイスを作製した場合に、どの寸法でどんな不具合が発生するかを明らかにすることで、微細化による課題を一度にあぶりだす。これにより、従来は 1 世代毎に確認していたプロセス課題を短期間にまとめて抽出し、解決策を検討することが可能となり、4 世代分の開発をスキップして一気に微細化を進めることができる。加えて、ミニマルファブでは、新材料や新規プロセスをデバイスプロセスに組み込んで短 TAT で開発することができるため、反応性スパッタによる新材料や EB 露光といった最先端のプロセスを短時間で実用化し、デバイスプロセスに適用することも可能である。当日は、微細化で予想しうる課題とその具体的な対策方法について議論する。

【参考文献】

[1] S. Khumpuang, et. al, IEEE Trans. Semi. Manufacturing, **28**(3), 551-556 (2015).
[2] 古賀和博, 他, 第 66 回応用物理学会春季学術講演会 9a-M114-8 (2019).

表 1 ミニマルファブの CMOS デバイスプロセスの推移

	2015年	2017年	2018年 開発当初	now	Technology 2030
ウェハ基板	Bulk Si (n型)	Bulk Si (n型)	SOI (活性層n型Si)	SOI (活性層n型Si)	SOI (活性層n型Si)
リソグラフィ	DLP露光 (405 nm)	DLP露光 (405 nm)	DLP露光 (405 nm)	DLP露光 (405 nm)	DLP露光 (405 nm)
ゲート長	14 μm	12 μm	10 μm	6 μm	1 μm
ゲート酸化膜厚	60 nm	40 nm	15 nm	15 nm	6 nm
ゲート材	Al	Al	TiN	TiN	TiN
不純物ドーピング	固相熱拡散法	固相熱拡散法	固相熱拡散法	固相熱拡散法	イオン注入法
S/D深さ	1.6 μm	1.6 μm	100 nm	100 nm	40 nm
ホール径 (contact, via)	50 μm	50 μm	4 μm	4 μm	0.5 μm

ミニマルファブにおける新材料の開発戦略

Development strategy for new materials in Minimal Fab

産業技術総合研究所¹, Hundred Semiconductors²

三浦 典子¹, 根本 一正¹, 野田 周一¹, 池田 伸一¹, 原 史朗^{1,2}

AIST¹ and Hundred Semiconductors²

Noriko Miura¹, Kazumasa Nemoto¹, Shuichi Noda¹, Shinichi Ikeda¹ and Shiro Hara^{1,4}

E-mail: noriko-miura@aist.go.jp

【背景】 半導体デバイスは、長年、Si 単結晶を基板材料として発展してきたが、近年、パワーデバイスや各種光学デバイスの需要増に伴って、実用化された SiC、GaN をはじめ、Ga₂O₃ やダイヤモンド等の新材料ワイドギャップ半導体が目立っている。また、高い光学特性を持つ InP、Al₂O₃ などの化合物半導体材料は、古くから種々の応用に用いられてきたが、さらなる用途拡大で注目されている。これらの材料のうちのいくつかは、需要を見込んで大口径化が急速に進められているが、SiC で最大手の米国 Wolfspeed の倒産が報道されたことに象徴されるように、大口径ウェハの需要が予想を下回り、採算を取りにくいのが現状である。その主な理由は、これら化合物半導体を用いたデバイスの大部分が特殊用途向けで、個々の市場は小さい上に開発段階では市場規模が読みにくく、量産に向けた投資を行うにはリスクを伴うこと、大きめの市場については、シリコン市場を追いかけるには、大口径でなければシリコンの生産性(この場合スループット)にはかなわないとの単純な思い込みで起因する。しかし、本来の生産性は、投資生産性(スループット÷投資額)で測るべきであり、小さな投資であれば、スループット(つまりはウェハ径や装置)は小さくても良いのである。

投資が極めて小さなミニマルファブ^[1]では、ウェハのサイズはハーフインチ(直径 12.5 mm)に統一されており、研究開発から生産まで同じ装置を使用できるため、その全体投資コストを抑えつつ、迅速に製品化できるという利点がある。これまで、ミニマルファブは、投資コストと開発スピードの観点から、特に研究開発に有用であることが示されてきたが、化合物半導体などの新材料では、研究開発のみならず、開発から製造・市場投入の間に横たわる「死の谷」を最小限に抑えることが可能である。従来、新材料には、シリコンに取って代わるために、そして事実として大口径装置しかなかったために、大口径化が必須であるというある種の幻想の元に、世界中で新材料の大口径化を進めてきた。そのため、多くの新材料が実用化に至らず、死の谷に落ち込んでいた。本発表では、その死の谷を克服するミニマルファブにおける新材料を用いたデバイスの開発戦略について議論する。

【開発状況】 表 1 に主な半導体基板材料の物性とミニマルファブでの取り組み状況を示す。ミニマルファブに用いるハーフインチウェハは、大口径のウェハからハーフインチサイズにくり抜いて作製する^[2]。我々は、この大口径ウェハのくりぬき加工とその後の平坦化、表面クリーン化の一連のウェハ製造プロセスの開発に成功している。このウェハ製造プロセスを用いて Si ではデバイス性能に問題のない汚染度と平坦度を持ったウェハを製造している。同時に、新材料についてもハーフインチ化開発を進めてきた。ハーフインチ化の加工で特に難しいのは、ウェハ端面の面取り加工である。特に、ダイヤモンド等の硬い材質は端面加工の難易度が高く、Si のような良好なエッジ形状は得られていないが、ウェハ搬送やスピニングなどのプロセスに問題がないことを確認している^{[3],[4]}。ミニマルファブでは、ウェハ径が小さいため材料コストが安く、また、短 TAT で試作を繰り返し行えるため、プロセス条件出しから単体デバイスの動作検証までに要する期間は、数ヶ月から半年程度である。

【開発戦略】 上記のように、ミニマルファブは、新材料デバイスの研究開発において、コスト面、開発期間の面で、メガファブに比べて圧倒的に優位であるが、それに加えて、化合物半導体デバイスのように個々のデバイスの市場規模が小さい、あるいは、市場規模が予想困難な新規デバイスの場合、市場投入のリスクの観点からも、メガファブに比べて優位であると考えられる。大口径ウェハでデバイスを製造する場合、市場規模が小さく量産が見込めない場合や市場の反応が予測できない場合、多額の投資に見合う採算が取れなくなるリスクがあるため、量産に踏み切るのは難しい。これが、パワーデバイスの需要があるにもかかわらず、化合物半導体デバイスの普及が遅れている原因の一つであると考えられる。ミニマルファブでは、ハーフインチウェハで研究開発から製造まで一貫して行うため、製造のためのコストが抑制できる。加えて、低コストで変種変量生産に対応できるため、少量のデバイスを試験的に市場に投入し、市場の反応を見ることが、量産の可否を判断することも可能である。すなわち、ミニマルファブの製造システムは、新材料デバイスの実用化、普及において、コスト、開発期間、リスクのすべてにおいて優位性があると考えられる。

【参考文献】

[1] S. Khumpuang, et. al, IEEE Trans. Semi. Manufacturing, **28**(3), 551-556 (2015).

[2] 梅山 規男, 他, 第 77 回応用物理学会秋季学術講演会 16p-B10-1 (2016).

[3] 根本 一正, 他, 第 66 回応用物理学会春季学術講演会 9a-M114-9 (2019).

[4] 根本 一正, 他, 第 68 回応用物理学会春季学術講演会 19a-Z24-1 (2021).

表 1 各種基板材料の物性値とミニマルファブでの取り組み状況

材質	用途	バンドギャップ (eV)	Baliga 性能指数	電子移動度 (cm ² /V sec)	放射線 耐性	ハーフインチ 加工実績	プロセス実績 (開発期間)
Si	汎用	1.12	1	1400		◎	CMOS MEMS, etc.
4H-SiC	パワーデバイス 高周波デバイス 耐放射線素子	3.26	300-600	1000	○	未評価	未評価
Diamond	SBD SAW 耐放射線素子	5.45	49000	2200	◎	○	SBD (3ヶ月)
GaAs	光デバイス HEMT	1.42	10	8500		○	Laser diode (2ヶ月)
GaN	光デバイス パワーデバイス 高周波デバイス	3.4	800-1000	900	○	○	LED (数ヶ月)
β-Ga ₂ O ₃	パワーデバイス 高周波デバイス センサ	4.8	3400	300	○	○	リソのみ (半日)
InP	HEMT 光デバイス	1.35	> 500	5400		開発中	未評価
Al ₂ O ₃	光デバイス	(8.8)	-	-		○	光学素子 (半年)

FusionCore テクノロジーによる電子回路チップの超省エネ化

Ultra Energy-saving for electronic chips by FusionCore technology

産総研¹, (株)Hundred Semiconductors² 〇原 史朗^{1,2}, 三浦 典子¹, 池田 伸一¹, 居村 史人^{1,2}
AIST¹, and Hundred Semiconductors, inc.³ 〇Shiro Hara^{1,2} M. Miura, S. Ikeda and F. Imura²
E-mail: shiro-hara@aist.go.jp

チップの省エネルギーは、これまで、(1) スケーリング則に従った微細化による動作電圧の低下でのトランジスタ単体の省エネ、(2) CMOS 集積回路の動作周波数制御による利用段階での省エネの2つの方法によって進められてきた。しかし、(1)は微細化限界が来て行き詰まっており、集積度を上げるための新たな技術である3D化や2.5D化は微細化以外の方法のため省エネにはならない状況である。一方、(2)については、電力制御を実用段階で行っているのは、主にスマホとパソコンに留まっており、それ以外の用途においては、ほぼ最高動作周波数での動作が一般的であって、周波数制御を行っていない。これは何故なのか？

あらゆる電子機器での利用を鑑みた際、スマホ/パソコンとそれ以外の用途においては、2つの制約が見いだされる。一つは、サーバやゲームマシンであって、これらは、高速であることが命題であるために、電力制御に重点を置くことがないということ。それら以外の用途である、IoT向けエッジデバイスや、家電製品、産業機器、医療用途では、そもそも、電子部品であるセンサ、CPU、メモリ、各種アナログ回路、電力制御チップなどチップと、そのチップを統合するプリント基板の回路設計、製造、その回路を用いるセットメーカーが全く違った企業によって開発製造されているために、回路全体のエネルギーマネジメントをやろうという、俯瞰したマクロ設計を誰もやれないという基本問題が内在している。

以上を鑑みると、もしも、これらの電子回路において、統合的なエネルギーマネジメントを行うハード的環境が整備されれば、エレクトロニクス電子回路の周波数制御が一挙進み、新たなエレクトロニクス全体の省エネルギー化が始まる可能性がある。

そのためには、センサ / アンプ / A/D / CPU / メモリ / エネルギーマネジメント回路の統合的な回路設計を可能にするチップレット技術を開発すれば良いだろう。チップレット技術は既に開発が進んでいるが、これは超低価格であったプリント基板技術を前工程化した莫大な設備投資を必須とする技術であって、このために、実際に使われているのはスマホやサーバなど1億個以上(完全前工程技術のInFO技術等の場合)、または1千万個以上(インターポーザ技術を使う場合)の場合に限られていた。エネルギーマネジメントを普及させるためには、IoTエッジ回路などの多品種少量へのチップレット技術の普及が求められる。

そこで、我々は、多品種少量へのチップレット技術の適用のために、多品種少量に適した、ハーフィンチュエハを用いるミニマルファブを用いて、技術開発を始めた。この技術を FusionCore テクノロジーと命名している。本講演では、FusionCore が生み出す、エレクトロニクス分野への省エネインパクト (図1) について、述べる。

※本 FusionCore 技術の開発は、国立研究開発法人新エネルギー・産業技術総合開発機構の脱炭素社会実現に向けた省エネルギー技術の研究開発・社会実装促進プログラムである、2025年度開始される「エッジオンチップ (E o C) 製造プラットフォームの開発」プロジェクトから一部助成を受けて進められる。

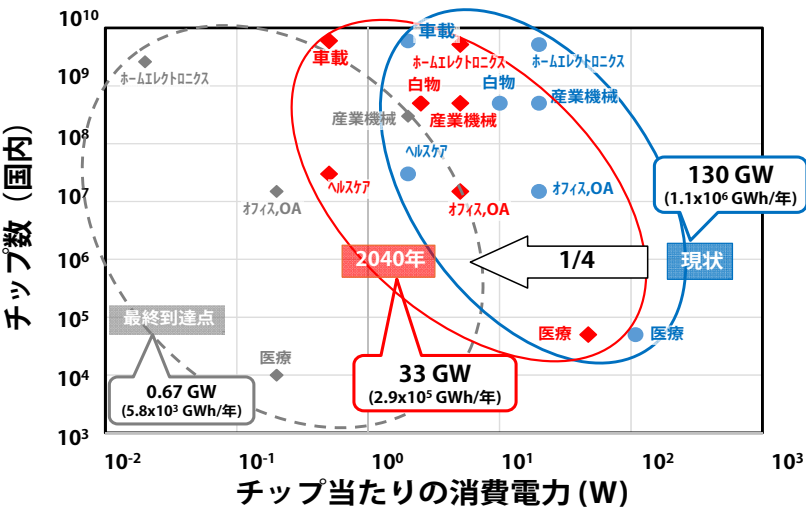


図 1: 日本国内のデバイスチップの消費エネルギーとチップ稼働数

チップレット技術の多品種少量ニーズへの適用：FusionCore 技術の開発

Applying Chiplet Technology to Low-Volume Wide-Variety Production:
Development of the FusionCore Interconnect Technology

¹Hundred Semiconductors, ²産総研
¹Hundred and ²AIST

○居村 史人¹, 杉山 広¹, 三浦 典子², 池田 伸一², 原 史朗^{1, 2}

[○]Fumito Imura¹, Hiroshi Sugiyama¹, Noriko Miura², Shinichi Ikeda² and Shiro Hara^{1, 2}
E-mail: fumito.imura@i-hundred.com

【背景】現在半導体の先端技術のトレンドとなっているチップレット技術は、超低コストのプリント配線板による実装技術を超高コストの前工程技術に置き換えたものである。これには莫大な投資が必要であり、この投資回収のために、スマホやサーバなど1千万～1億個ものニーズが必要であった。このため、多品種少量ニーズには一切適用は不可能であった。特に、センサ、アンプ、ADC、プロセッサ、メモリ、パワーマネジメントのからなるセンサシステムであるIoTデバイスでは、本来、ニーズに応じて、各デバイスの仕様、動作周波数などは個別最適化されたものであるべきで、自ずと多品種少量的な性質を持っている。そこで、我々は、設備投資額が1/1,000となるミニマルファブを用いて、多品種少量品であるIoTデバイスをエッジ・オン・チップ(EoC)と命名し(図1)、EoCのチップ間接続技術をFusionCoreと名付けて、本先端パッケージングプロセス技術の開発を進めている。

【FusionCore: EoCのチップ間接続技術】チップレットのチップ間相互接続技術の要素技術としては、再配線(RDL: Re-Distribution Layer)形成がある。また、チップ間接続は大別して、後工程技術から発展したマイクロバンプ接続技術と、前工程技術から発展したビア接続技術がある。ビアの例としては、図2(a)に示すようなTSMCのInFOがあり、めっきでCuピラーを形成、モールドして、モールド樹脂を研削することでCuピラーを頭出しする技術がある。これに対して、我々が開発しているビア形成技術は、従来、プリント配線板のビア加工に一般的に用いられてきたレーザビア加工をこのEoCに応用した技術である。ここで課題となるのが、モールド樹脂には、エポキシ樹脂中にフィラーと呼ばれるSiO₂の球状粒子が無数に含まれており、これがレーザアブレーション時にデブリとなってビア付近に再付着することや、ビア底に残留するなどして、ビアの電氣的導通を阻害する大きな要因となる。これは先端パッケージ技術にレーザビア技術を導入することの根本課題である。

【FusionCore 実証実験】ミニマルファブの先端パッケージングプロセスラインを用いて、FusionCore技術の実証実験結果を示す。図3(a)には、各デバイスチップを模したSiチップを42アロイ基板に搭載したモールドプロセス前の状態の実体顕微鏡写真である。図3(b)には、レーザビアとRDLによるチップ間接続を検証するために、1チップ30個のビアを形成したチップを6チップ搭載して、レーザビアとCu-RDLからなるディジーチェーンを形成して、全180個のビアの電氣的接続を実証した例である。

本講演では、FusionCore技術の技術的背景、開発課題、実証実験結果について述べる。

本FusionCore技術の開発は、国立研究開発法人新エネルギー・産業技術総合開発機構の脱炭素社会実現に向けた省エネルギー技術の研究開発・社会実装促進プログラムである、2025年度開始される「エッジオンチップ(EoC)製造プラットフォームの開発」プロジェクトから一部助成を受けて進められる。

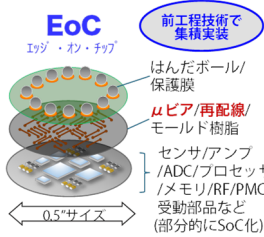


図 1. EoC(エッジ・オン・チップ)

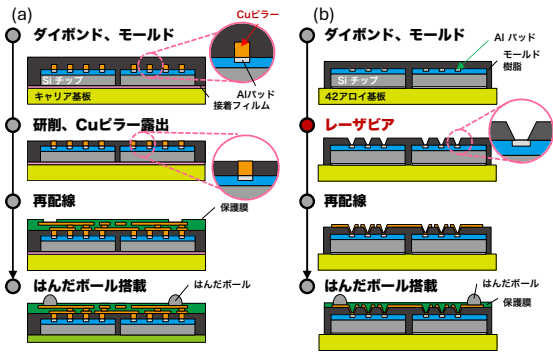


図 2. ビア形成プロセスの違い (a)Cu ピラー、(b)レーザビア

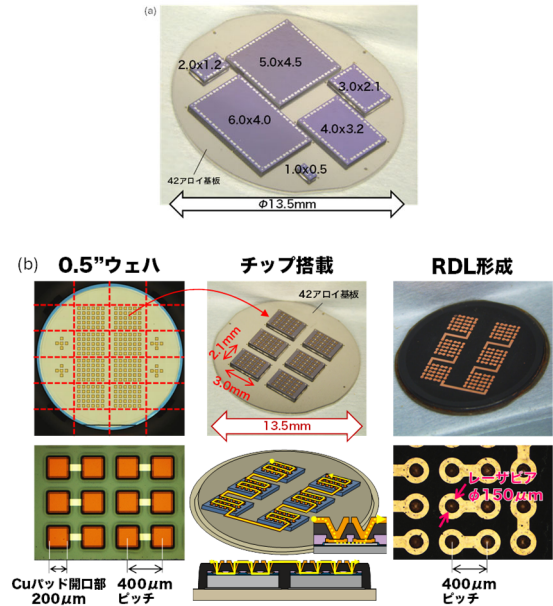


図 3. FusionCore 実証実験例 (a)マルチチップ搭載、(b)レーザビア/RDLによるチップ間接続

ウェハドロップレット洗浄技術におけるプロセス室内の湿度と圧力の制御

Controlling humidity and pressure in a process chamber in wafer droplet cleaning technology

産業技術総合研究所¹, (株)Hundred Semiconductors²

○根本一正¹, 三浦 典子¹, 池田 伸一¹, 原 史朗^{1, 2},

AIST¹ and Hundred²

Kazumasa Nemoto¹, Noriko Miura¹, Shinichi Ikeda¹, and Shiro Hara^{1, 2}

E-mail: nemoto.kazumasa@aist.go.jp

【背景と研究目的】超小型デバイス生産システムミニマルファブ[1]は、製造装置が人と同程度の超小型でクリーンルームが不要であることが大きな特徴である。メガファブ向け大口径ウェハの直径 300 mm と比べて、ミニマルファブのウェハは直径が 12.5 mm で、面積は 1/1,000 に縮小されるために、ウェハをスキャンニングするプローブ技術においては、スキャンニング時間つまりプロセス時間が 1/1,000 になるため非常に有利である。さらに、ウェハが小さくなると、ウェットプロセスでは、ウェハエッジでの表面張力が強く働き、その強い表面張力を利用してウェハ表面に液体を保持したまま化学反応が進行するため、省薬液になる。しかし、ウェハ上面からの薬液掛け流し方式では、裏面の洗浄やエッチングが出来ないだけでなく、ウェハが小さいため裏面へのエッジ部からの薬液が回り込んで汚染されるという課題があった。この課題に対し、ウェハを下方から保持するウェハステージにリングを装着する事により、ウェハ裏面空間に薬液を溜めることができ、このことによりウェハ表面と裏面の表面張力が連動してウェハ上下の液体が一体化して溜まり、同時両面洗浄が可能になる wafer droplet cleaning 法が開発された[2]。この新手法での課題は、表面張力が上がったことにより、ウェハ洗浄薬液を超純水に置換するリンスが逆に難しくなることにある。この課題に対しては、間欠的な純水リンスの供給によって、消費量を削減したリンス方法で効果が上がることが分かった[3]。ところが、図 1(a)に示すようにプロセス室内に水滴が充満している周辺環境の問題が見いだされた。水滴が多い環境内では、乾燥がしにくい問題が発生する。本報告では、プロセス室内の湿度を下げる事でプロセス室内の水滴発生を抑制出来た(図 1(b))ので報告をする。

【実験と結果】Wafer Droplet Cleaning 法では、洗浄プロセス中に、ウェハ両面に低速回転で液を溜め、次に高速回転で液を振切ることを繰り返す。この時、石英のウェハステージ内に内蔵されているランプヒータでウェハごと液を温めている。その後乾燥室素を導入して、高速回転で乾燥を行う。

図2は、プロセス室内の吸気と排気を表した図である。図 2(a)より室素を吐出しプロセス室内を室素で満たす。また、ウェハステージの回転軸には、液体が入らない様に(c)から回転軸のベアリング部に室素を吐出して(d)から排気をする。ウェハ洗浄で使用された液体は、排気・廃液兼用口(e)より廃液され、廃液タンクに回収されるが、プロセス室内ガスも同ラインで排気される。ウェハ乾燥時は、(b)のウェハ直上の薬液吐出ヘッドより室素を吐出してウェハステージを高速回転することにより乾燥させる。

図3は、プロセス室に排気専用ライン(f)(e)は排気と廃液共用)を増設(図2(f)の有り無しで、薬液洗浄(実験では純水)、超純水リンス、乾燥プロセスを行った場合のプロセス室内の湿度と圧力の結果である。初めに薬液洗浄プロセスをヒーターONで行った。排気ライン増設なしでは、湿度 48%(図3(a))、圧力 580pa(図3(c))になる。増設ありにすると、湿度 38%(図3(b))、圧力 210pa(図3(d))と共に低くなった。超純水リンスプロセスでは、ヒーターOFFにして行った。増設なしでは、湿度 50%(図3(a))、圧力は 580pa から 380pa(図3(c))に低下する。一方増設ありでは、湿度 40%(図3(b))、圧力の変動は少なく 220pa(図3(d))であり、排気に違いが見られる。最後に乾燥プロセスでは、室素吐出と高速回転(3000rpm)で行う。湿度は、増設が有り無し共に、乾燥はじめには液体が振切りされて湿度は 68%まで上昇するが、150sec 後には、40%まで低下する。しかし、圧力には差があり増設なしでは 840pa(図3(c))に対し、増設ありでは 580pa(図3(d))となり、プロセス室内ガスの滞留が少ないと考えられる。その後、洗浄されたウェハは、プロセス室のドームが上昇して、プロセス室を包んでいるシールド室(室素雰囲気湿度:22%)とプロセス室内がつながるとシールド室内は、湿度 22%になり圧力も 10pa ほどで搬送される。増設ありなしでのパーティクル結果を図4に示す。増設ありで処理したウェハパーティクル(図4(a))は、49 個[0.15 μm 以上]に対し、増設なしのパーティクル(図4(b))は、5 個と少なくなった。

【結論】プロセス室内に吐出された乾燥室素がウェハステージの下部に増設した排気専用ライン(図2(f))より、湿度が高いガスは排気されプロセス室内の湿度が低下することにより、ウェハパーティクル(ウォーターマーク)の少ない洗浄が可能になった。

<参考文献>

[1]原史朗, クンプアンソマワン, 「ミニマルファブの開発とそのデバイスプロセス」, 応用物理, 83(5), 380 (2014).
[2] 根本一正, 他, 第69回春季応用物理学会24a-E103-12(2022),
[3] 根本一正, 他, 第70回春季応用物理学会15a-B410-6(2023)

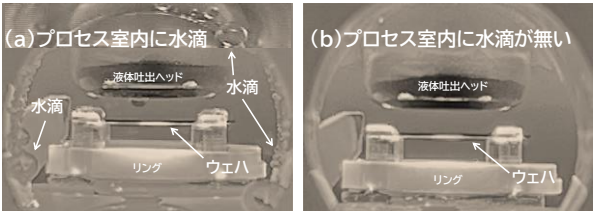


図 1. プロセス室内の壁に水分付着と乾燥している時の写真

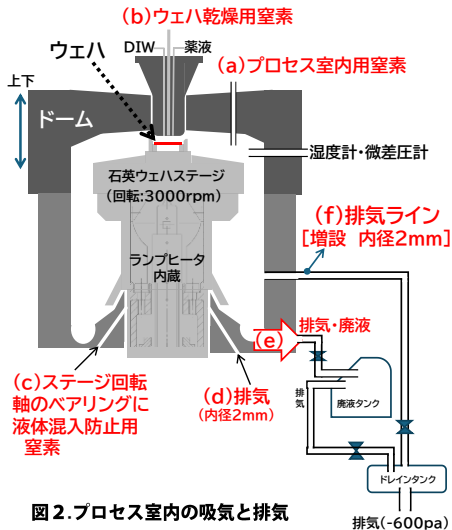


図 2. プロセス室内の吸気と排気

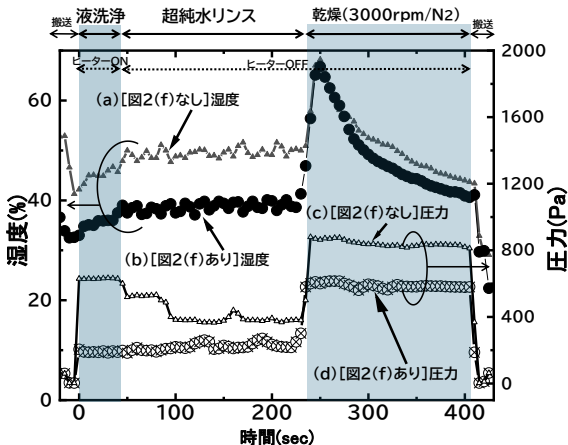


図 3. 実験前後のプロセス室内のプロセス中の湿度と圧力

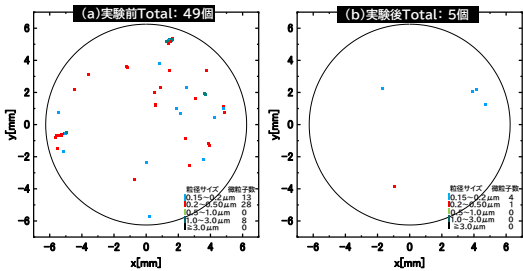


図 4. 実験前(a)と実験後(b)ウェハパーティクル

13 Semiconductors | Oral presentation : 13.4 Si processing /Si based thin film / MEMS / Equipment technology

[8p-N324-1~13] 13.4 Si processing /Si based thin film / MEMS / Equipment technology

[8p-N324-1]

Proposal on tabletop monolithic 3D-IC fab

OWENCHANG YE¹ (1.Shimane Univ.)

[8p-N324-2]

Effect of RTA on Upside-Down InSb Films Deposited by RF Sputtering

○Shuhei Shimizu¹, Tatsushi Higa¹, Takashi Noguchi¹, Takashi Kajiwar², Taizoh Sadoh², Tatsuya Okada¹ (1.Univ. Ryukyus, 2.Kyushu Univ.)

[8p-N324-3]

Crystallization of InSb Films on Polyimide using RTA

○Tatsushi Higa¹, Shuhei Shimizu¹, Takashi Noguchi¹, Takashi kajiwar², Taizoh Sadoh², Tatsuya Okada¹ (1.Univ. Ryukyus, 2.Kyushu Univ.)

[8p-N324-4]

Analysis of carrier conduction along grain boundaries for polycrystalline Ge TFT

○Linyu huang¹, Kota Igura², Kaoru Toko², Dong Wang¹, Keisuke Yamamoto^{1,3} (1.Kyushu Univ., 2.Univ. of Tsukuba, 3.Kumamoto Univ.)

[8p-N324-5]

Ge nanosheet formation by selective nitrogen removal from Ge nitride films

○(M2)Shuta Morimoto^{1,2}, Ryunosuke Tsuda¹, Takuji Hosoi^{1,2} (1.Kwansei Gakuin Univ., 2.NIMS)

[8p-N324-6]

Surface activated bonding of semiconductor wafers using ALD-Al₂O₃ thin film

○Keigo Saito¹, Ryuga Kikuchi¹, Junichi Suzuki¹, Reo Aoyama¹, Rin Kawanabe¹, Yoshiki Maruyama¹, Shuto Fujiwara¹, Taisei Kono¹, Kouichi Akahane², Yasushi Inoue¹, Shiro Uchida¹ (1.Chiba Tech., 2.NICT)

[8p-N324-7]

Characterization of Young's Modulus Anisotropy in Single-Crystal Diamond

○Zhaozong Zhang¹, Wen Zhao¹, Guo Chen¹, Satoshi Koizumi¹, Meiyong Liao¹ (1.NIMS)

[8p-N324-8]

Development of a sensor head for a measurement system of silicon wafer surface temperature distribution using bundled fiber

○Harumu Ono¹, Jiawen Yu¹, Hiroaki Hanafusa¹, Seiichiro Higashi¹ (1.Hiroshima Univ.)

[8p-N324-9]

CLC Grain-Boundary-Free Si film Growth from the Explosively Crystallized Films

○Nobuo Sasaki^{1,2}, Satoshi Takayama², Yukiharu Uraoka² (1.Sasaki Consulting, 2.NAIST)

[8p-N324-10]

Cu-MIC double-gate poly-Ge TFT on plastic substrates with CuAl₂ phase in SD

○Akito Kurihara¹, Daiki Goshima¹, Akito Hara¹ (1.Tohoku Gakuin Univ.)

[8p-N324-11]

Development of Si capacitors with a breakdown voltage exceeding 1 kV using a thermal oxide-based dielectric layer.

○Akira Sagawa¹, Shunsuke Akasaka¹ (1.ROHM Co., Ltd.)

[8p-N324-12]

Development of high-Q and high-frequency piezoelectric thin-film resonators

○Yurina Amamoto¹, Koji Terumoto¹, Kenji Goda¹, Noriyuki Shimoji¹, Takashi Naiki¹, Takashi Kimura¹, Yoshiaki Oku¹ (1.Rohm Co., Ltd.)

[8p-N324-13]

Noise characteristics of piezoresistive readout in SOI MEMS beam resonators

○Ryotaro Takeuchi¹, Zhang Ya¹, Liu Qian¹, Hirakawa Kazuhiko¹, Morohashi Isao² (1.Tokyo Univ. of Agri., 2.NICT)

卓上モノリシック 3D-IC ファブの提案

Proposal on tabletop monolithic 3D-IC fab

島根大 ○葉 文昌

Shimane Univ., Wenchang Yeh

E-mail: yeh@riko.shimane-u.ac.jp

世の半導体工場が微細化の進化軸で生産性最大化に突き進んできた結果、競争淘汰でメガファブ化と市場寡占化が進んだ。容量と変化速度はトレードオフな関係にあるため、メガファブは市場の急激な変革には弱い。規模が小さい旧世代ファブは残っているが、同じ進化軸ならばメガファブに対する優位性はない。我々は多様な半導体材料デバイスのモノリシック 3D 集積化を目指し、SiO₂ 上薄膜でシェブロンレーザ走査液相成長(μ CLS)による単結晶帯成長を提案している。これまでに Si、Ge、Al、Cu₂O、In₂O₃、GaN などの薄膜で単結晶帯成長を実現し、中でも Si と Ge で結晶方位を(001)に制御できている。cw レーザ誘起液相成長では、膜溶解時間は 10 μ s 程度と Cz 法よりも数桁小さいため接触下地からの酸素拡散量は Cz 法よりも少なくでき、高品質な結晶を得ることが可能と考えている。MOSFET の試作については、安全なスパッタ法による Si 膜と SiO₂-GI 膜で単結晶 Si 相応の特性を有する MOSFET を実現している。図 1 に我々の標準基板である 18mm 角石英基板に作製した MOSFET アレイを示した。クリーンルームがなくても最低 6 割は動作しているため、ばらつき評価もできている。これら石英上薄膜で単結晶帯を作る技術と、スパッタ法で MOSFET を作る技術を組合せば、図 2 の、卓上モノリシック 3D-IC ファブが可能となる。石英基板を導入してからチャンバ間をロボットアーム転送して IC を完成させるので、クリーンルームを必要としない。また微細化を求めなければ最小ルール 20 μ m のメタルマスクで CMOS 回路を作れる。この場合 MOSFET 作製に要する時間は 10 日未満と短い。優れた MOSFET を実現するための核心技術は、結晶、GI、ドーピングである。結晶については既存 Si と Ge の更なる結晶性向上以外にも様々な機能性薄膜の結晶成長を試みている。GI は SiO₂ 以外に High-k の HfO₂ も確立しつつある。ドーピングは、高温熱拡散、レーザードーピング、スパッタエピなどを一通り確立しているが、利便性でイオン注入(i/i)に劣るので、小型 i/i 装置が望まれる。発表時では現段階でのスパッタ法で作製した MOSFET の特性を紹介する。

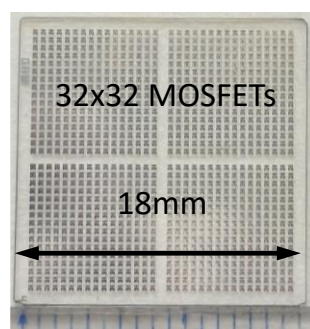


Fig.1 Our standard 18mm□ quartz substrate with MOSFETs

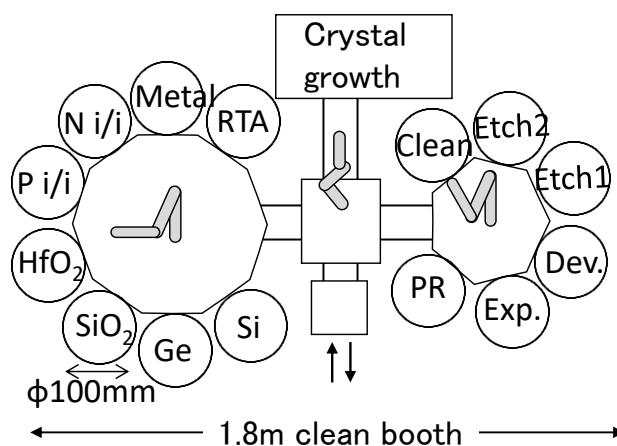


Fig.2. Proposed monolithic 3D-IC fab

RF スパッタ成膜した InSb 薄膜の裏返し RTA の効果
Effect of RTA on Upside-Down InSb Films Deposited by RF Sputtering
琉球大学¹, 九州大学²

清水 脩平¹, 比嘉 辰志¹, 野口 隆¹, 梶原 隆司², 佐道 泰造², 岡田 竜弥¹
Univ. of the Ryukyus¹, Kyushu Univ.², °Shuhei Shimizu¹, Tatsushi Higa¹,
Takashi Noguchi¹, Takashi Kajiwara², Taizoh Sadoh², and Tatsuya Okada¹
E-mail: shimizu_sjx@cs.u-ryukyu.ac.jp, tokada@cs.u-ryukyu.ac.jp

【はじめに】InSb は単結晶状態で非常に高い移動度を持つ半導体で、主に赤外線センサや、磁気センサとして利用されている。現在の InSb 薄膜の成膜方法としては、雲母基板を用いて、MBE 法によるエピタキシャル成長が主流であるが、雲母基板が高コストになっている。そのため本研究室ではガラス基板に RF スパッタリング法によって成膜し RTA 法によって結晶化することを検討している。InSb 成膜時にキャップ膜として SiO₂ や SiN を成膜することで、RTA により高い移動度が得られ、組成比(In:Sb=1:1)が崩れるのを抑制できることを報告している [1,2]。

本研究では SiO₂ キャップ膜を用い、試料表面を下にして裏返し RTA を行い、効果を検証した。

【実験及び結果】洗浄したガラス基板に RF スパッタリング法を用いて 200~600 nm の InSb 薄膜を成膜後、真空一貫でキャップ膜として 50 nm および 100 nm 厚の SiO₂ 薄膜を成膜した。成膜した試料を 5mm□にカットし、窒素雰囲気中で 500°C、30 s の裏返し RTA を行った。RTA 後 SEM-EDS により InSb の組成比、van der Pauw 法により Hall 移動度を評価し、通常の置き方で RTA した試料と比較した。InSb 膜厚に対する Sb/In 比を図 1 に示す。いずれの InSb 膜厚においても裏返し RTA の Sb/In 比は通常 RTA と比較して 10 ポイント近く高く、裏返し RTA が組成比ずれ抑制に効果的であると考えられる。Sb/In 比に対する Hall 移動度を図 2 に示す。裏返し RTA を適用した試料では、通常の RTA 処理を施した試料に比べて高い Hall 移動度を示し、Sb/In 比が 100%に近づくにつれて Hall 移動度も線形に向上する傾向が確認された。裏返し RTA によって InSb 薄膜が SiO₂ 膜に加えてガラス台でキャップされることで組成比ずれが抑制され、Hall 移動度が向上したと考えられる。

【参考文献】

[1]梶原 隆司, 他, 第 70 回応用物理学会(春季) [15p-B410-13] (2023)
[2]阪本 弦太, 他, 第 68 回応用物理学会(春季) [18p-Z24-8](2021)

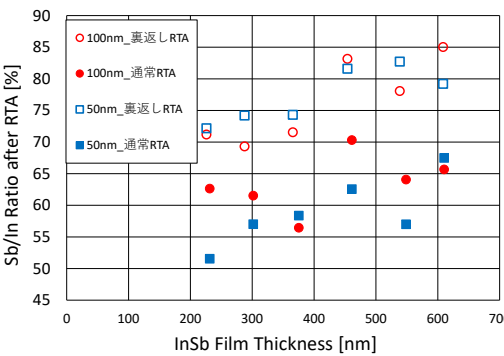


Figure 1. Dependence of InSb film thickness on Sb/In ratio after RTA

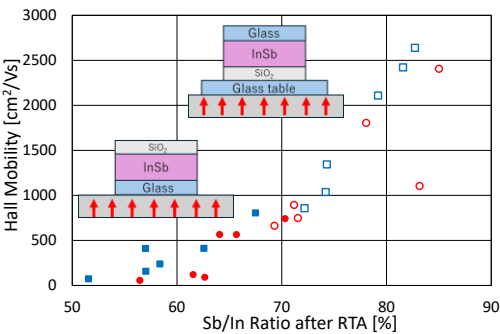


Figure 2. Dependence of Hall mobility on Sb/In ratio after RTA

ポリイミド上 InSb 薄膜の RTA 結晶化

Crystallization of InSb Films on Polyimide using RTA

琉球大学¹, 九州大学², [○]比嘉 辰志¹, 清水 修平¹, 野口 隆¹,

梶原 隆司², 佐道 泰造², 岡田 竜弥¹

Univ. of the Ryukyus¹, Kyushu Univ.², [○]Tatsushi Higa¹, Shuhei Shimizu¹, Takashi Noguchi¹,

Takashi Kajiwara², Taizoh Sadoh², and Tatsuya Okada¹

E-mail: k248481@eve.u-ryukyu.ac.jp, tokada@cs.u-ryukyu.ac.jp

【はじめに】InSb は高結晶状態で非常に高い移動度を持つ半導体材料であり、高感度ホール素子として広く利用されている。また、フレキシブルパネルのポリイミドは電子デバイスへの優れた適応性のため幅広い用途で用いられている。本研究室ではこれまでに、ガラス上に RF スパッタ法で成膜した InSb 膜の Hall 移動度が、RTA(Rapid Thermal Annealing)を用いて結晶化すると増大することを報告した[1-3]。一方、ポリイミド上に成膜した InSb 膜については、RTA 見込み温度 570℃、処理時間 30 s で 1700 cm²/Vs 程度の移動度が得られることを報告した[4]。本研究では RTA 条件を大きく変化させ、移動度のさらなる向上を試みた。

【実験および結果】ガラス上に貼られたポリイミド上に Ar ガスを用いた RF スパッタ法により 300~400 nm 厚の InSb 薄膜を成膜した。その後、図 1 のようにガラス台上に試料を裏返して設置し N₂雰囲気中で見込み温度 500~580 °C、処理時間(見込み温度を維持する時間)0 s~60 s で下面から赤外線ランプを照射して RTA を行った後、van der Pauw 法により Hall 移動度を評価した。伝導型は n 型であった。

Hall 移動度の RTA 見込み温度依存性を図 2 に示す。RTA を施すことで Hall 移動度が上昇し、540 °C、0 s で 2200 cm²/Vs 程度の値が得られ、RTA 時間・温度の調整により、移動度のさらなる向上が見込まれる。なお、各条件の試料間において移動度のばらつきがみられるが、この原因としてカット時に生じたポリイミドのうねりにより下方から供給される熱が

InSb 膜全体に良好に伝わらないことが考えられる。

Figure 2 Hall Mobility of InSb/Polyimide

【謝辞】ポリイミドフィルム(Xenomax®)を提供頂き激励をいただいている東洋紡(株)土屋俊之様、奥山哲雄様に感謝いたします。

【参考文献】

- [1] C. J. Koswaththag, *et al.* AIP Advances, Volume 6 (2016) 115303.
- [2] 霜田 音吉, 他. 第 69 回応用物理学会(春季) [24p-E103-15] (2022).
- [3] 梶原 隆司, 他. 第 70 回応用物理学会(春季) [15p-B410-13] (2023).
- [4] 比嘉 辰志, 他. 第 72 回応用物理学会(春季) [17a-K103-11] (2025).

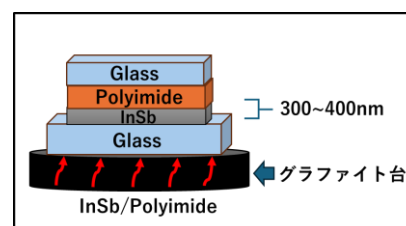
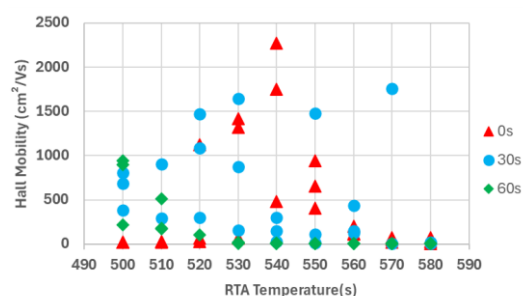


Figure 1 Schematic diagram of RTA



多結晶 Ge TFT における粒界に沿ったキャリア伝導の考察

Analysis of carrier conduction along grain boundaries for polycrystalline Ge TFT

九州大学¹, 筑波大学², 熊本大学³ ○黄 林昱¹, 居倉 功汰², 都甲 薫², 王 冬¹, 山本 圭介^{1,3}

Kyushu Univ.¹, Univ. of Tsukuba², Kumamoto Univ.³

○ Linyu Huang¹, Kota Igura², Kaoru Toko², Dong Wang¹, Keisuke Yamamoto^{1,3}

E-mail: huang.linyu.311@s.kyushu-u.ac.jp

背景と目的 モノリシック 3D LSI やフレキシブルデバイスを実現するためには、500 °C 以下の低温で絶縁体上に TFT を形成する必要がある。この用途に有望な材料として、高いキャリア移動度と低い結晶化温度を持つ Ge が挙げられる。我々はこれまでに、高品質な固相成長 (SPC) poly-Ge を用いた p および n チャンネル TFT、CMOS インバータを実現し [1-3]、またチャンネル幅の縮小が n チャンネル TFT の ON/OFF 比の改善に効果的であることを報告してきた [4]。今回は、TFT のチャンネル幅を変調させることで、多結晶 Ge の粒界に沿ったキャリア伝導 (移動度) について考察した結果を報告する。

実験 SPC-Ge および TFT は、これまでに報告したプロセスに基づいて作製した [2]。チャンネル形状およびチャンネル幅による TFT 特性への影響を調べるために、従来型の長方形チャンネルと新たに設計したダンベル型チャンネルの 2 種類を、同一基板上に形成した。これにより、材料やプロセス条件を揃えたまま、チャンネル形状・幅の違いだけに着目して比較できるようにしている。

結果と考察 Fig. 1 に、同じチャンネル幅の単純長方形チャンネルとダンベル型チャンネルの I_D - V_G 特性の比較を示す。ダンベル形状にすることで OFF 電流が抑えられていることがわかる。Fig. 2 にダンベル形状チャンネルでチャンネル幅を変化させた際の I_D - V_G 特性の違いを示す。ON 電流の減少度合いに比べて、OFF 電流がより大幅に減少し、ON/OFF 比が向上することがわかった。以上の結果から、チャンネル幅と形状の最適化は n-TFT の性能向上に有効であることが示された。

多結晶 TFT では単結晶上の FET と異なり、結晶粒界に沿って流れる電流が存在する。この原理に基づき、本研究ではチャンネル幅の異なる複数の TFT を用いて、結晶粒界に沿って流れる電流を解析する手法を提案する。この手法は、「TFT チャンネルを横断する粒界の数はチャンネル幅に比例する」「TFT の OFF 電流は、粒界に沿って流れる電流成分が支配的である」との前提に基づいている。このことから、OFF 状態のチャンネル抵抗 $R_{ch||}$ はチャンネル幅に反比例するとのモデルを構築した。実験結果とモデルを比較した結果を Fig. 3 に示す。この結果から得られた、粒界に沿って流れるキャリアの移動度は約 20 cm²/Vs であり、多結晶 Ge 全体の移動度 (約 250 cm²/Vs) よりも一桁小さい値となった。モデルの詳細および結果の妥当性については当日議論する。

謝辞 本研究は、NEDO 未踏チャレンジ 2050(P14004)、JST-SPRING(JPMJSP2136)、JST-ASPIRE(JPMJAP2413)、ならびに東北大学電気通信研究所共同研究プロジェクト(R06/A06)の支援を受けて実施された。

参考文献 [1] K. Moto *et al.*, Appl. Phys. Lett. 114, 112110 (2019). [2] L. Huang *et al.*, Jpn. J. Appl. Phys. 63, 02SP42 (2024). [3] A. Morimoto *et al.*, Ext. Abst. SSDM 2024, 479. [4] L. Huang *et al.*, Ext. Abst. SSDM 2024, 493.

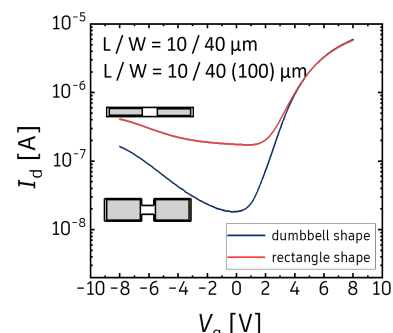


Fig.1 I_D - V_G comparison for different island shapes with the same channel length and the same channel width.

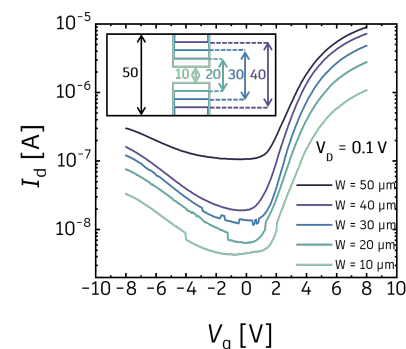


Fig.2 I_D - V_G characteristic with different channel width and the same channel length $L = 10 \mu\text{m}$.

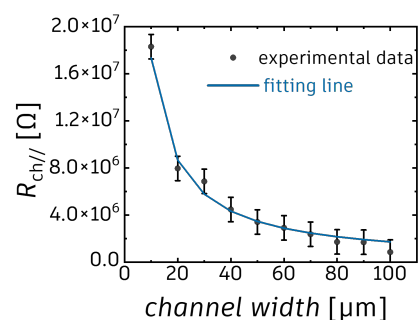


Fig.3 Comparison of the model and experimental data for the relationship between $R_{ch||}$ and channel width with channel length $L = 5 \mu\text{m}$.

Ge 窒化膜からの選択的窒素除去による Ge ナノシート形成

Ge nanosheet formation by selective nitrogen removal from Ge nitride films

関学大院理工¹, 物材機構² ○(M2) 森本 修太^{1,2}, 津田 龍之介¹, 細井 卓治^{1,2}

Kwansei Gakuin Univ.¹, NIMS², °Shuta Morimoto^{1,2}, Ryunosuke Tsuda¹, Takuji Hosoi^{1,2}

E-mail: hyk46819@kwansei.ac.jp, HOSOI.Takuji@nims.go.jp

【背景・目的】CMOS の微細化により、トランジスタ構造は平面型から Fin 型を経て、半導体ナノシートをゲートスタックで囲んだ GAA 型となっている。短チャネル効果抑制にはナノシートの薄層化が求められるが、Si ナノシートは厚さが 4 nm 以下になると表面ラフネスの影響で移動度が急激に劣化することが知られている[1]。そのため、原子レベルで平坦な 2 次元材料の導入が有望視されており、MoS₂ や WSe₂ などの 2 次元材料の研究が進められている。一方で、Ge(111)ナノシートは厚さ 2 nm であっても 2 次元材料より高い電子移動度を持つ可能性が示唆されている[2]。しかし、smart-cut 法と薄化で作製した厚さ 7.3 nm の Ge(111) MOSFET の移動度は極めて低く[3]、結晶性に優れる Ge 層が必要である。そこで、Ge 基板上にプラズマ窒化により形成した GeN/Ge 構造で、580°C 以上の真空アニールを施すと、窒素のみ選択的に脱離し Ge が固相再結晶化したという報告[4]を基に、サファイア基板上に極薄 Ge 窒化膜を成膜し、熱処理で窒素のみを選択的に除去することによって Ge(111)ナノシートの形成を試みた。

【実験方法及び結果】サファイア基板と Si(001)基板を洗浄後、反応性スパッタ装置を用いて GeN 膜を 3 nm 堆積した。その後、700°C で 10 分間の真空アニールを行ったところ、Fig. 1(a),(b)に示すように、サファイア基板では Ge 3d および N 1s ピークが消失し、GeN 膜が完全に熱分解したことがわかった。一方、Si 基板では、Ge 3d ピークは完全に消失したが (Fig. 1(a))、N 1s ピークは減少したものの残留しており (Fig. 1(b))、Si 2p スペクトルで結合エネルギー 102.5 eV 付近に Si-N 結合に帰属するピークが存在することから Si 窒化膜が形成されていることがわかった (Fig. 1(c))。これは GeN 膜から窒素が Si 基板側に移動したことを意味している。そこで、サファイア基板上に堆積した 3 nm の GeN 膜の上に 3 nm の Si キャップ層を積層し、700°C と 800°C の真空アニールを行った結果を図 2 に示す。いずれの温度でも、Ge 3d スペクトルで Ge-Ge 成分 (29.4 eV) の増加が見られた一方で (Fig. 2(a))、N 1s ピークに大きな変化はなく (Fig. 2(b))、Si 2p ピーク位置が Si-N 結合へとシフトしていることから (Fig. 2(c))、窒素は Si キャップ層へと移動したことがわかる。700°C では Ge-N 成分が混在しているものの、800°C ではほぼ Ge-Ge 成分のみになっており、Ge ナノシートの形成が示唆される。講演当日はラマン分光などの解析結果も報告する。

[1] K. Uchida *et al.*, IEDM Tech. Dig. 805 (2002). [2] K. Sumita *et al.*, IEEE Trans. Electron Devices. **69**, 2115 (2022). [3] C.-M. Lim *et al.*, J. Electron Dev. Soc. **9**, 612 (2021). [4] T. Hosoi *et al.*, Jpn. J. Appl. Phys. **47**, 2415 (2008).

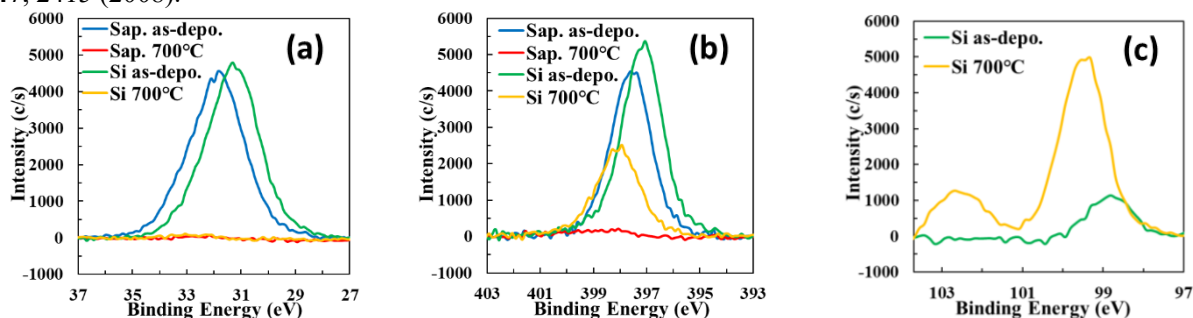


Fig. 1 (a)Ge 3d (b)N 1s (c)Si 2p XPS spectra acquired from the GeN/sapphire structures.

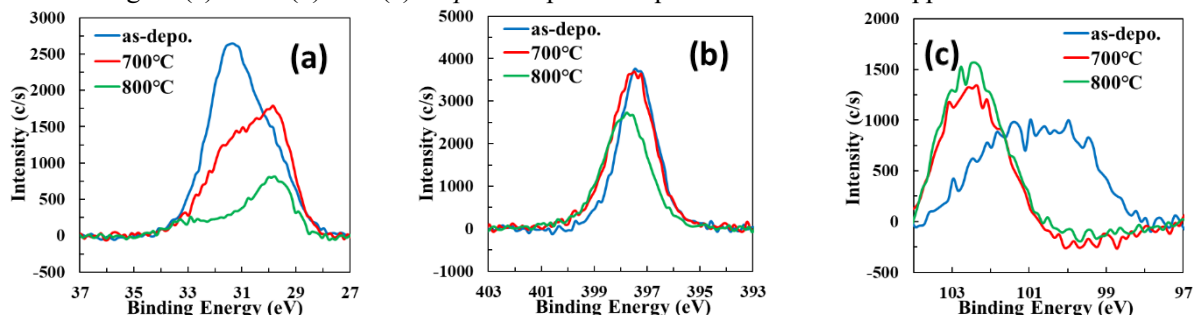


Fig. 2 (a)Ge 3d (b)N 1s (c)Si 2p XPS spectra acquired from the Si/GeN/sapphire structures.

ALD 成長 Al_2O_3 薄膜層を用いた半導体基板の表面活性化接合

Surface activated bonding of semiconductor wafers using ALD- Al_2O_3 thin film

千葉工業大学¹, 情報通信研究機構² ○(M1)齊藤 圭胡¹, 菊池 隆雅¹ 鈴木 淳一¹, 青山 怜央¹,

川鍋 凜¹, 丸山 佳己¹, 藤原 柊人¹, 河野 泰征¹, 赤羽 浩一², 井上 泰志¹, 内田 史朗¹

Chiba Institute of Technology.¹National Institute of Information and Communications Technology.²

°Keigo Saito¹, Ryuga Kikuchi¹, Junichi Suzuki¹, Reo Aoyama¹, Rin Kawanabe¹, Yoshiki Maruyama¹,

Shuto Fujiwara¹, Taisei Kono¹, Kouichi Akahane², Yasushi Inoue¹, Shiro Uchida¹

E-mail: s21A3064sp@s.chibakoudai.jp

[背景] 表面活性化接合は太陽電池や様々なデバイスの作製に利用されている。近年では、中間層を導入し接合することで高い接合強度が得られることが報告されている [1][2]。

本実験では、p-Si に Al_2O_3 を ALD で成膜しその後高速原子ビーム(FAB: Fast Atom Beam)を用いて表面活性化接合を行い、その接合サンプルの電気特性について調査した。

[実験方法] 本実験では 7 mm×7 mm の p-Si ($1 \times 10^{19} \text{ cm}^{-3}$)の裏面にオーミック電極 Al を備えた基板を用意し、その後 p-Si 上に原子堆積層成膜 (ALD) で Al_2O_3 を 5 nm 成膜し接合実験を行った。比較の為に、 Al_2O_3 膜のない p-Si/p-Si の接合も行った。

[結果及び考察]

図 2 に接合サンプルの J-V 特性を示す。p-Si//p-Si、p-Si/ Al_2O_3 // Al_2O_3 /p-Si どちらの接合でもオーミックライクな J-V カーブとなった。

図 2 より J-V カーブの傾きが p-Si 同士の接合よりも大きくなったのは接合界面のアモルファス層がアニールしたことで再結晶化したためだと推定している。

[謝辞] 本研究の一部は、JSPS 科研費(JP22K04202)の助成を受けたものです。

[参考文献]

[1] Ryo Takakura et al., Scientific Reports volume 13, Article number: 3581 (2023).

[2] Jun Utsumi et al., Jpn. J. Appl. Phys, 55, 026503 (2016).

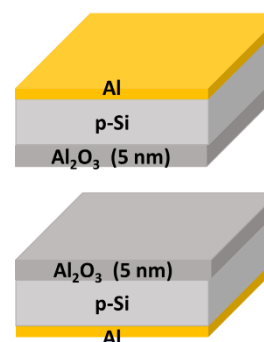


Fig1. Bonding structure of p-Si/ Al_2O_3 // Al_2O_3 /p-Si

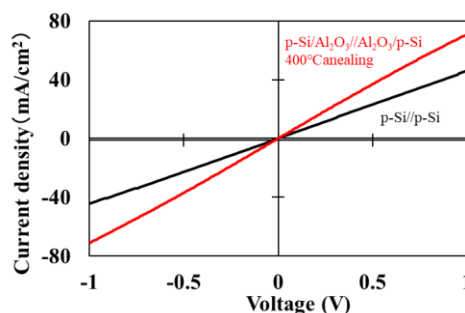


Fig2. J-V characteristic of p-Si/p-Si and p-Si/ Al_2O_3 // Al_2O_3 /p-Si

Characterization of Young's Modulus Anisotropy in Single-Crystal Diamond

National Institute for Materials Science

°Zhaozong Zhang, Wen Zhao, Guo Chen, Satoshi Koizumi, Meiyong Liao*

E-mail: ZHANG.Zhaozong@nims.go.jp

[Background] Diamond serves as an attractive material for microelectromechanical systems (MEMS) owing to its superior properties, including high mechanical strength, low coefficient of thermal expansion and the highest thermal conductivity among semiconductors. To achieve reliable mechanical design and performance prediction of diamond-based MEMS devices, accurate knowledge of its elastic properties, especially Young's modulus, is crucial. However, the reported value for the Young's modulus of practical single-crystal diamond (SCD) varies greatly due to its elastic anisotropy, which has yet to be extensively investigated.

[Experiment] To understand the Young's modulus anisotropy of SCD, we designed a “wagon-wheel” structure comprising circle-array SCD microcantilevers on a (001) diamond substrate, where the cantilever orientations span from 0° to 360° in 15° increments. The out-of-plane resonance frequencies of the SCD cantilevers, actuated by a piezoelectric ceramic, were measured in a vacuum (10^{-5} Torr) with a laser Doppler vibrometer. By applying the Euler–Bernoulli beam equation as shown below, the Young's modulus of cantilevers oriented in different directions can be derived.

[Result] Figure 1(a) illustrates the SCD cantilevers with a “wagon-wheel” structure on the (001) crystal plane. All cantilevers have an identical length of $100\sim120\ \mu\text{m}$, a thickness of approximately $1\sim2\ \mu\text{m}$ and a width of $12\ \mu\text{m}$. A representative set of 1st order resonance spectra from cantilevers are presented in Fig. 1(b)–(d). By calculating the Young's modulus along various directions in the (001) plane of diamond, we found that SCD cantilevers oriented along the $\langle 100 \rangle$ and $\langle 110 \rangle$ directions exhibit the minimum and maximum modulus values, respectively, which agrees well with the theoretical rotational dependence of Young's modulus. [1] This study highlights the importance of selecting the appropriate crystallographic orientation of SCD for accurate MEMS design and analysis.

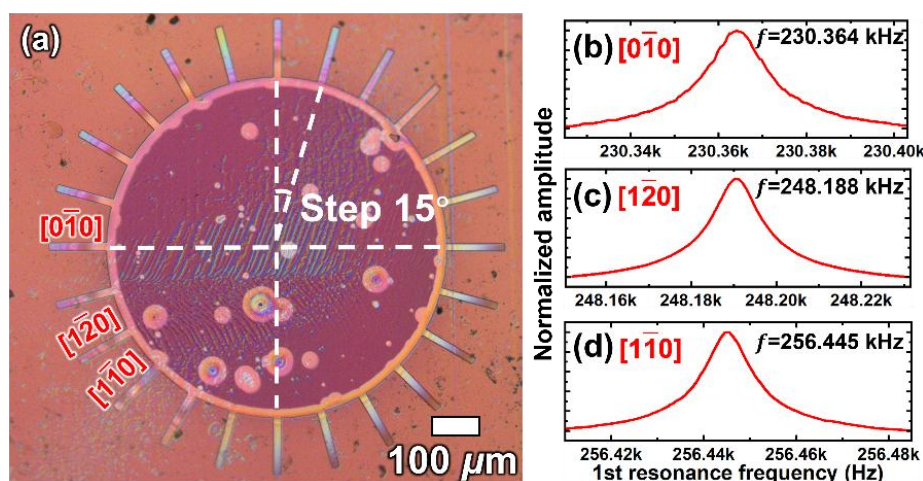


Figure 1. (a) Optical microscope image of the “wagon-wheel” SCD cantilever structure. (b)–(d) 1st order resonance frequency spectra of SCD cantilevers oriented along the $[0\bar{1}0]$, $[1\bar{2}0]$, and $[1\bar{1}0]$ crystallographic directions, respectively.

[Reference] [1] C. Klein *et al.*, *DRM*, **2**, 918, 1993.

ファイバーバンドルを用いた
シリコンウェハの表面温度分布測定システム用センサーヘッドの開発
Development of a sensor head for a measurement system of silicon wafer surface temperature distribution
using bundled fiber
広大院先進理工
○小野 遥夢, YU JIAWEN, 花房 宏明, 東 清一郎
Graduate School of Advanced Science and Engineering, Hiroshima University
○H. Ono, J. Yu, H. Hanafusa, and S. Higashi
E-mail: semicon@hiroshima-u.ac.jp

序半導体製造工程において、ウェハ表面の温度分布をリアルタイムで測定することは極めて重要な課題である。我々は、ウェハにレーザー光を照射し、温度変化に伴う反射光の干渉を利用する光学干渉非接触温度測定法 (Optical-Interference Contactless Thermometry : OICT) [1]を開発し、リアルタイム測定に適用してきた[2]。しかし、表面温度分布を求める多点測定への応用にはセンサーヘッドが大きいという課題があった。本研究では、ビームスプリッタを不要とする光ファイバーを用いた小型のファイバーバンドル型センサーヘッドを構築し、シリコンウェハの表面温度の測定に適用可能かどうかを調査した。

実験Figure 1 にファイバーバンドルを用いたシリコンウェハの反射光測定光学系の概略図と、シングルモード(SM)ファイバーとマルチモード(MM)ファイバーの配置を示す。ファイバーバンドルでは干渉性保持の観点からレーザー光源からウェハへの経路に SM ファイバーを用いた。また、ウェハからの反射光をフォトダイオードへと伝搬する経路には MM ファイバーを用い、Figure 1 に示すように 6 つの MM ファイバーを SM ファイバーの周囲に配置することで受光効率がより高くなるように作製を行った。ウェハへのレーザー光照射部にはコリメータを装着してシリコンウェハにレーザー光を照射した。10 mm 角シリコンウェハ (P 型, 厚さ 525 μm , 抵抗率 8~12 Ωcm , 両面研磨) に投入電力 33 W, 加熱時間 25 s でハロゲンランプ光を照射し、ウェハに温度変化を与えた。ファイバーバンドル光学系を用いて波長 1310nm の赤外レーザー光の反射光強度を測定し、取得した振動波形を解析することでシリコンウェハの表面温度を抽出した。

結果及び考察Figure 1 に示すようなファイバー配置を持つファイバーバンドルの作製に成功した。Figure 2 に OICT によって得られたウェハからの反射光強度(a)とウェハ表面温度(b)の時間変化を示す。ファイバーバンドル型センサーヘッドでも従来のものと遜色ない振動波形を取得できており、シリコンウェハの表面温度を抽出可能であることを確認した。

結論ファイバーバンドルを用いた新たなセンサーヘッドを構築することに成功した。また、ファイバーバンドル型センサーヘッドは OICT によるシリコンウェハの表面温度測定において十分適用可能な性能を持つことが確認できた。

文献>[1] A. Kameda, Y. Mizukawa, H. Hanafusa, and S. Higashi, J. Appl. Phys., 127, (2020) 203302. [2] R. Goto, J. Yu, H. Hanafusa, and S. Higashi, Proc. Int. Symp. Dry Process, (Nagoya, Japan, November 21-22, 2023) 195.

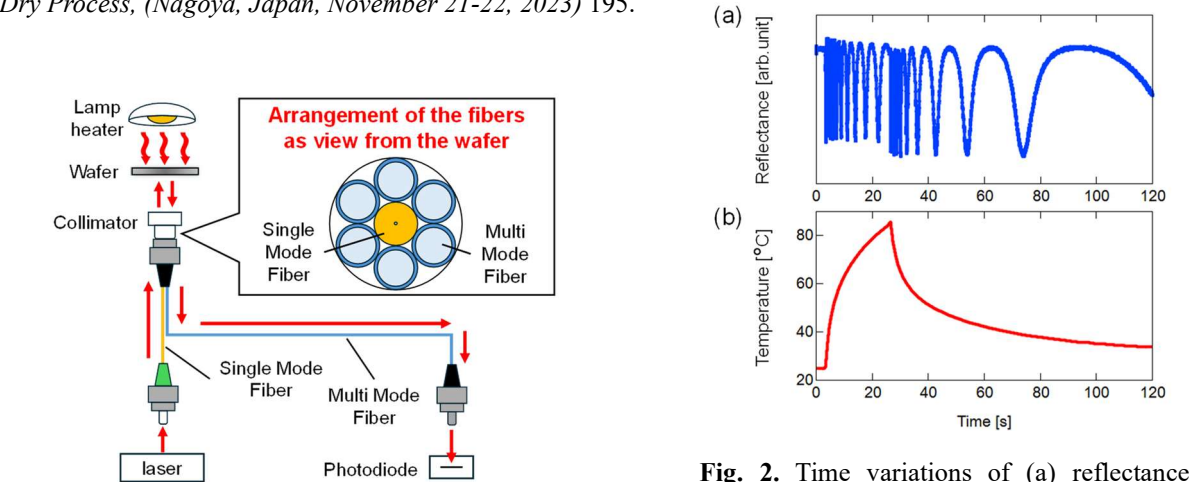


Fig. 1. Bundled fiber optics for reflectance measurement.

Fig. 2. Time variations of (a) reflectance measured by bundled fiber optics and (b) wafer surface temperature.

Explosive Crystallization からの CLC Grain-Boundary-Free Si 成長

CLC Grain-Boundary-Free Si film Growth from the Explosively Crystallized Film

Sasaki Consulting¹、奈良先端大² ◯佐々木 伸夫^{1,2}、高山 智之²、浦岡 行治²

Sasaki Consulting¹ and NAIST²

◯Nobuo Sasaki^{1,2}, Satoshi Takayama², and Yukiharu Uraoka²

E-mail: sassasaki@yahoo.co.jp

(始めに) 室温、空気中で、CW レーザ結晶化 (CLC) を用いて、石英、ガラス基板上に (100) 配向を持つ Grain-Boundary-Free (GB-Free) な幅 0.2 mm × 10 mm の膜厚 50nm の薄い単結晶 Si-SOI 構造を成長できる [1-3]。polyimide 上の (100) 配向膜成長にも成功した [4]。CLC では下層構造への熱ダメージ無しに薄い SOI 構造を造りだせるので、monolithic 3D-chip の低コスト化の実現が期待される。この GB-Free CLC 膜で、高移動度 $\sim 700 \text{ cm}^2/\text{Vs}$ と、面内で等方的な電気特性を持つ TFT を得た [5]。本報告では、GB-Free 膜成長での二段階連続成長機構の詳細を提案する。

(最適 CLC 条件での GB-F 成長) CLC は、石英上に厚さ 60 nm の a-Si と 123 nm の SiO₂ キャップ膜を堆積しスキャン速度 12 mm/s, パワー 4.2 W で Green YV04 レーザにより行う。Laser image は、 $492 \times 8 \mu\text{m}^2$ である。 $\langle 100 \rangle$ に表面およびスキャン方向に配向した GB-Free (misfit angle $\theta < 15^\circ$) の巨大単結晶膜 ($\sim 0.2 \text{ mm} \times 10 \text{ mm}$) が得られる [2, 3]。

この GB-Free 膜には、スキャン方向に平行な縦縞と、垂直な横縞が光顕で見られた [6-9]。これらの縞は、EBSD よびでは検出できないので、方位の乱れは、EBSD の検出限界以下である。縦縞は、回転角 0.061 度の hyper-fine-sub-boundary からなり、周期 $\sim 3.1 \mu\text{m}$ 、振幅 3 $\sim 5 \text{ nm}$ 、の super lattice を造っている [6-8]。横縞は、周期 $\sim 35 \mu\text{m}$ 、振幅 $\sim 4 \text{ nm}$ の Si 膜厚変動を示す。この横縞間隔は、レーザスキャン速度を上げると指数関数的に増加していることより、横縞は、Explosive Crystallization (EC) によると考えられる [9]。

(結晶成長モデル) 一般に、EC で得られるポリ Si は、長さ 10-20 μm 、幅 1-2 μm の小さな結晶粒からなる。従って、GB-Free 結晶の成長は、レーザ image で誘起された高速 EC 成長とそれに続く低速レーザ image による再結晶化の二段階で進行していると考えられる。Ge の例では、5 mm/s のレーザスキャン速度に対して、EC のポリ Si 化は初め 140-260 mm/s の高速で進むが、自然に速度は低下し停止する [10]。EC では成長 front にメルト zone が存在するために、EC が停止した場所に Si の盛り上がり (hump) が残る。EL でポリ Si 化した領域は、後続の laser image スキャンによる、再熔融/再結晶化で、初めて単結晶化する。EL 停止部にできた Hump はこの 2nd 結晶化でも痕跡が残る。EC 停止位置にレーザ image が到達した瞬間、次の EC が開始し、上記プロセスが繰り返されるので、横縞周期は、1 回の EC によるポリ Si 化距離に一致する。

(参考文献)

- [1] N. Sasaki et al., IEEE S3S Conf. (San Jose, Oct. 14-17, 2019).
- [2] M. Arif et al., Thin Solid Films, Vol. 708, 138127 (2020).
- [3] M. Arif et al., IMID 2021 (Seoul, Korea, Aug. 25-27, 2021) p5-42. (Best Poster Paper Award).
- [4] N. Sasaki et al., J. Electronic Materials, Vol. 50(6), 2974 (2021).
- [5] N. Sasaki et al., Crystals, Vol. 13, 130, 2023.
- [6] N. Sasaki et al., IEEE EDTM (Seoul, Korea, March 7-10, 2023. P-002. (Best Poster Award).
- [7] S. Takayama, et al., J. Crystal Growth, Vol. 649, 127934 (21025).
- [8] 佐々木ら、応物秋 (朱鷺メッセ他、2024 年 9 月) 16p-B1-1.
- [9] 佐々木ら、応物秋 (東京理科大野田、2025 年 3 月) 17a-K103-3.
- [10] R. L. Chapman et al., Appl. Phys. Lett., 37, 292 (1980).

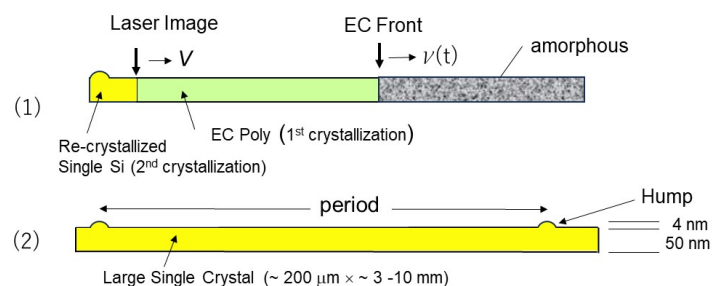


図. 二段階結晶成長機構

CuAl₂ 相を SD に含む プラスチック上の Cu-MIC ダブルゲート poly-Ge TFT

Cu-MIC double-gate poly-Ge TFT on plastic substrates with CuAl₂ phase in SD

東北学院大院 ○栗原義人、五嶋大喜、原明人

Tohoku Gakuin Univ. ○Akito Kurihara, Daiki Goshima, Akito Hara

E-mail: akito@mail.tohoku-gakuin.ac.jp

【はじめに】我々は、フレキシブルエレクトロニクスに向け、プラスチック上に poly-Ge TFT の実現を目指している。そのためには低温プロセスで結晶化を行う必要があり、Cu を金属触媒に利用した Cu-MIC を利用して 20 nm 以下の Ge 薄膜の結晶化を実現している。また、SD も低温で形成する必要がある。SD は Al と Ge が低温で元素置換を起こす性質を利用し、SD を Al 化する方針とした。しかし、Cu を含有した poly-Ge では、元素置換が思うように進まない現象を見出した。その原因を調査した結果、CuAl₂ 相が形成されることを見出した。また SD がこの構造を含有する場合の TFT 特性についても報告する。

【実験】SD の構造調査に対しては石英基板を利用している。基板加熱を行わず、石英ガラス基板上に a-Ge/Cu/a-Ge 積層薄膜をスパッタリングにより成膜した。SIMS 分析用には Ge の全膜厚は 32 nm、また断面 TEM 観察用に対しては Ge の全膜厚は 16 nm としている。結晶化プロセス中の Ge の酸化と昇華を防ぐために、プラズマ CVD (PECVD) 法により厚さ 20 nm のキャップ SiO₂ 層を 360°C で成膜し、N₂ 雰囲気中、500°C で 5 時間の熱処理により Ge を結晶化した。その後、反応性イオンエッチング (RIE) によりキャップ SiO₂ を除去し、スパッタリング法により室温にて Ge 表面と接触するように薄い Al 層 (約 5 nm) を成膜した。続いて、300°C で 60 分、窒素雰囲気中で熱処理を行った。Al、Cu、Ge の深さ方向のプロファイルは二次イオン質量分析法 (SIMS) を用いて評価した。また、断面 TEM-EDX も観察した。

更に、結晶化プロセス 420°C, 5h にてプラスチック上に DG Cu-MIC poly-Ge TFT を作製し、その特性を評価した。SD の形成の熱処理は 300°C 3 分である。また Ge 層の厚さは 19.2 nm である。⁽¹⁾

【結果および考察】図 1 (a) は結晶化後、(b) は Al 成膜+300°C 60 分熱処理したサンプルに対して SIMS 分析を行った結果である。Ge 中の Cu が Al に移動し、Cu と Al の分布が重なっていることが確認された。また、断面 TEM-EDX により観察した Al, Cu の分布を図 2 に示す。Al 中に Cu が存在していることが観測された。この結果は、SIMS 分析の結果と一致する。石英基板を裏面から薄膜化して電子線回折を行った結果、CuAl₂ 相を含んでいることが明らかになった。

このような SD 構造を有する TFT をプラスチック上に作製し、TFT 特性を評価した。結果を図 3 に示す。良好な特性が得られている。

CuAl₂ は Cu、Al に比較して抵抗率は大きいとされているものの ①極端に抵抗率が大きいわけではない ②今回作製した TFT のサイズが大きいので、SD 抵抗は比較的小さい。これらの要因のため良好な TFT 特性の結果が得られたものと考えている。

【まとめ】Cu-MIC poly-Ge を用い、Al の元素置換の現象を用いて SD を形成した。その結果、Al 中に CuAl₂ 相が形成され、元素置換が抑制されることが明らかになった。この SD 構造を利用してプラスチック上に poly-Ge TFT を実現した結果、良好な特性が得られている。

【謝辞】本研究の一部は科学研究費 (22K04247) の支援を受けている。

【参考文献】(1) A. Kurihara et al., 2025 AMFPD (accepted) (2025).

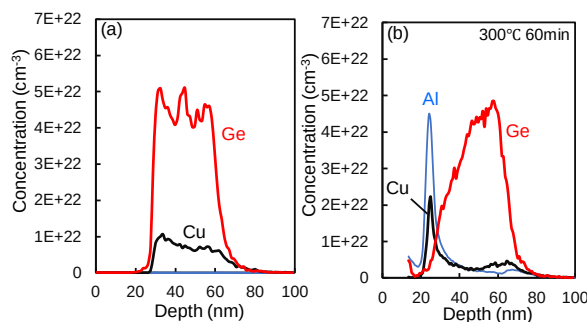


図 1. (a)結晶化直後 (b)Al と接触後、300°C60 分熱処理した場合の分布

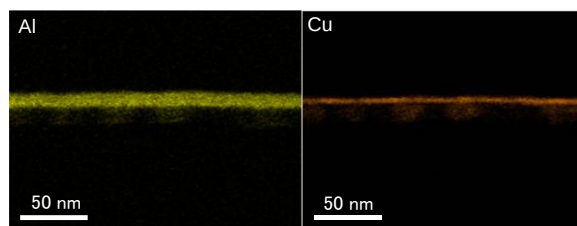


図 2. Al と Cu の TEM-EDX 分布

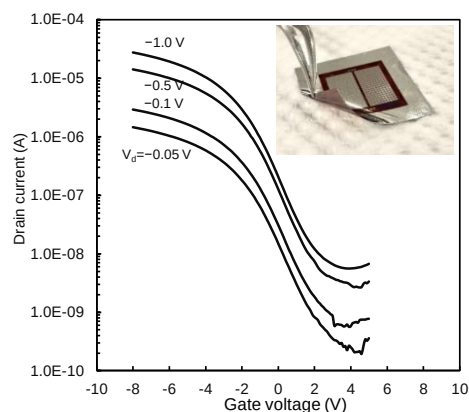


図 3. プラスチック上の Cu-MIC DG poly-Ge TFT の特性

熱酸化膜ベースの誘電体膜を用いた 絶縁破壊電圧 1 kV 以上の Si キャパシタの開発

Development of Si capacitors with a breakdown voltage exceeding 1 kV
using a thermal oxide-based dielectric layer.

ローム株式会社 °佐川 啓, 赤坂 俊輔

ROHM Co., Ltd., °A. Sagawa, S. Akasaka

E-mail: akira.sagawa@rohm.co.jp

エネルギーロス低減を実現するために電力変換器の高電圧化やスイッチングの高速化が要求されている。スイッチングの高速化による急峻な電流変化率により、スイッチング時に高い電圧ピークが発生し、デバイスの破壊や寄生 LC 回路の発振による電磁波が周辺システムに悪影響を与える。スイッチングセルの近くに RC スナバ回路を配置することで、このようなサージ電圧を抑制可能である。RC スナバ回路を内蔵したパワーモジュールの実現が期待されているが、高温のパワーモジュールに内蔵するため、スナバキャパシタには高耐圧、大容量、高い温度安定性が要求される。Si キャパシタが高い温度安定性を有することから、スナバキャパシタへの応用が期待されている^[1]。先行研究の多くは誘電率を高めるため、SiN をベースにした誘電膜を使用しているが、SiN はリーク電流が大きくなるほか、強い引張応力により厚膜化した際に反りやクラックを発生しやすく信頼性の低下が問題となる^[2]。一方で、熱酸化膜は SiN に比べて絶縁破壊電界強度が高く、同じ絶縁破壊電圧 (**Breakdown Voltage** : BV) では誘電膜を薄くできるため反りやクラックを抑制できる。また、SiO₂ は圧縮応力であるため、SiN と積層することにより応力緩和が可能である。今回、我々は熱酸化膜をベースとした誘電膜で Si キャパシタを作製し、BV の評価を行った。図 1 は本研究で作製したプレーナ型 Si キャパシタの断面構造である。P をドーピングした抵抗率 1 mΩcm の Si 基板上に、誘電膜として膜厚 3 μm の熱酸化膜を形成した。基板の裏面の熱酸化膜を除去し、表面熱酸化膜上に Ti/TiN/Ti/Au、裏面 Si 面に Ti/Ni/Au を堆積して電極とした。図 2 は、作製したプレーナ型 Si キャパシタの IV 測定結果である。リーク電流は絶縁破壊直前まで 0.1 μA/cm² 以下を保持しており BV は 2370 V だった。絶縁破壊時の熱酸化膜にかかる電界強度は 7.9 MV/cm であった。この高い BV は高電圧化する EV (電気自動車) の用途にも十分対応可能な値である。さらにクラック等は発生しておらず、ウェハ中心を基準に 45 mm 離れた箇所での反りは 90 μm 程度だった。今後、熱酸化膜をベースとした誘電膜をビア型構造に展開し大容量化を目指す。

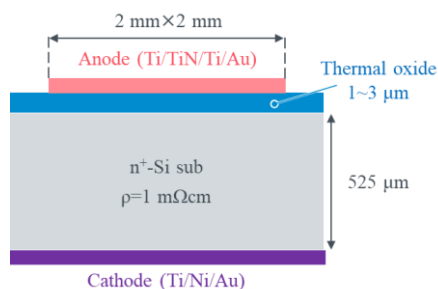


Fig 1. Structure of the planer Si capacitor

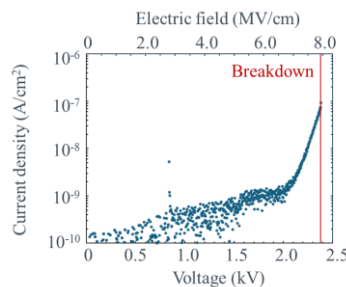


Fig 2. Leakage current of the Si capacitor

[1] S. Matlok, et al. PCIM Europe, 7–9 May 2019 [2] F. Krach, et al. J. Vac. Sci. Technol. B 33(1), Jan-Feb 2015

圧電薄膜共振子の高Q値・高周波化に向けた開発

Development of high-Q and high-frequency piezoelectric thin-film resonators

ローム(株), °天本 百合奈, 照元 幸次, 合田 賢司, 下地 規之, 内貴 崇, 木村 俊, 奥 良彰

Rohm Co., Ltd.,

°Yurina Amamoto, Koji Terumoto, Kenji Goda, Noriyuki Shimoji, Takashi Naiki, Takashi Kimura, Yoshiaki Oku

E-mail: yurina.amamoto@dsn.rohm.co.jp

【緒言】

近年、水晶振動子の市場置き換えを狙う小型で高い信頼性を持つ MEMS 共振子の開発が進められている。MEMS 共振子には逆圧電効果を利用した圧電薄膜方式が存在し、静電容量方式と比較して高周波発振が可能であることから昨今の高速通信需要への応用が期待される。さらに、Si と圧電薄膜を組み合わせた TPoS (Thin film Piezoelectric on Si) 構造の MEMS 共振子は Si の高い機械特性により圧電薄膜単体からなる共振子と比較して高い性能指数 (Q 値) を実現することができる。今回我々のグループでは単結晶 AlN 薄膜を利用した TPoS 構造 MEMS 共振子の高周波化と共振子形状の最適化による Q 値向上を目指した。

【実験手順】

Si(111)上に MOCVD(Metal-Organic Chemical Vapor Deposition) 法で AlN を成膜し、Al 配線形成後 DRIE で基板 Si を除去した中空構造を有する TPoS 構造の素子を試作した (図 1)。素子の評価は Keysight 社製の VNA (Vector Network Analyzer) で実施した。

【結果】

高周波発振は面内振動モードの高調波を利用することで実現した。デバイス表面の IDT (Inter Digital Transducer) 電極ピッチを発振させたい波長と一致させることで、特定の高調波モードを優先的に発振させることができる。また、過去の研究報告^[1]では、基本モード素子において共振子アスペクト比の最適化で不要振動が抑制され Q 値が向上することが報告されている。我々はこの報告を高調波モード発振にも採用し、共振子のアスペクト比 (幅固定：長さ可変) の最適化による高 Q 値化を目指した。共振子のアスペクト比と Q 値の関係について図 2 に示す。

5 次モード (f = 222 MHz) では Q 値がアスペクト比の変化に伴いドラスティックにアップダウンを繰り返す傾向を示した。一方、9 次モード (f = 498 MHz) ではアスペクト比に対する Q 値の増減傾向が小さくなり、図 3 に示すように実測共振周波数が面内振動モードの理論共振周波数から乖離するようになった。

この現象は、発振周波数の半波長 ($\lambda/2 = 10 \mu\text{m}$) が共振子厚み ($10 \mu\text{m}$) 以下になることで、面内振動が膜厚方向にも変位する別の振動モードに遷移したためだと考えられる^[2]。

[1] Ken-Wei Tang *et al.* J. Micromech. Microeng. **34** 115003 (2024)

[2] S.Shahraimi *et al.* Journal of Microelectromechanical Systems **29.3** (2020)

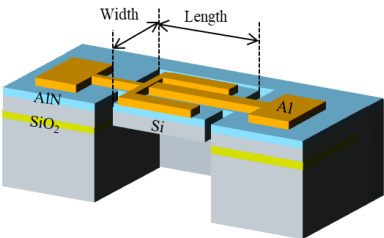


Fig.1 Schematic illustration of a TPoS resonator

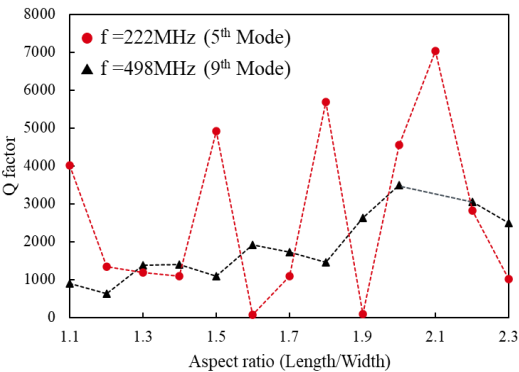


Fig.2 Influence of aspect ratio on the Q factors

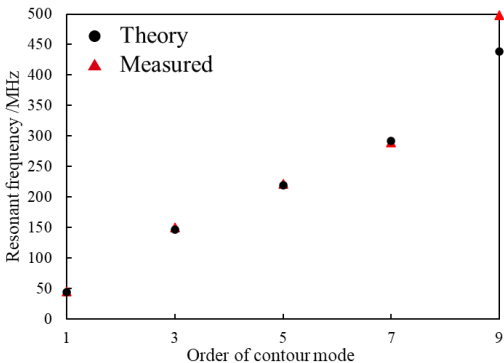


Fig.3 Comparing theory and measured value of resonant frequencies

SOI MEMS 共振器における piezo抵抗振動検出部の雑音特性

Noise characteristics of piezoresistive readout in SOI MEMS beam resonators

農工大工¹, 情報通信研究機構²

Inst. of Eng., Tokyo Univ. of Agri. & Techno.¹, NICT², Ryotaro Takeuchi¹, Qian Liu¹, Isao Morohashi²,

Kazuhiko Hirakawa¹, and Ya Zhang¹

E-mail: zhangya@go.tuat.ac.jp

Terahertz (THz) detectors using MEMS resonators have attracted great interests owing to their high sensitivity, rapid response, and room-temperature operation [1-2]. We report the noise characteristics of a piezoresistive readout for an uncooled THz bolometer using doubly-clamped Si on insulator (SOI) MEMS beam resonator. The device fabrication process is based on a spin-on-doping (SOD) process, as schematically illustrated in Figure 1(a). Cr (40 nm)/Au (150 nm) electrodes were formed on the doped layer to establish ohmic contacts to the piezoresistor. A microscope image of the fabricated MEMS resonator is shown in Figure 1(b). The resistance of the piezoresistor (R_x) was measured to be about 1.28 k Ω . R_x was connected with a reference resistor (R_0), and a DC voltage (V_{DC}) was applied to the circuit, as schematically illustrated in Figure 1(b). When R_x changes due to the piezoresistive effect, the output voltage (V_0) is given by the equation:

$$V_0 = V'_{DC} \times \frac{R_x}{R_0} \frac{\Delta R_x / R_x}{(1 + R_x / R_0)^2} \quad (1).$$

We used a reference resistor $R_0 = R_x$ and $V_{DC} = -10$ V for the measurement. Figure 1(c) shows the typical oscillation spectrum measured when the MEMS beam is driven into resonance.

The black curve in Figure 1(d) shows the measured noise spectrum, revealing a clear $1/f$ noise. Such a noise may be due to the random trapping and detrapping process of charge carriers at the dopant sites. At the operating frequency (~ 300 kHz) of the MEMS resonator, the noise density $n_v = \sim 30$ nV/ $\sqrt{\text{Hz}}$. To improve the noise performance, we have performed a surface etching process to the piezoresistor by using reaction ionic etching (RIE). After the etching, the resistance increases from ~ 1.28 k Ω to ~ 1.78 k Ω . Keeping the same bias condition and $R_0 = R_x$, we have measured the noise spectrum of the piezoresistive readout, the result is shown as the red curve in Figure 1(d). At the resonance frequency (~ 300 kHz), the noise density becomes ~ 15 nV/ $\sqrt{\text{Hz}}$, demonstrating a clear improvement in the noise behavior, which is crucial for developing high sensitivity SOI MEMS bolometers.

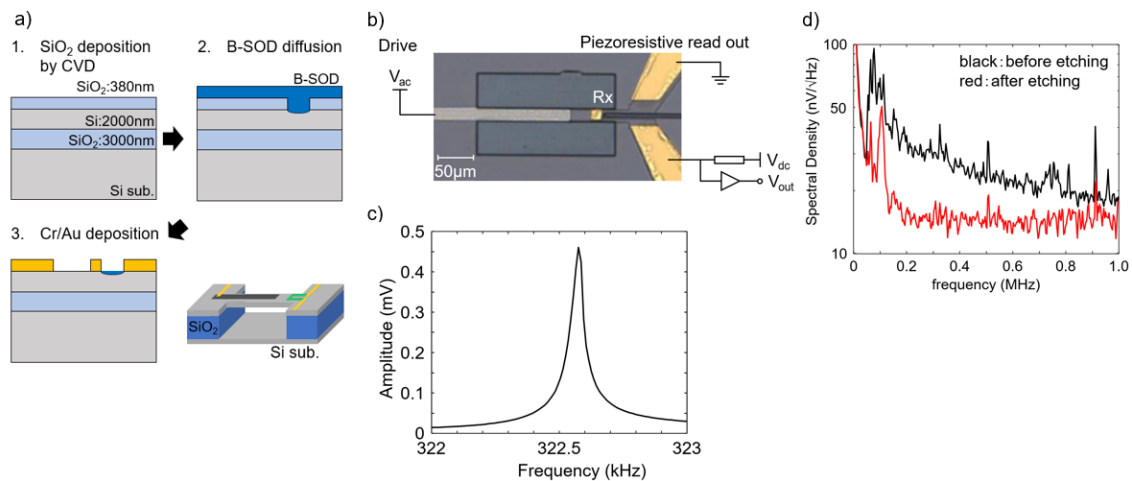


Fig.1 (a) Device fabrication process. (b) Microscope image of a fabricated SOI MEMS resonator. (c) Oscillation spectrum measured by the piezoresistive readout. (d) Noise spectrum before and after RIE etching

Reference

[1] Y. Zhang, et al., APL 108, 163503 (2016) [2] Y. Zhang, et al., JAP 125, 151602 (2019)

13 Semiconductors | Poster presentation : 13.4 Si processing /Si based thin film / MEMS / Equipment technology

[9a-P06-1~3] 13.4 Si processing /Si based thin film / MEMS / Equipment technology

[9a-P06-1]

Etch pit suppression by using Ar gas addition in Quartz Deep RIE

○Kazuki Yoshida¹, Naoya Yamada¹, Toru Yahagi¹, Mutsuto Katoh¹ (1.Yamagata Research Inst. Tech.)

[9a-P06-2]

Evaluation of Fabrication Tolerances on Sub-Terahertz-Band Silicon BIC Cavities

○Yusuke Kondo¹, Kazunori Shibata², Shuichi Murakami¹ (1.ORIST, 2.Osaka Univ.)

[9a-P06-3]

Etching characteristics of single crystal Si with 1% KOH solution containing carbon-based materials

○Kengo Kimura¹, Hiroshi Tanaka¹ (1.Aichi Institute of Technology)

石英の Deep RIE における Ar ガス添加によるエッチピットの抑制

Etch pit suppression by using Ar gas addition in Quartz Deep RIE

山形工技セ¹ °吉田 一樹¹, 山田 直也¹, 矢作 徹¹, 加藤 睦人¹

Yamagata Research Inst. Tech.¹, °Kazuki Yoshida¹, Naoya Yamada¹, Toru Yahagi¹, Mutsuto Katoh¹

E-mail: yoshidakazuk@pref.yamagata.jp

[あらまし] 反応性イオンエッチング(Reactive Ion Etching : RIE)による深堀加工技術 (Deep RIE) を用いた Si や SiO₂、石英の加工は微小電気機械システム(Micro Electro Mechanical System : MEMS)の分野における特徴的技術の一つである。石英にレジストパターンを形成して RIE によるエッチバックを行うとその形状を転写することが可能である。一方、長時間のエッチングによって数十 μm 以上の加工を行う場合、エッチング面にエッチピットと呼ばれる欠陥が生じることで基板表面が荒れてしまう。(Fig. 1) これまでに SF₆を加工ガスとして Ar や Xe といった希ガスを添加することでピット形成の原因となるマイクロマスクを除去し底面荒れを改善した事例が報告されている[1]。しかし、CF₄を加工ガスとして用いた報告は少ない。本研究では CF₄を用いた石英の Deep RIE における Ar ガス添加によるエッチピット低減効果と、エッチングレートの変化について報告する。

[実験方法] 評価基板として $\phi 50\text{mm}$ 厚み $500\mu\text{m}$ の合成石英を用いた。基板は加工前に SPM 洗浄を行い表面の有機物汚れを除去した。RIE による加工はサムコ社製の Deep RIE 装置 RIE-400iPB-YK を用いた。プラズマ出力を RF1000W、基板バイアス 100W、加工時間 20 分、プロセス圧力 0.7Pa として実験を行った。エッチピット形成の抑制効果を確認するため、プロセスガスは CF₄:Ar = ①100sccm : 0sccm, ②50sccm : 50sccm, ③20sccm : 80 sccm の 3 条件とした。加工後の基板表面を FE-SEM で観察しエッチピットの形成状態を評価した。Ar ガス添加によるエッチングレートへの影響を評価するために、基板上にポリイミドテープを簡易マスクとして貼りつけ加工後の段差を白色干渉顕微鏡で測定した。

[実験結果] Fig. 2 に条件①と条件③によって加工した石英の FE-SEM 観察像を示す。観察位置はポリイミドテープ近傍とした。条件①の CF₄のみで加工したサンプル(Fig. 2(a))では直径 $1\mu\text{m}$ 程度のピットが多数観察されたが、条件③の Ar ガスを添加したもの(Fig. 2(b))においては、エッチピット形成が抑制され荒れのないエッチング面が得られている。

当日はこれに加えて条件①～③の比較結果を示し、エッチングレートの変化を報告するとともに、エッチピット低減とエッチングレートの確保を両立可能な加工条件について議論する。

[1] M D Minnick et. al. J. Micromech. Microeng. 23 (2013) 117002 (6pp)

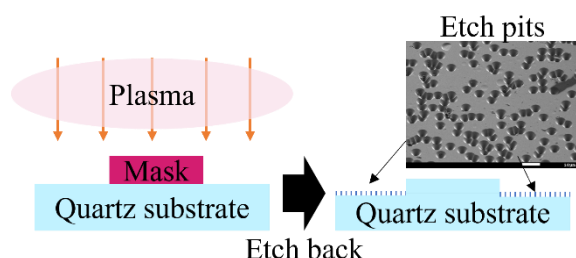


Fig.1 Schematic image of the etch-back process and an image of etch pits on a deep-etched quartz surface.

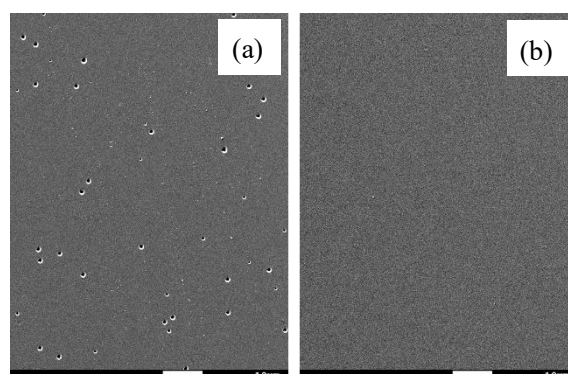


Fig.2 Etch pits on quartz substrates processed by RIE with and without Ar gas addition. The etching gas ratios were CF₄:Ar = (a) 100:0 and (b) 20:80.

サブテラヘルツ帯 BIC 共振器における形状誤差の影響評価

Evaluation of Fabrication Tolerances on Sub-Terahertz-Band Silicon BIC Cavities

大阪技術研¹, 阪大レーザー研² °近藤 裕佑¹, 柴田 一範², 村上 修一¹

ORIST¹, Osaka univ² °Yusuke Kondo¹, Kazunori Shibata², Shuichi Murakami¹

E-mail: kondoy@orist.jp

近年、Bound State in the Continuum (BIC) を利用した高 Q ・小モード体積のフォトニックキャビティが、光-物質相互作用の強化や高感度センシングへの応用において注目を集めている[1,2]。特に、シリコン基板上に形成されたフォトニック結晶スラブ構造は、MEMS 技術との高い親和性を有し、テラヘルツ帯におけるキャビティ QED プラットフォームとしての展開が期待されている。しかし、アライメント精度や DRIE (Deep Reactive Ion Etching) によるシリコン加工精度には技術的限界があり、こうした応用展開の実現可否を判断するためには、形状誤差が共振 Q 値やモード体積に及ぼす影響を定量的に評価することが不可欠である。

本研究ではサブテラヘルツ領域共振器への応用を見据え、二層フォトニック結晶共振器 (DPhoC) 構造 (Fig.1 (a)) をモデルに、 Γ 点 BIC の Q 値を評価した。設計パラメータとして、膜厚 $200\text{ }\mu\text{m}$ 、格子定数 $600\text{ }\mu\text{m}$ 、円孔半径 $120\text{ }\mu\text{m}$ とし、層間距離 d を $0\sim 500\text{ }\mu\text{m}$ の範囲で変化させ、Rigorous Coupled-Wave Analysis (RCWA) 法によって垂直入射下で透過率を計算した。結果は Fig.1 (b)であり、矢印位置に BIC が確認でき、理論予測の通りその近傍で共鳴スペクトルが Fano 形状を示している (Fig.1 (c))。本講演では、この基本構造に対して (1) スラブ同士の穴位置の水平方向のずれ、(2) 孔径公差、(3) DRIE 加工において生じるスラブ厚み方向に対する孔径変化、の三要因を設計値周辺で摂動し、感度解析を行った結果について詳しく述べる。

本研究の一部は、NICT 受託研究(03001)の支援を受けて実施された。

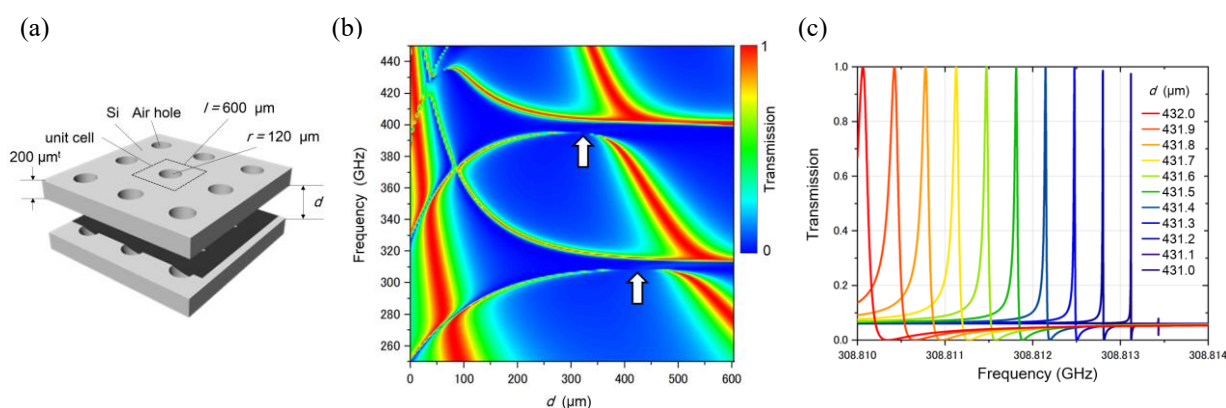


Fig. 1. (a) Schematic of the double-photonic crystal slab cavity (DPhoC). (b) Transmittance map against frequency and separation d for two PhC slabs. (c) Dependence of the resonance spectrum shape on d under near-BIC conditions.

[1] Fitzgerald, J. M. *et al.* Phys. Rev. Research **3**, 013131 (2021).

[2] M. Kang. *et al.* Nat. Rev. Phys. **5**, 659 (2023).

カーボン系材料を 1%KOH 水溶液に混合させた場合の 単結晶 Si のエッチング特性

Etching characteristics of single crystal Si with 1% KOH solution containing carbon-based materials

愛知工業大工¹, °木村謙吾¹, 田中浩¹

Aichi Institute of Technology¹, °Kengo Kimura¹, Hiroshi Tanaka¹

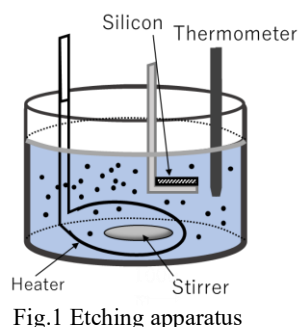
E-mail: p24708pp@aitech.ac.jp

1. 緒言

シリコン異方性ウェットエッチングは従来から利用されてきた MEMS 加工技術であるが、低濃度アルカリ溶液ではエッチング速度が低下かつ表面が荒れてしまうことから、高速、平滑化のために 30%以上の高濃度のアルカリ溶液を使用しているのが現状である。本研究では、カーボン系材料を 1%KOH 水溶液に混合させ、そのときのエッチング特性を調査した。

2. 実験方法

図 1 にエッチング装置を示す。炭素材料は黒鉛、カーボンナノチューブ (CNT)、グラフェン、酸化グラフェン (GO)、ダイヤモンドを使用し、液に対して 0.06%の量を添加した。試料は Si(100) ウェハに 1 μ m 厚の SiO₂ マスク膜を形成したものを 500 μ m $\times$ 500 μ m パターンにてエッチングした。



3. 結果・考察

図 2 にエッチング速度の温度依存性を示す。ダイヤモンドを除く 4 種類の材料で 1%KOH のみよりもエッチング速度が最大で 9 倍程度大きくなり、また CNT のエッチング速度が最も大きくなった。エッチング後の以上の結果からエッチング液中のカーボン系材料はシリコン表面で反応を促進する触媒として作用する場合があると考えられる。また、ダイヤモンドでは効果がなかったことからカーボン系材料の表面とシリコンの相互作用について調べていく。

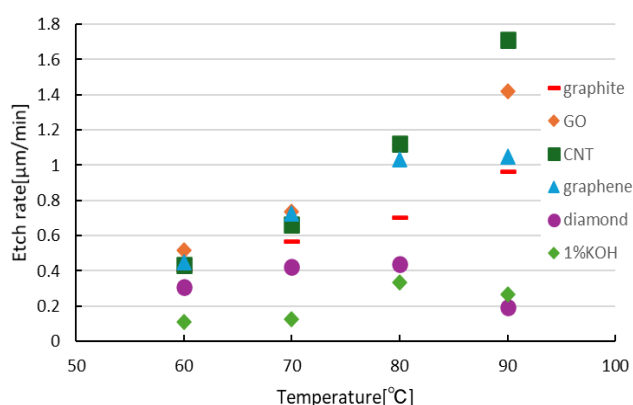


Fig. 2 Temperature dependence of the etch rate

4. 結言

極低濃度の 1%KOH 水溶液にカーボン材料を混合させると Si(100) 面のエッチング速度が最大で 9 倍程度向上することがわかった。今後は速度向上メカニズムを追求していく。

13 Semiconductors | Poster presentation : 13.5 Semiconductor devices/ Interconnect/ Integration technologies

[8a-P09-1~4] 13.5 Semiconductor devices/ Interconnect/ Integration technologies

[8a-P09-1]

Nanotwinned Copper Formation Technology Using Inorganic Additive-Induced (111) Crystal Orientation

○(DC)SooWoong Park¹, Jaejeong Kim¹ (1.Seoul National Univ.)

[8a-P09-2]

Oxide-Based and Electroless Cu seeding on Glass Substrates Enabled by Liquid Phase Deposition

○(D)Jiseok Lee¹, Taeho Lim², Jae Jeong Kim¹ (1.Seoul National Univ., 2.Soongsil Univ.)

[8a-P09-3]

Single accelerator systems for Cu microvia superfilling under pulse-reverse electrodeposition

○(D)Huiju Seo¹, Myung Jun Kim², Jae Jeong Kim¹ (1.Seoul National Univ., 2.Sungkyunkwan Univ.)

[8a-P09-4]

Bake time-dependence of resistive change device using Cu-containing PVA film

○Yuji Iwasawa¹, Yuito Makishima¹, Koga Nakamura¹, Ryota Kobayashi¹, Hiroki Nagai¹, Shinya Aikawa¹ (1.Kogakuin Univ.)

Nanotwinned Copper Formation Technology Using Inorganic Additive-Induced (111) Crystal Orientation

Seoul National Univ.¹, °Soo Woong Park¹, Jae Jeong Kim^{1*}

E-mail: qkrtdnd4@snu.ac.kr

Nanotwinned copper (nt-Cu) has drawn considerable attention for its favorable physical properties, including enhanced mechanical strength, thermal stability, and improved resistance to electromigration, making it a promising material for advanced microelectronic interconnects. Among various structural configurations, copper films with dense twin boundaries and strong (111) orientation are of particular interest due to their potential advantages in interconnect reliability. In this work, we present an electrochemical deposition strategy that enables the controlled fabrication of (111)-oriented nt-Cu films by incorporating a specially selected inorganic additive into a conventional acidic copper sulfate plating bath. The plating solution consisted of copper sulfate, sulfuric acid, chloride ions, and gelatin, with the inorganic additive introduced under optimized conditions. Electrodeposition was conducted in direct current mode under galvanostatic conditions, and the overall process was implemented as a single-step plating method following pretreatment or improving surface condition.

The microstructure and crystallographic orientation of the deposited films were examined using scanning electron microscopy (SEM) and electron backscatter diffraction (EBSD). Cross-sectional SEM images confirmed the formation of dense and continuous copper films with a well-developed columnar grain structure extending uniformly from the substrate to the surface. No surface defects such as pits or voids were observed, indicating that the deposition proceeded with stable growth behavior. EBSD analysis showed that the deposited copper films exhibited a high fraction of (111)-oriented grains along the growth direction, indicating a pronounced crystallographic preference during electrodeposition. The inverse pole figure (IPF) maps further illustrated that the grain orientations were predominantly aligned perpendicular to the substrate, with a concentrated distribution corresponding to the (111) direction. In terms of surface quality, no pits or voids were observed, and the film exhibited uniform morphology across the sample area. Additionally, throughout the experimental conditions studied, the plating process showed stable performance without noticeable side reactions or morphological degradation. These findings demonstrate that the proposed additive-assisted approach enables reproducible and efficient formation of nanotwinned copper films with preferred orientation. The process is compatible with existing plating systems and provides a practical pathway toward improved microstructure engineering in semiconductor metallization applications.

Oxide-Based and Electroless Cu seeding on Glass Substrates Enabled by Liquid Phase Deposition

Seoul National Univ.¹, Soongsil Univ.², °Jiseok Lee¹, Taeho Lim², Jae Jeong Kim^{1,*}

E-mail: ljs0215@snu.ac.kr

As the semiconductor packaging process continues to pursue enhanced chip performance, the miniaturization of interconnects has drawn increasing attention to warpage issues in conventional glass-fiber-reinforced epoxy substrates. Warpage, referring to the three-dimensional deformation of substrates, must be avoided since it causes reliability problems such as solder defects and interconnect misalignment. This deformation originates from the high coefficient of thermal expansion (CTE) and low Young's modulus of epoxy-based materials. To address this issue, glass is being actively explored as an alternative substrate material due to its CTE compatibility with silicon and relatively high modulus, both of which reduce susceptibility to warpage.

Furthermore, as stacked structures such as high-bandwidth memory are increasingly integrated into packaging, substrate thinning has become a key requirement. This trend exacerbates warpage risks, further reinforcing the relevance of glass substrates. However, the low surface roughness of glass and the presence of high-aspect-ratio through-glass vias fabricated by laser drilling make conventional sputtered copper (Cu) seed layers insufficient for defect-free deposition. Consequently, electroless deposition (ELD) is being studied as an alternative, along with various pretreatment strategies to improve its reliability.

This study aims to achieve uniform Cu seed layer formation on glass substrates by employing liquid phase deposition (LPD), which generates metal oxide films from metal fluoride (F^-) complexes. Among the representative metal oxides formed using LPD, tin oxide (SnO_x) was used to facilitate Cu ELD without requiring the conventional Sn sensitization step prior to palladium (Pd) activation — a strategy validated in published work and reconfirmed in this work. In particular, the optimal atomic ratio of F to Sn was determined by evaluating surface roughness after LPD and analyzing Pd particle density and size after catalyst activation. Ongoing efforts are also focused on exploring other metal oxides for their potential applicability in Cu seed layer formation for subsequent electroplating processes.

Single accelerator systems for Cu microvia superfilling under pulse-reverse electrodeposition

Seoul national Univ.¹, Sungkyunkwan Univ.², ^oHuiju Seo¹, Myung Jun Kim², Jae Jeong Kim¹

E-mail: tjgmlwn2@snu.ac.kr

As the performance improvements from interconnect scaling have approached physical limits, the importance of advanced packaging has become increasingly significant. In advanced packaging, interconnects that connect devices are formed using Cu electrodeposition. To achieve void-free filling, three types of additives (accelerator, suppressor, and leveler) are typically used in manufacturing process. In particular, microvias in PCB require plating baths that can remain stable for more than six months to ensure cost efficiency. Therefore, developing additive systems that allow for easier concentration control is essential.

In this study, superfilling was successfully achieved using a single-accelerator system with a pulse-reverse waveform, rather than the conventional direct current method that requires three or two types of additives. Two accelerators were investigated and compared to evaluate their capability to induce superfilling under pulse-reverse current. Pulse-reverse waveform consists of a forward current that deposits copper ion to Cu metal and a reverse current that dissolves deposited Cu. During the reverse pulse, Cu^+ is generated on the copper surface and subsequently reacts with chloride ions in the electrolyte to form a CuCl species. This species affects the adsorption behavior of additives, but due to convection-driven desorption, its influence differs between the top and bottom of the vias.

Previous studies have shown that SPS induces bottom-up filling through CuCl species that are produced during the reverse step. However, due to its linear accelerating behavior, SPS enables bottom-up filling only within a narrow concentration range. When the surface becomes saturated with SPS above $48\text{ }\mu\text{M}$, the difference in acceleration effect between the bottom and top of the vias disappears, resulting in conformal filling. However, the new accelerator exhibits a different acceleration mechanism compared to SPS, and demonstrates superior bath maintainability as well as improved film quality over the SPS based single accelerator system. Beyond microvia superfilling, this study also suggests the mechanism of the new accelerator in pulse-reverse electrodeposition. The findings from this study on single accelerator systems could offer useful guidance for PCB manufacturing process.

Cu 含有 PVA フィルムを用いた抵抗変化素子の焼結時間依存性

Bake time-dependence of resistive change device using Cu-containing PVA film

工学院大, °(M2) 岩澤 侑司, 牧島 唯斗, 中村 光我, 小林 亮太, 永井 裕己, 相川 慎也

Kogakuin Univ., °Yuji Iwasawa, Yuito Makishima, Koga Nakamura Ryota Kobayashi, Hiroki Nagai,

Shinya Aikawa

E-mail: aikawa@cc.kogakuin.ac.jp

医療, エレクトロニクス等の発展のために, 携帯性, 曲面適合性に優れる柔軟なデバイスの作製が進められている. 例えば, LED¹⁾やセンサー²⁾等が報告されている. しかしこれらのデバイスは単一で機能せず, メモリ等と統合されて初めて効果を発揮する. したがって同様に柔軟なメモリの開発が不可欠である. 柔軟なメモリの候補として, 抵抗変化メモリ(ReRAM)が提案されている. ReRAM は情報の保持に加え, 処理機能を有する³⁾. また, シンプルな金属/絶縁体/金属(MIM)サンドイッチ構造のためフレキシブル化が容易なほか, 高速動作に優れる^{3,4)}. 柔軟な ReRAM のために従来の MIM 構造を, 柔軟なポリマーに置き換えたものが報告されているが, 絶縁体として使用されているポリエチレンジオキシチオフェン:ポリエチレンスルホン酸(PEDOT:PSS)が分離するため, 情報処理ができない欠点がある. これは分離した PSS が絶縁体として振る舞うためだとされている⁵⁾. ここで我々は, 可逆的な酸化還元反応を利用した Wang らの研究⁶⁾に着想を得て, 硫酸銅(CuSO_4)とポリビニルアルコール(PVA)の組み合わせにより情報処理が可能と考えた. CuSO_4 は可逆的に酸化還元する性質があり, 水溶性高分子を添加することでその性質を強化できるためである⁷⁾. PVA は水溶性高分子であり OH 基を持つため, 水和する CuSO_4 と相性が良く PEDOT:PSS の抱える分離を抑制できる. また柔軟性と絶縁性があり, 高 ON/OFF 比の柔軟なメモリが期待できる. しかしながら PVA には極性があり, 酸化還元に要するエネルギーを誘電損失として消費することが予想される. 本研究では焼結条件を変えることで結晶化度を段階的に変化させ, PVA の持つ極性がデバイスにもたらす影響を調査した.

絶縁体層に用いた硫酸銅五水和物($\text{CuSO}_4 \cdot 5\text{H}_2\text{O}$)と PVA は, 質量比 $\text{CuSO}_4 \cdot 5\text{H}_2\text{O}:\text{PVA}=1:1$ で混合したものを用いた. 作製した ReRAM の概略図を Fig. 1 に示す. 100°C , 5 分で焼結した抵抗変化素子の典型的な I - V 特性 Fig. 2 に示す. このデバイスは $+2\text{ V}$ で高抵抗状態から低抵抗状態へと変化し, -2 V で逆の変化を示した. この抵抗変化は, 銅の酸化還元反応によるものと考察する. 銅が酸化することで電子が放出され導電性が上昇し, 銅が還元することで電子が銅にトラップされ絶縁すると考えられる. それぞれ 100°C , 10 分, 30 分で焼結した抵抗変化素子の I - V 特性を Fig. 3 に示す. いずれも典型的な曲線にならず, 絶縁傾向となった. 10 分のは保持力電圧が -0.6 V だが, 30 分のは保持力電圧が -1.4 V まで上昇した. これは結晶化によって PVA の水素結合が強くなった結果, 分子の回転に更に強い電界を要したためと考えられる.

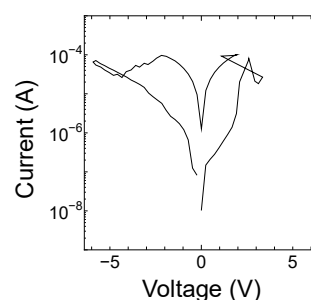
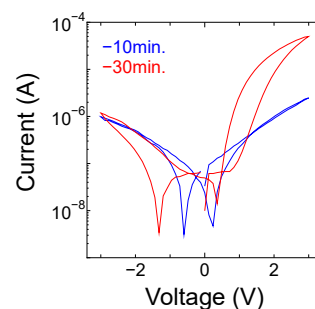
柔軟な抵抗変化素子のため, CuSO_4 混合 PVA を用いた素子を作製し, その特性を評価した. 混合物は実際に可逆的な酸化還元による抵抗変化を示した. また焼結により結晶化が促進されると, PVA の持つ OH 基の影響により極性が現れ, 抵抗変化素子として動作しないことが分かった. 作製した素子のメモリ特性については当日報告する.

Reference

- 1) H. J. Kwon *et al.*, Appl. Phys. Lett., 98, 151904 (2011).
- 2) K. Takei *et al.*, Nature Mater., 9, 821 (2010).
- 3) A. Chen, Solid-State Electron., 125, 25 (2016).
- 4) A. I. Khan *et al.*, Science, 373, 1243 (2021).
- 5) U. S. Bhansali *et al.*, ACS Nano, 7, 10518 (2013).
- 6) P. Wang *et al.*, J. Mater. Chem., 22, 9576 (2021).
- 7) V. Azmeera *et al.*, Carbohydr. Polym., 110, 388 (2014).



Fig. 1 Schematic diagram of the device configuration.

Fig. 2 Typical I - V characteristics of the fabricated ReRAM baked at 100°C for 5 min.Fig. 3 Typical I - V characteristics of the fabricated ReRAM baked at 100°C for 10 and 30 min.

13 Semiconductors | Oral presentation : 13.5 Semiconductor devices/ Interconnect/ Integration technologies

[9a-S203-1~10] 13.5 Semiconductor devices/ Interconnect/ Integration technologies

[9a-S203-1]

[The 58th Young Scientist Presentation Award Speech] Improvement of crystal quality by selective H₂-introduced molecular beam epitaxy and room temperature operation of GeSn/GeSiSn resonant tunneling diode

○Shota Torimoto¹, Shuto Ishimoto¹, Yoshiki Kato¹, Mitsuo Sakashita¹, Masashi Kurosawa¹, Osamu Nakatsuka^{1,2}, Shigehisa Shibayama¹ (1.Grad. Sch. of Eng., Nagoya Univ., 2.IMaSS, Nagoya Univ.)

[9a-S203-2]

Understanding the interfacial reaction of Bi₂Te₃/n-Ge and the effects on contact properties

○(M1C)Mitsutaka Itoo¹, Mihyeon Kim¹, Shogo Hatayama², Wen Hsin Chang², Yuta Saito^{1,2,3} (1.Tohoku Univ., 2.SFRC, AIST, 3.GXT, Tohoku Univ.)

[9a-S203-3]

Nanosheet Oxide Semiconductor FETs with Amorphous and Polycrystalline InGaOx

○(DC)Kota Sakai¹, Sunbin Hwang², Anlan Chen¹, Ki-woong Park¹, Xingyu Huang¹, Takuya Saraya¹, Toshiro Hiramoto¹, Takanori Takahashi³, Mutsunori Uenuma², Yukiharu Uraoka³, Masaharu Kobayashi¹ (1.IIS, The Univ. Tokyo, 2.AIST, 3.NAIST)

[9a-S203-4]

Gate-All-Around Nanosheet Oxide Semiconductor FETs with Selectively Crystallized InGaOx

○(DC)Kota Sakai¹, Anlan Chen¹, Ki-woong Park¹, Xingyu Huang¹, Takuya Saraya¹, Toshiro Hiramoto¹, Sunbin Hwang², Takanori Takahashi³, Mutsunori Uenuma², Yukiharu Uraoka³, Masaharu Kobayashi¹ (1.IIS, The Univ. Tokyo, 2.AIST, 3.NAIST)

[9a-S203-5]

Spectroscopic ellipsometry characterization of SiP film for nano-sheet FET process

○Naoto Kumagai¹, Toshifumi Irisawa¹, Yoshihiro Hayashi¹ (1.SFRC, AIST)

[9a-S203-6]

Formation of Work Function Metals for Advanced Gate-all-around CMOS FET

○Kenzo Manabe¹, Misako Morota¹, Hiroyuki Ota¹, Yukinori Morita¹, Toshifumi Irisawa¹, Yoshihiro Hayashi¹ (1.SFRC, AIS)

[9a-S203-7]

Device Design of Nanosheet GAAFETs using Response Surface Method

○Koichi Fukuda¹, Mariko Ninomiya¹, Junichi Hattori¹, Yoshihiro Hayashi¹ (1.AIST)

[9a-S203-8]

Process Flow Optimization for GAAFET Using Profile Simulator

○Yoko Tanaka¹, Kenzo Manabe¹, Atsushi Yagishita¹, Masanaga Fukasawa¹, Toshifumi Irisawa¹, Yoshihiro Hayashi¹ (1.AIST SFRC)

[9a-S203-9]

Demonstration of Integrate-and-Fire Operation using “GCCl SOI-Tr” with Gate Input Method

○Haruki Yonezaki^{1,2}, Takayuki Mori¹, Jiro Ida¹ (1.Kanazawa Inst. of Tech., 2.KIOXIA Corp.)

[9a-S203-10]

Structural Effects on Program Characteristics in 3D Flash Memories with Gate Side Injection Operation

○Tatsuya Ishikawa¹, Hiroshi Takeda¹, Takashi Kurusu¹ (1.KIOXIA Corporation)

選択的 H₂ 導入を用いた分子線エピタキシーによる結晶品質改善と
GeSn/GeSiSn 共鳴トンネルダイオードの室温動作実証
Improvement of crystal quality by selective H₂-introduced molecular beam epitaxy and
room temperature operation of GeSn/GeSiSn resonant tunneling diode

名大院工¹, 名大未来研²
○鳥本 昇汰¹, 石本 修斗¹, 加藤 芳規¹, 坂下 満男¹, 黒澤 昌志¹, 中塚 理^{1,2}, 柴山 茂久¹
Grad. Sch. of Eng., Nagoya Univ.¹, IMaSS, Nagoya Univ.²,
○S. Torimoto¹, S. Ishimoto¹, Y. Kato¹, M. Sakashita¹, M. Kurosawa¹, O. Nakatsuka^{1,2}, and S. Shibayama¹
E-mail: torimoto.shota.f3@s.mail.nagoya-u.ac.jp, s-shibayama@nagoya-u.jp

[研究背景]次世代の超高速大容量通信やイメージングに用いるテラヘルツ光源として共鳴トンネルダイオード (RTD) が注目されている. 我々の研究グループでは, 低環境負荷かつ既存の Si 集積化技術との親和性が高い IV 族半導体で構成される RTD の実現を目指し, 格子定数とバンドギャップが制御可能な IV 族混晶半導体 Ge(Si)Sn^[1]に注目している. これまで, GeSn/GeSiSn 二重障壁構造 (DBS) を有する RTD において共鳴トンネル由来の負性微分抵抗 (NDR) の観測に成功してきた^[2]. しかし, 動作温度が 10 K と低温だった. 動作温度増大には, GeSn/GeSiSn DBS の結晶内部やヘテロ界面の欠陥密度低減が重要である. 今回, 分子線エピタキシー (MBE) 法を用いた結晶成長時の選択的 H₂ 導入により GeSn/GeSiSn DBS の結晶品質が向上し, さらに作製した GeSn/GeSiSn RTD で室温動作に成功した.

[実験]*p*-Ge(001)基板 (0.925–0.943 Ω·cm)を表面清浄化した後, MBE 法により H₂ 導入のタイミングが異なる 3 種類の GeSn/GeSiSn DBS (図 1: H₂All, w/oH₂, H₂GeSn) を結晶成長した. H₂ 導入なし, H₂ 導入あり場合の成長圧力はそれぞれ, ~10⁻⁶, ~10⁻² Pa とした^[3]. 結晶成長した DBS をフォトリソグラフィおよびドライエッチングによりメサ型に加工し, Al₂O₃ パッシベーション, 真空蒸着による円径 Al 電極形成を施して RTD を作製した (図 3 挿入図). 最後に, 10–300 K の温度域で電流密度–電圧 (*J*–*V*) 測定を行い, RTD 特性を評価した.

[結果および議論]試料[H₂All]および[w/oH₂]においては, 膜質変化やヘテロ界面のミキシング, 面ゆらぎといった結晶品質の劣化が見られる (図 2). 一方で, 試料[H₂GeSn]では結晶品質の劣化が抑制され, 急峻かつ平坦なヘテロ界面が形成された (図 2). GeSn 層のみへの選択的な H₂ 導入が GeSn/GeSiSn DBS の結晶品質の向上に有効であると示唆される. RTD 特性では, 最も高い結晶品質を有していた試料[H₂GeSn]から作製した RTD のみ NDR が発現し, その発現温度は室温 (300 K) まで及んだ. (図 3). この結果は GeSn/GeSiSn RTD の室温動作に成功した初めての事例である. 動作温度の増大は, GeSn/GeSiSn DBS の結晶内部およびヘテロ界面の欠陥密度低減・均質性改善によって, 共鳴トンネル由来の輸送成分の割合が増えたためと推測している. 同様に結晶品質の改善に起因すると考えられる結果として, 印加電圧の掃引の行き帰り両方で NDR が発現した (掲載省略). 観測した NDR のピーク電圧値は±2 V 付近に多く分布しており, TCAD シミュレーション解析 (掲載省略) から, NDR の量子力学的な起源は GeSn-井戸層の第 2 量子準位と推測される.

[結論]GeSn/GeSiSn RTD の動作特性向上に向けた低欠陥かつ均質性に優れた GeSn/GeSiSn DBS の形成には選択的 H₂ 導入が有効であることを実証できた.

[謝辞]本研究の一部は, JST さきがけ (JPMJPR21B6) および JST CREST (JPMJCR21C2) の支援を受けて実施された.

[1] P. Moontragoon *et al.*, JAP **112**, 073106 (2012). [2] S. Shibayama *et al.*, IEEE J. Electron Devices Soc. **13**, 79 (2025). [3] 柴山ら, 第 85 回 応用物理学会秋季学術講演会 19a-B5-8 (2024).

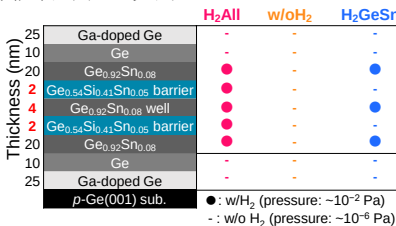


Fig. 1 Schematic structure of grown GeSn/GeSiSn DBS samples (H₂All, w/oH₂, H₂GeSn) and data on the H₂ gas partial pressure for each layer.

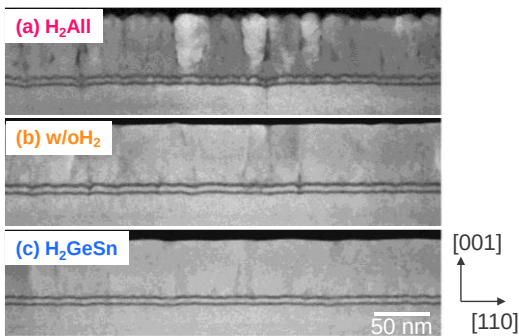


Fig. 2 Cross-sectional HAADF-STEM images of the (a) [H₂All], (b) [w/oH₂], and (c) [H₂GeSn] samples.

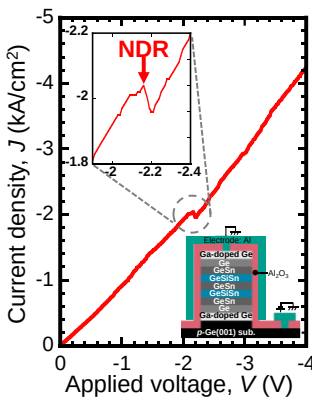


Fig. 3 *J*–*V* curve of the GeSn/GeSiSn RTD using the [H₂GeSn] sample measured at 300 K with the circle shape electrode (diameter of ~20 μm). Insert figure shows the schematic structure of the GeSn/GeSiSn RTD for measurement.

Bi₂Te₃/n-Ge 界面反応挙動の解明とコンタクト特性への影響

Understanding the interfacial reaction of Bi₂Te₃/n-Ge and the effects on contact properties

東北大院工¹, 産総研 SFRC², 東北大 GXT³,

○(M1)糸尾光尊¹, 金美賢¹, 畑山祥吾², 張文馨², 齊藤雄太^{1,2,3}

Tohoku Univ.¹, SFRC, AIST², GXT, Tohoku Univ.³,

°Mitsutaka Ito¹, Mihyeon Kim¹, Shogo Hatayama², Wen Hsin Chang², and Yuta Saito^{1,2,3}

E-mail: itoo.mitsutaka.s3@dc.tohoku.ac.jp, yuta.saito.e5@tohoku.ac.jp

【緒言】Siの微細化限界が迫る中、Siよりもキャリア移動度の高いGeは半導体デバイスの更なる高性能化に向けて注目されているが、金属電極/Ge界面での高い接触抵抗が実用化に向けた課題の一つである。この接触抵抗を低減させるために、状態密度の観点から半金属のコンタクト材料に対する期待が高まっている¹⁾。また界面状態の観点からは、結合が終端され表面欠陥の少ない層状物質が接触抵抗を低減すると期待されている。Bi₂Te₃は、Fig.1に示すような層状構造を有し、電気的には縮退半導体的な振る舞いを示すため、これらの要求を満足するコンタクト材料の候補である。実際、我々のグループでは、Bi₂Te₃を用いることでGeとのオーミックコンタクトが実現可能であることを報告してきた²⁾。本研究ではBi₂Te₃とGeにおける界面反応挙動を詳細に解析し、電気的特性に及ぼす影響について調査した。

【実験方法】RFスパッタリングによって、Bi-Te合金ターゲットを用いてn型Ge(100)基板上に20 nmのBi-Te薄膜を室温、および230 °Cで成膜し、その後W薄膜(30 nm)を成膜した。作製後、Arフロー下でポストアニールを施した。得られた試料について、X線回折(XRD)測定、透過電子顕微鏡(TEM)観察を行った。また上部電極を作製し、電気特性の評価を行った。

【結果】XRDの結果、加熱成膜した試料では、成膜ままではBi₂Te₃が、400 °Cで熱処理した試料ではGeBi₂Te₄が形成していることがわかった。Fig.2中のTEM像から、薄膜が配向し、van der Waalsギャップを面内方向に平行に形成する様子が確認できた。Fig.2に示すように、電気的特性の調査から、熱処理によりオーミック性が向上したことがわかった。発表では、ポストアニール温度と形成する相の関係や、電気的特性に及ぼす影響について紹介する。

[1] P. C. Shen et al., *Nature*, 593, 211 (2021).

[2] 張ほか, 第85回応用物理学会秋季学術講演会, 16p-C302-2 (2024)

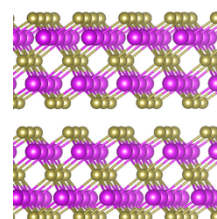


Fig. 1 Crystal structure of Bi₂Te₃.

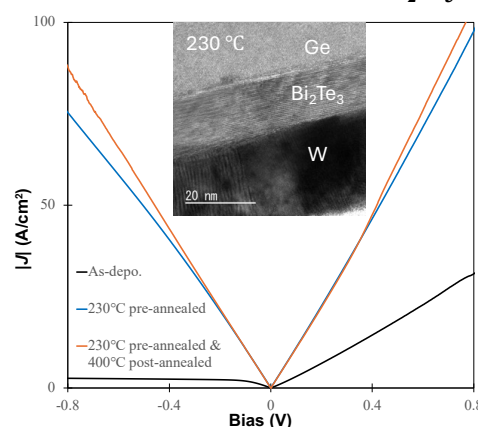


Fig. 2 *I-V* curves of As-depo, 230 °C, and 400 °C annealed samples. The inset shows a TEM image of 230 °C annealed sample.

アモルファス・多結晶 InGaOx によるナノシート酸化物半導体トランジスタ Nanosheet Oxide Semiconductor FETs with Amorphous and Polycrystalline InGaOx

坂井 洸太¹, Sunbin Hwang², Anlan Chen¹, Ki-woong Park¹, Xingyu Huang¹, 更屋 拓哉¹,
平本 俊郎¹, 高橋 崇典³, 上沼 睦典², 浦岡 行治³, and 小林 正治¹

¹The University of Tokyo, ²National Institute of Advanced Industrial Science and Technology,

³Nara Institute of Science and Technology

E-mail: sakai@nano.iis.u-tokyo.ac.jp

【はじめに】 酸化物半導体 (OS) は低温プロセス、高い熱安定性、高移動度、低リーク電流の特徴から次世代 DRAM やモノリシック三次元集積への応用が期待されている[1,2]。InOx は In の広い 5s 軌道により高移動度を有する。我々は Ga 添加によりキャリア密度に寄与する酸素空孔を低減し、正のしきい値電圧(V_{th})と高い熱安定性を実現してきた[3]。しかしアモルファスではパーコレーション伝導であり、高移動度には高キャリア密度が必要であるため[4]、移動度と閾値電圧の両立が難しい。そこで本研究では、アニールによる Ga 添加 InOx (IGO) 薄膜の結晶化と薄膜化に着目し、高性能化を目指した。

【実験方法】 原子層堆積(ALD)法により InOx と IGO を 250°C で成膜し、成膜後 400°C で大気雰囲気アニールを行い、結晶化を試みた。電気特性評価のため、TiN ゲート電極と HfO₂ 絶縁膜を有するボトムゲート FET を作製した。FET の Ga 濃度依存性、膜厚依存性、温度依存性 (20-300K) を評価した。

【結果と考察】 GI-XRD 測定により、InOx に Ga を添加しても 400°C での結晶化が確認され、格子定数の変化から Ga の固溶置換を確認した。Ga 濃度依存性では、Ga 添加により顕著な特性改善が確認された(Fig.1,2)。移動度は Ga 濃度の増加とともに向上し、Ga 7.5%において最大移動度 81 cm²/Vs を達成した。アモルファス IGO と比較し 50%以上向上した。多結晶 IGO での Ga 添加による移動度向上は、酸素空孔減少によるキャリア散乱の低減によるものと考えられる[5]。また、Ga 濃度の増加とともに、閾値電圧(V_{th})は上昇し、サブスレショルド係数(SS)は低減された。膜厚依存性では、移動度は 5nm 厚まで維持され、3.3nm 厚では減少した(Fig.3,4)。これは結晶化が不十分であることに起因する。膜厚減少に伴わない V_{th} は増加し、3.3nm 厚では正の V_{th} まで変化した。この V_{th} の膜厚依存性はピンチオフ長の減少と量子閉じ込め効果 (物理化学解析は共著者の講演参照) によるものと考えられる。次に、電界効果移動度の温度依存性を評価した(Fig.5)。アモルファス OS では温度依存性が小さく、高キャリア密度におけるパーコレーション伝導を示唆している[4]。対照的に、多結晶 OS では高温において移動度が低下するという、アモルファス OS や poly-Si でみられる熱活性的なふるまいとは逆の温度依存性を示した。この結果から、多結晶 IGO ではパーコレーション伝導や粒界散乱が支配的ではなく、グレイン内での散乱による伝導であることが示唆される。最後に、10⁴秒の正ストレスバイアス信頼性を評価した(Fig.6,7)。Ga 5-7.5%において最も優れた信頼性を示した。

【まとめ】 Ga 添加と結晶化により、InOx FET の V_{th} を制御しつつ移動度を大幅に向上させた。また高移動度の多結晶 OS ではグレイン内でのキャリア散乱による輸送特性となる可能性を示唆した。

[1] S. Fujii et al., IEDM (2024), [2] W. Tang et al., IEDM (2023), [3] K. Hikake et al., VLSI Symp. (2023), [4] A. Takagi et al., Thin Solid Films (2005), [5] S.-H. Ryu et al, Adv. Electron. Mater. (2024).

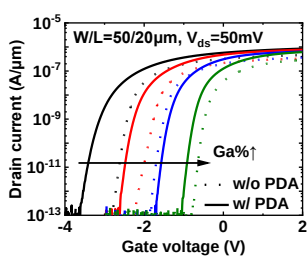


Fig.1. Id-Vg curves of IGO FETs with 0, 5, 7.5, and 10 Ga%.

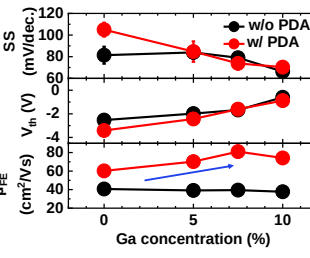


Fig.2. μ_{FE} , V_{th} , and SS of IGO FETs as a function of different Ga% with and without PDA.

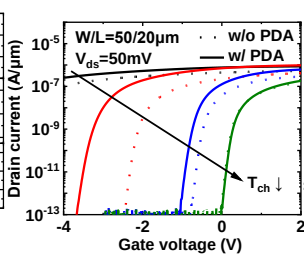


Fig.3. Id-Vg curves of IGO 10% FETs with 10, 8.7, 5, and 3.3nm-thick channel.

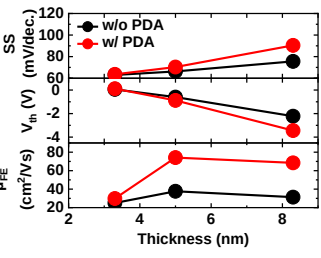


Fig.4. μ_{FE} , V_{th} , and SS IGO 10% FETs as a function of channel thickness with and without PDA.

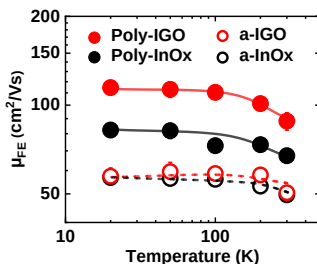


Fig.5. Temperature dependent mobility extracted from bottom gate InOx and IGO FETs with and without PDA.

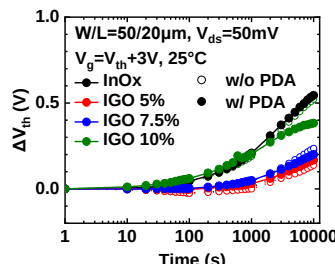


Fig.6. PBS characteristics of InOx and IGO FETs of 0, 5, 7.5, and 10 Ga%.

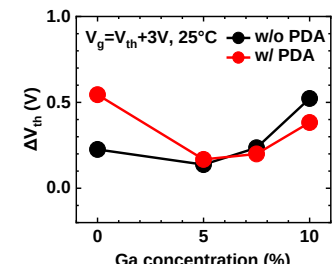


Fig.7. V_{th} shift (ΔV_{th}) under PBS as a function of different Ga% with and without PDA.

選択的結晶化による多結晶 InGaOx を用いた ゲートオールアラウンドナノシート酸化物半導体 FET Gate-All-Around Nanosheet Oxide Semiconductor FETs with Selectively Crystallized InGaOx

坂井 洸太¹, Anlan Chen¹, Ki-woong Park¹, Xingyu Huang¹, 更屋 拓哉¹, 平本 俊郎¹,
Sunbin Hwang², 高橋 崇典³, 上沼 睦典², 浦岡 行治³, and 小林 正治¹

¹The University of Tokyo, ²National Institute of Advanced Industrial Science and Technology,

³Nara Institute of Science and Technology

E-mail: sakai@nano.iis.u-tokyo.ac.jp

【はじめに】 酸化物半導体 (OS) は低温プロセス、高い熱安定性、高移動度、低リーク電流の特徴から集積デバイス応用が期待されており[1,2]、OS FET の微細化が不可欠である。短チャネル効果の抑制と駆動電流の向上のため、ゲート制御性に優れたゲートオールアラウンド (GAA) ナノシート (NS) 構造が適している。そこで、GAA 構造形成のためのチャネルリリース工程において、チャネルに対し高いエッチング選択比を有する犠牲層の選択が重要である。これまでに OS チャネルの GAA 構造の提案例があるものの、チャネル層と犠牲層を別装置で成膜する必要がある上、十分なデバイス特性が得られていない[3,4]。本研究では OS FET の微細化に向けて、多結晶の Ga 添加 InOx (IGO) による選択比の高いチャネルリリース工程により GAA 構造を実現し、高性能・高信頼性を得ることを目的とする。

【GAA プロセス】 GAA 構造のプロセスフローを Fig.1 に示す。まず、InOx または IGO をチャネル層とし、InZnOx(IZO)を犠牲層として、200nm SiO₂ 上に ALD 法でチャネル層と犠牲層を連続で積層成膜した。400°Cでの PDA 後、50nm SiO₂ハードマスクを成膜し、EB リソグラフィと RIE によるメサパターンニングを行った。Ni ソース・ドレイン形成後、希釈 HCl によりチャネルリリースを行った。積層膜の PDA により InOx および IGO のチャネル層のみが結晶化し、IZO 犠牲層はアモルファスのままとなる。XRD・TEM・EDX 解析により、この選択的結晶化を確認した(Fig.2,3)。HCl 溶液で IZO は容易にエッチングされたが、多結晶 IGO と InOx はエッチングされなかった。この高いエッチング選択比により、宙吊り構造の IGO NS が形成された(Fig.4)。その後、ALD により、HfO₂、ITO をそれぞれゲート絶縁膜、ゲート電極として成膜した。最後にゲートをパターンニングし、コンタクトを形成した。

【デバイス特性】 Fig.5 に GAA 構造の InOx FET と IGO FET の電流伝達特性を示す。W/L = 50nm/150nm の GAA IGO FET において、移動度 44.5 cm²/Vs、オン電流 326 μ A/ μ m ($V_{ov}=V_{ds}=1.2$ V) を実現した。GAA InOx FET と比較し、移動度は 1.8 倍、 I_{on} は 2.1 倍、向上した。さらに、GAA NS 構造により薄いピンチオフ厚と量子閉じ込め効果により、正の閾値電圧を実現した。

【信頼性評価】 正ストレスバイアス試験では、GAA NS 構造の FET がプレーナ構造の FET と比較して、10⁴秒後のストレス後で閾値電圧シフトが 60 mV 未満の高い信頼性を示した(Fig.6)。これには GAA 構造形成プロセスでの欠陥回復、パッシベーション効果、電界緩和が寄与していると考えられる[5]。

【まとめ】 選択的結晶化により GAA NS IGO FET を試作し、高オン電流、ノーマリーオフ動作、高信頼性を達成した。本研究は集積デバイス応用に向けた結晶性 OS の高い潜在性を示すものである。

[1] S. Fujii et al., IEDM (2024), [2] W. Tang et al., IEDM (2023), [3] J.C. Chiu et al., VLSI Symp. (2023),

[4] E. Sarkar et al., IEDM, (2024), [5] K. Hikake et al., VLSI Symp. (2023).

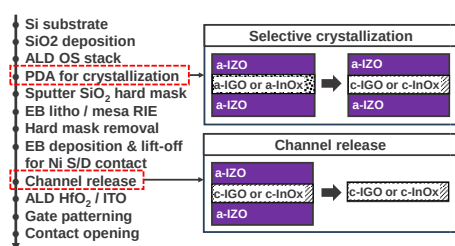


Fig.1. Device fabrication process flow of GAA-NS OS FET highlighting key process modules.

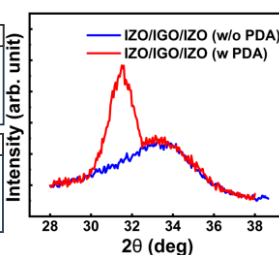


Fig.2. XRD spectra of IZO/IGO/IZO stack before and after PDA.

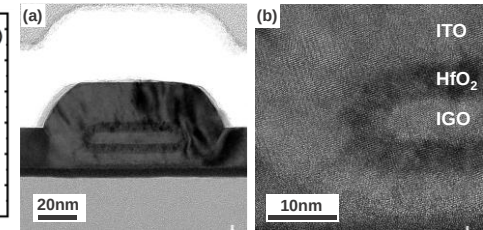


Fig.3. Cross sectional TEM images in low-mag and high-mag.

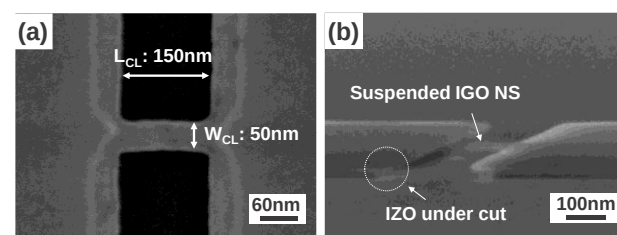


Fig.4. SEM images after the channel release process from different viewing angles.

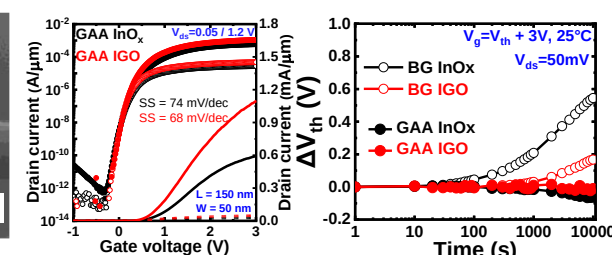


Fig.5. Id-Vg curves of the GAA NS InOx and IGO FET.

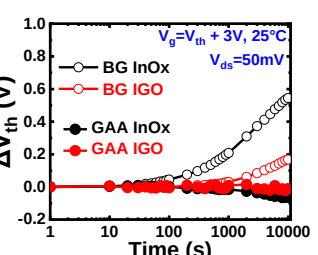


Fig.6. PBS comparison of BG FETs and GAA NS FETs

ナノシート FET に向けた SiP の分光エリプソメトリー評価

Spectroscopic ellipsometry characterization of SiP film for nano-sheet FET process

産総研 SFRC, ○熊谷直人、入沢寿史、林喜宏

SFRC, AIST, N. Kumagai, T. Irisawa, and Y. Hayashi

E-mail: n.kumagai@aist.go.jp

【はじめに】 微細化が進む GAAFET 等のナノシート FET において接触抵抗の低減は重要な課題の一つであり、近年では NMOS の低抵抗 S/D 形成には SiP の選択成長が用いられている[1, 2]。P 濃度は $\sim 1 \times 10^{21} \text{cm}^{-3}$ 程度と at%オーダーであり、従来のドーピングで用いられてきた濃度より 1 桁以上高く、物性面でも興味を持たれている[3]。分光エリプソメトリーや OCD に必要な光学定数 (誘電関数) はドーピングにより変化する事が知られているが[4]、 $\sim 1 \times 10^{21} \text{cm}^{-3}$ のような高濃度域ではあまり調べられていない。本研究では SiP を成長し、分光エリプソメトリー測定を行い、光学定数をパラメータとした fitting により光学定数を見積もり、その光学定数を用いて膜厚を評価し検証した。

【実験】 パイロットラインに導入された 300mm 減圧 CVD により SiP を Si(100) ウェハ上に成長時間 132 ~ 2112sec で膜厚の異なる試料をエピタキシャル成長し、分光エリプソメトリー測定を行った。同成長条件の SiP/SiGe マーカー試料の SIMS による P 濃度は $2 \times 10^{21} \text{cm}^{-3}$ であり、同断面 TEM により成長レートを評価した。一番厚い 2112sec 成長した SiP 試料 (膜厚 200 nm) について、光学モデルでは SiP の膜厚を固定し、光学定数をパラメータとして fitting を行った。また、光学モデル中の表面粗さや自然酸化膜厚さは AFM や断面 TEM からの結果を用いた。Fitting から誘電関数を見積り、その見積もった光学定数を用いて成長時間(膜厚)の異なる SiP 試料の膜厚評価を行った。

【結果】 Fig. 1 に SiP/SiGe マーカー試料の断面 TEM 像を示す。SiP の成長レートは 5.7nm/min、再表面の自然酸化膜厚さは 1.8nm であった。Fig. 2 に fitting から見積もった SiP の誘電関数を示す。比較のため Si の誘電関数を併記している。基本的には Si に近いスペクトルではあるが、特異点である 3.4 eV 付近の E_1 、4.3 eV 付近の E_2 において、ピーク強度の顕著な低下や低エネルギー側へのシフトが見られる。これは P 濃度増加による格子乱れや欠陥の増加に由来すると考えられる。Fig. 3 に見積もられた光学定数を用いて評価した膜厚の成長時間依存性を示す。得られた膜厚の成長時間依存性がほぼ原点を通ることから、見積もった誘電関数スペクトルの妥当性を示している。

【謝辞】 この成果の一部は、NEDO (国立研究開発法人新エネルギー・産業技術総合開発機構) の「ポスト 5 G 情報通信システム基盤強化研究開発事業」(JPNP20017) の助成事業の結果得られたものです。評価にご協力頂いた株式会社 SCREEN セミコンダクターソリューションズの渡邊迅登氏に感謝いたします。

[1] E. Rosseel *et al.*, ECS Trans. 75 (8), 347 (2016). [2] Joël Kanyandekwe *et al.*, ECS Trans. 109 (4), 121 (2022).

[3] M. Lee *et al.*, J. Mater. Chem. C 5, 9744 (2017). [4] D. E. Aspnes *et al.*, Phys. Rev. B 29, 768 (1984).

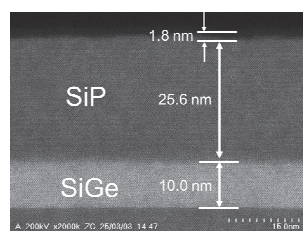


Fig. 1 Cross sectional TEM images of SiP layer on SiGe marker.

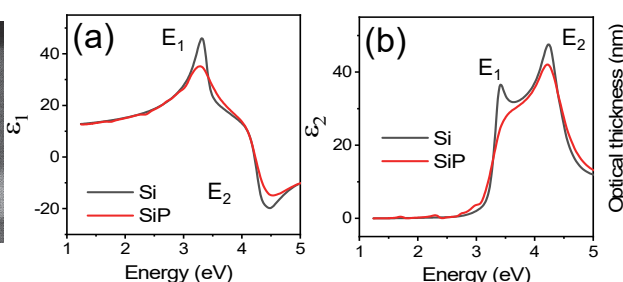


Fig. 2 The estimated dielectric function (a) ϵ_1 and (b) ϵ_2 of SiP (red) and bulk Si (black).

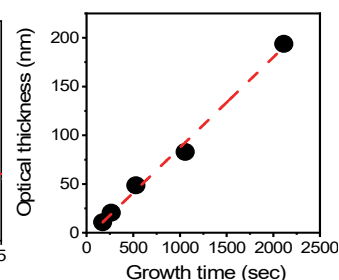


Fig. 3 Optical thickness evaluated with the estimated dielectric function of SiP.

Gate-all-around CMOS FET 仕事関数金属作り分け検討 Formation of Work Function Metals for Advanced Gate-all-around CMOS FET

産総研 先端半導体研究センター ○間部 謙三, 諸田 美砂子, 太田 裕之, 森田 行則,
入沢 寿史, 林 喜宏

SFRC, AIST, °Kenzo Manabe, Misako Morota, Hiroyuki Ota, Yukinori Morita, Toshifumi Irisawa,
and Yoshihiro Hayashi
E-mail: kenzo.manabe@aist.go.jp

【背景】 Gate-all-around (GAA) 型トランジスタのしきい値 (V_{th}) 制御には仕事関数調整用メタル (WFM) が使用されるが、CMOS 実現には n および p 型 WFM を高誘電率ゲート絶縁膜 (HK) にダメージを与えることなく作り分けることが必要である。現在、我々は GAAFET 等の先端ロジック半導体デバイスの研究試作のため 300 mm パイロットラインの整備を進めており、その一環として、 HfO_2 ゲート絶縁膜上での TiN/TiAlC 電極 (n 型 WFM) および TiN 電極 (p 型 WFM) の作り分けプロセスを検討している (Fig.1)。本プロセスでは、NMOS 側から p 型 WFM の TiN をウェット除去する際に HK ダメージ起因リーク増大や TiN 残りによる EWF 上昇などが懸念される。本発表では WFM 作り分けプロセス条件がゲートスタック特性に与える影響を報告する。

【実験】 p 型 WFM の TiN ウェット除去の n 型 EWF への影響を調べるため、TiN(12nm)/TiAlC(5nm)/TiN(2nm)/ HfO_2 (3nm)/IL/Si-sub 構造を有する MOSCAPA を Fig.1 の赤枠内フローで作製した。その際、p 型 WFM の TiN はアンモニア・過酸化水素水混合液 (APM) でオーバー量を TiN 膜厚換算で 1.25 から 100nm (25~2000%) で変化させ除去した。

【結果】 Fig.2 は、TiN 除去オーバー量が 1.25 及び 100nm (25 及び 2000%) の CV 特性である。TiN 除去オーバー量の増大に伴いフラットバンド電圧 V_{fb} が低下した。Fig.3 は V_{fb} から算出した EWF である。EWF はウェット除去時オーバー量増加 (1.25⇒100nm) に伴い低下し、5nm 以上のオーバー量ではほぼ一定値となった。XPS 測定から、ウェット除去時オーバー量が 2.5nm の場合 HK 表面に Ti が検出された (図非掲載)。以上の結果から Fig.3 の EWF のウェット除去時オーバー量依存性は、HK 上 Ti 残存量を反映している可能性がある。当日の講演では、ウェット除去時オーバー量のゲートリークへの影響や HK 上残存 Ti の EWF への影響の物理的要因について議論する予定である。

デバイス試作は産業技術総合研究所スーパークリーンルーム (SCR) 300mm CMOS 試作ラインで行われた。この成果は、NEDO (国立研究開発法人新エネルギー・産業技術総合開発機構) の助成事業「ポスト 5 G 情報通信システム基盤強化研究開発事業」(JPNP20017) の結果得られたものです。

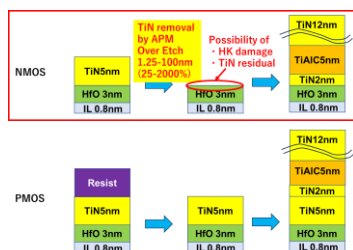


Fig.1. Formation of Work Function Metals for GAA CMOS FET.

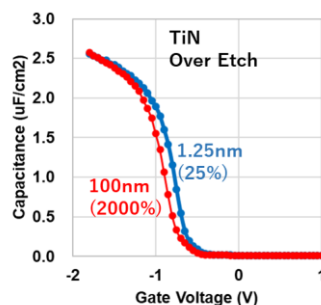


Fig.2. CV characteristics for TiN over etch 1.25nm (25%) and 100nm (2000%).

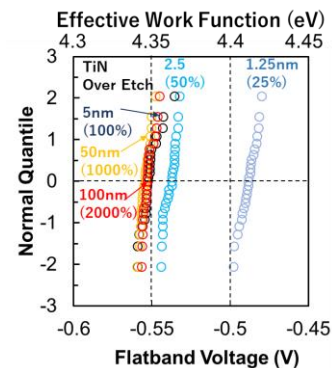


Fig.3 V_{fb} and EWF for various TiN removal conditions.

応答曲面法によるナノシート GAAFET のデバイス設計

Device Design of Nanosheet GAAFETs using Response Surface Method

産総研, °福田 浩一, 二宮 真理子, 服部 淳一, 林 喜宏

AIST, °Koichi Fukuda, Mariko Ninomiya, Junichi Hattori, Yoshihiro Hayashi

応答曲面法は系統的な実験計画法の結果から応答曲面(Response Surface)係数を求め、限定された因子パラメータ空間での評価特性値を簡単な式で表すことにより、系統的な考察を可能にするものである。半導体デバイスシミュレータを用いてナノシート GAAFET のデバイス設計を行う際、応答曲面法を用いて設計パラメータを考察した。ここでの因子はゲート長(Lg)、ゲート酸化膜厚(Tox)、ナノシート膜厚(Tsi)、および7nmのスペーサからのソースドレインのガウス分布の標準偏差(σ SD)とし、評価特性値は電源電圧Vddを0.65Vとしたときのオン電流Ion、オフリーク電流Ioff、閾値電圧Vtsat、およびサブスレッショルドスロープSSとした。Lgは14~50 nmとし、ゲート長毎に Δ Lgは ± 3 nm、Toxは1 nm $\pm$ 0.1 nm、Tsiは5, 7, 9 nm $\pm$ 1 nm、 σ SDは2.5 nm $\pm$ 1 nmの中心複合計画でデバイスシミュレーションによって特性値を抽出し、0次項、1次項、交差項、2次項までのパラメータを抽出した。

Fig. 1は想定したナノシート GAAFET のデバイス断面図である。図の奥行方向であるナノシート幅(Wsi)は40 nmとし、両側にも同じゲート酸化膜及びゲート電極がある三次元構造とした。なお実膜厚は(100)界面を想定した二次元電子ガスの計算結果から、Toxが0.4 nm厚く、Tsiが片側1.2 nm薄く見えるものとした。スペーサの比誘電率は5.0とした。Vtsatの定義は定電流で0.1 uA/ μ m $\times$ Wsi / Lgの定義を用いた。

Fig. 2はゲート長20 nm、ナノシート厚7 nm、実効酸化膜厚1 nm、 σ SD 2.5 nmを中心としたIon – Ioffプロットである。色はSS値である。応答曲面関数の空間を用いてこのようなグラフを描画することでデバイス設計の指導原理を導くことが可能である。特にソース・ドレインの不純物分布がサイドウォール(SW)の外からどの程度拡散するか(σ SD)によって短チャネル効果の抑制程度と、各電気特性値との関係をあらかじめ知っておくことが重要である。

この成果の一部は、NEDO（国立研究開発法人新エネルギー・産業技術総合開発機構）の助成事業「ポスト5G情報通信システム基盤強化研究開発事業」（JPNP20017）の結果得られたものです。

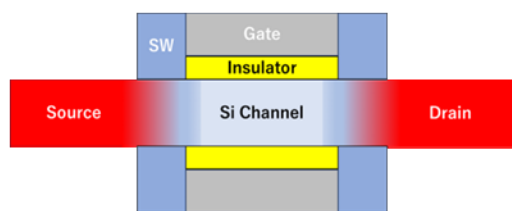


Fig. 1 The cross section of the nanosheet GAAFET

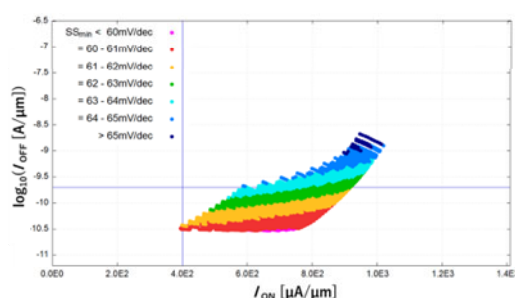


Fig. 2 Ion vs Ioff plot created by response surface function

形状シミュレーターを用いた GAAFET プロセスフローの最適化

Process Flow Optimization for GAAFET Using Profile Simulator

産総研 先端半導体研究センター °田中 陽子, 間部 謙三, 八木下 淳史,
深沢 正永, 入沢 寿史, 林 喜宏

AIST SFRC , °Yoko Tanaka, Kenzo Manabe, Atsushi Yagishita,
Masanaga Fukasawa, Toshifumi Irisawa, and Yoshihiro Hayashi

E-mail: yoko.tanaka@aist.go.jp

【背景】大規模集積回路 (LSI) 分野において、ゲートオールアラウンド型 MOSFET (GAAFET) の開発が盛んに行われている。GAAFET は形状が複雑である上にその形状を形成する膜が多種多様であることから、プロセス中で様々なトレードオフが存在する。本発表では、中でも重要なトレードオフである Dummy Gate 保護と Fin 側壁スペーサーの高さ低減をターゲットにした。Dummy Gate 保護 (Poly-Si 層の露出抑制) は S/D エピ時の Gate と S/D の間の短絡を抑制するために必要である。また、Fin 側壁スペーサーの高さ低減は S/D エピ層の体積増加による寄生抵抗の低減に必要である。形状シミュレーターを用いて上記観点を考慮した条件の最適化を試みた。

【検証条件】形状シミュレーターには、ParadiseWorld-2 (株式会社 NTT データ数理システム) を用いた。また、シミュレーションを行うにあたり、実際の GAAFET プロセスと既報論文¹の RIE 選択比をもとに、前提となる条件の設定を行った (Fig. 1)。

【検証結果】インナースペーサー SiOCN の エッチバック (EB) 時には、SiN に対して選択比が高く Dummy Gate の保護が可能なガス A (SiOCN~Si>SiN) ではなく、Si に対して高選択比を有しグラウンドプレーンが形成された Si 基板の掘れを抑制できるガス B (SiN>SiOCN>>Si) を使用することが分かった。またガス B を使用した場合、Dummy Gate 保護と Fin 側壁スペーサーの高さ低減を両立しうる Fin 側壁スペーサーの EB 条件が存在することを確認した。発表では、形状シミュレーターで最適化したプロセス条件を実ロットに適用した結果も併せて議論する予定である。

この成果は、NEEDO (国立研究開発法人新エネルギー・産業技術総合開発機構) の助成事業「ポスト 5 G 情報通信システム基盤強化研究開発事業」(JPNP20017) の結果得られたものです。

1) Pranda, Adam, *et al.* "Significance of plasma-surface interactions in the etch behavior of low-k materials." *Journal of Vacuum Science & Technology A* 41.6 (2023).

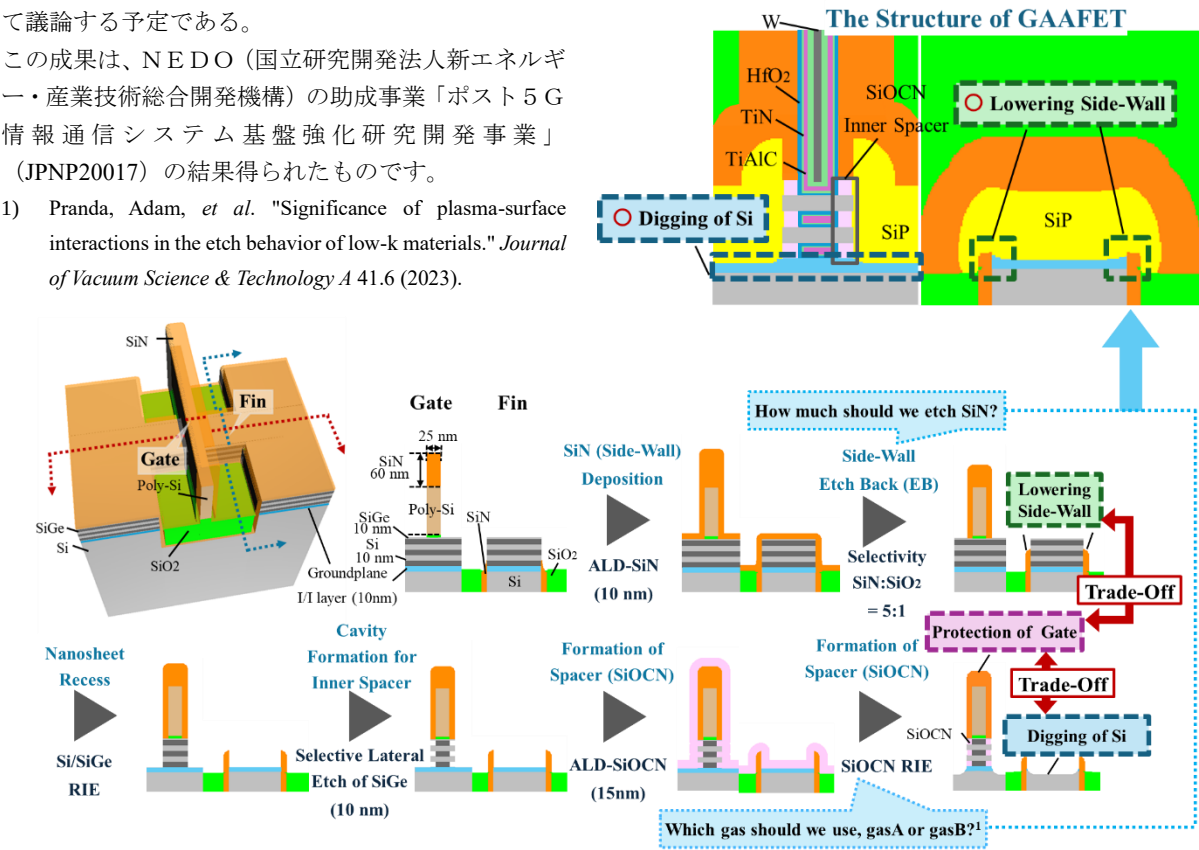


Fig.1 Process Flow with Profile Simulation for GAAFET

“GCCI SOI-Tr” を利用したゲート入力方式による IF 動作の実証

Demonstration of Integrate-and-Fire Operation using “GCCI SOI-Tr” with Gate Input Method

金沢工大¹, キオクシア株式会社² °米崎 晴貴^{1,2}, 森 貴之¹, 井田 次郎¹

Kanazawa Inst. of Tech.¹, KIOXIA Corp.², °Haruki Yonezaki^{1,2}, Takayuki Mori¹, Jiro Ida¹

E-mail: ida@neptune.kanazawa-it.ac.jp

はじめに:増大する AI 需要に伴って,消費電力問題が更に深刻化することが予想される. 我々は消費電力削減のために, 現在主流の人工ニューラルネットワーク (ANN) より低消費電力化が期待されるスパイクングニューラルネットワーク (SNN) におけるニューロンを模倣した機能を実現したデバイスを提案している[1]. しかし, 提案した方式ではボディを入力としており, 高い入力インピーダンスと低電圧動作の実現が難しい. 本稿ではゲートを入力とした Gate-Controlled Carrier-Injection Silicon-on-Insulator Transistor (GCCI SOI-Tr)を利用してニューロンのモデルである Integrate-and-Fire (IF)動作の確認を試みた. 本デバイスは急峻なサブスレッショルドスロープ (SS)を持つデバイスであり, ゲートを入力として利用することで低電圧動作と高い入力インピーダンスを実現できると考えられる.

実験結果:図 1 に GCCI SOI-Tr の構造図を示す. このデバイスは PMOS の S/D と BJT の Base を共通領域としたデバイスである. Body からのキャリアの注入をコントロールゲートで制御し, Base 領域にキャリアを蓄積させる. これにより, SOI 固有の基板浮遊効果が引き起こされるため, 急峻な SS を実現することができる. 図 2 に I_d - V_g 特性を示す. $V_d = 0.2\text{ V}$ の極低ドレイン電圧で急峻な SS を確認した. 図 3 に GCCI SOI-Tr でゲート入力した場合の IF 動作を示す. オン時間 $1\text{ }\mu\text{s}$ およびオフ時間 $5\text{ }\mu\text{s}$ のパルスを入力した. 入力が 65 回目のパルス時に Output 電流が立ち上がっており, ゲート方式においても IF 動作を実現できることを確認した. $V_d = 0.2\text{ V}$ かつ 0.2 V のゲート電圧スイングで IF 動作を実現しており, 低電圧化が可能であると考えられる.また, SNN は入力がスパースであり, オフリーク電流の削減が極めて重要である. そのため, 急峻な SS を持つ本デバイスを用いることで低電圧かつ低オフリーク電流で IF 動作を実現することができる.

参考文献: [1] H. Yonezaki et al., Jpn. J. Appl. Phys. 63 02SP83, Feb. 2024.

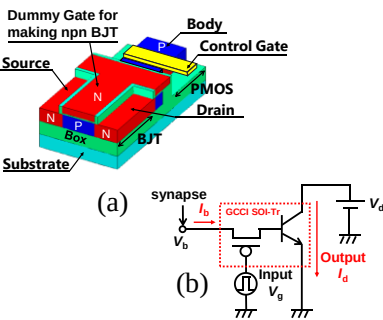


図 1 GCCI SOI-Tr

(a) 鳥瞰図 (b) IF 回路図

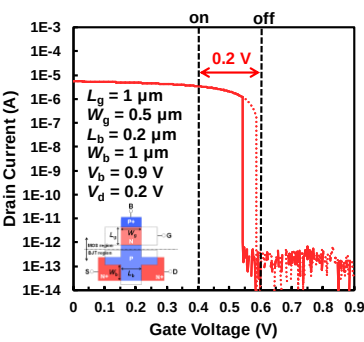


図 2 I_d - V_g 特性

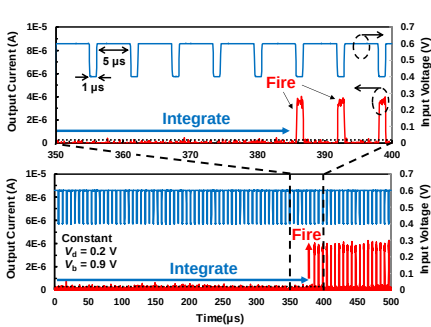


図 3 IF 特性

3次元フラッシュメモリにおけるゲート側注入型書き込み動作への構造影響

Structural Effects on Program Characteristics in 3D Flash Memories with Gate Side Injection Operation

キオクシア株式会社, °石川 達也, 竹田 裕, 来栖 貴史

KIOXIA Corporation, °Tatsuya Ishikawa, Hiroshi Takeda, and Takashi Kurusu

E-mail: tatsuya7.ishikawa@kioxia.com

3次元フラッシュメモリ[1]では高密度・高積層化が進につれて、書き込みに必要な電圧 V_{pgm} の高電圧化が問題になりつつある。 V_{pgm} の高電圧化はメモリセルの書き込み効率、つまり V_{pgm} に対するメモリセル閾値電圧 V_{th} 変化量 (書き込みスロープ: $\Delta V_{th} / \Delta V_{pgm}$) を高めることで回避できる。近年、書き込みスロープを高める動作方式として、図1のようにゲート電極側から電荷蓄積層にキャリアを書き込む動作が提案されている[2]。この動作では書き込みスロープをブロック膜の電気容量 C_b とトンネル膜の電気容量 C_t の比 C_b/C_t で制御できる。そのため、 $C_b > C_t$ となるようメモリセルを構造設計することで、従来のチャネル側注入動作の理論限界(=1)以上に向上することが可能となる。ただし、文献[2]などの既存報告は並行平板キャパシタによる実験であり、3次元フラッシュメモリ(図1)特有の構造影響: ①セルが円筒形である影響、②ゲートが連なったアレイ構造である影響、が議論されておらず、ゲート側注入動作の3次元フラッシュメモリにおける有効性は確認されていない。そこで我々は、3次元 TCAD(Technology Computer-Aided Design)により、書き込みスロープへの①と②の影響について解析を行った。

まず①に関して、ゲート端部のない円筒型キャパシタ構造(ゲート長が無限大の極限)で書き込みスロープのメモリセル径 D に対する感度をシミュレーションした(図2(a))。書き込みスロープは D 縮小により低下しており、特に D が 100 nm 以下での低下が顕著である。この結果は、ゲート側注入動作における書き込みスロープ理論値 C_b/C_t の変化(青線)と類似しており、円筒構造による C_b/C_t の低下(面積比変調)が主要因と考えられる。ただし、 D が 50 nm 以下と極端に小さくならない限りは、従来型動作の書き込みスロープの理論限界(=1)を上回っており、ゲート側注入動作による書き込み効率向上効果を期待できる。次に②に関し、ゲート間隔を一定とした条件下での書き込みスロープのゲート長(L_g)感度をシミュレーションした(図2(b))。 L_g が 25 nm 程度までは書き込みスロープへの影響が小さいが、それ以下では急激に書き込みスロープが上昇した。アレイ構造では書き込み動作時にゲート角部に電界が集中することに加え、選択ゲートと非選択である隣接ゲートとの電圧差により選択ゲート電極角部で電荷が注入されやすくなる。 L_g 縮小時にはこの影響が相対的に強まっていくことで、書き込みスロープが上昇したと考えられる。この効果を積極活用すれば、ブロック膜の比誘電率(ϵ_b)が極端に大きくできない場合でも、高い書き込みスロープを実現できる可能性がある。

以上から、ゲート側注入動作を3次元フラッシュメモリに応用した場合においても、従来のチャネル側注入動作の理論限界を超えた書き込み効率を実現できる可能性が高いと言える。

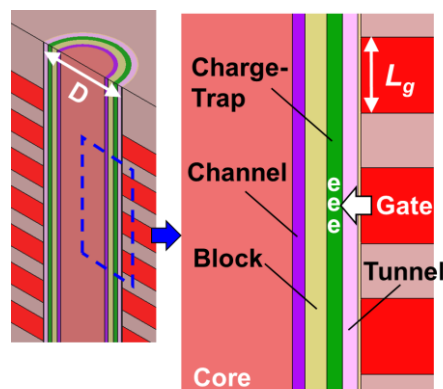


図1. ゲート側注入動作型セル構造。ゲート電極からのキャリア注入、電荷蓄積層での電子輸送を考慮し、書き込み特性を計算する。

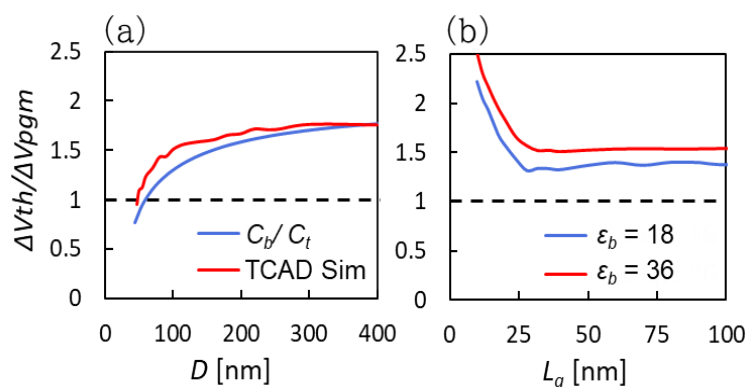


図2. 書き込みスロープの(a) D 依存性、(b) L_g 依存性。破線は従来のチャネル側注入動作での書き込みスロープの理論値を示す。

[1] A. Nitayama and H. Aochi, Proc. of 2010 VLSI-TSA, pp.130-131 (2010).

[2] L. Breuil, et al., Proc. of IEEE IMW 2024, pp.125-128 (2024).

13 Semiconductors | Oral presentation : 13.5 Semiconductor devices/ Interconnect/ Integration technologies

[10a-N302-1~11] 13.5 Semiconductor devices/ Interconnect/ Integration technologies

[10a-N302-1]

Nanoampere Parallel Single-Electron Pumping in Silicon with Split-Source Control

○Gento Yamahata¹, Takase Shimizu¹, Katsuhiko Nishiguchi¹, Akira Fujiwara¹ (1.NTT BRL)

[10a-N302-2]

Effects of valley splitting on resonant-tunneling readout of spin qubits

○Tetsufumi Tanamoto¹, Keiji Ono² (1.Teikyo Univ., 2.Riken)

[10a-N302-3]

RF Reflectometry of Semiconductor Quantum Dots with Tunnel Diode Oscillator

○Yuto Arakawa¹, Ivan Grytsenko², Oleksiy Rybalko^{2,3}, Raisei Mizokuchi¹, Erika Kawakami², Tetsuo Koder¹ (1.Science Tokyo, 2.RIKEN, 3.B. Verkin Institute, NASU)

[10a-N302-4]

3D Stacked Silicon Quantum Dots Utilizing Potential Barriers Formed by Barrier Gates

○(D)Junoh Kim¹, Daiki Futagi¹, Tomoko Mizutani¹, Takuya Saraya¹, Hiroshi Oka², Takahiro Mori², Masaharu Kobayashi^{1,3}, Toshiro Hiramoto¹ (1.IIS, Univ. of Tokyo, 2.AIST, 3.d.lab Univ. of Tokyo)

[10a-N302-5]

Experimental demonstration of Vertically Stacked Two-Layer Silicon Quantum Dots

○(DC)Daiki Futagi¹, Jun-Oh Kim¹, Tomoko Mizutani¹, Takuya Saraya¹, Hiroshi Oka², Takahiro Mori², Masaharu Kobayashi^{1,3}, Toshiro Hiramoto¹ (1.IIS, UTokyo., 2.AIST, Japan., 3.d.lab, UTokyo.)

[10a-N302-6]

Application of V_{PG} - V_{BG} Mapping to Analyze Device Characteristics of Silicon Fin-Type Quantum Dots

○Yusuke Chiashi¹, Kimihiko Kato¹, Yoshihisa Iba¹, Hiroshi Oka¹, Shota Iizuka¹, Hidehiro Asai¹, Minoru Ogura¹, Takumi Inaba¹, Takahiro Mori¹ (1.AIST)

[10a-N302-7]

Implementation of cryogenic switching circuits for rapid evaluation of silicon qubit devices

○Takeshi Fukuda¹, Tatsuya Matsuda¹, Ryutaro Matsuoka¹, Itaru Yanagi², Toshiyuki Mine², Ryuta Tsuchiya², Digh Hisamoto², Hiroyuki Mizuno², Raisei Mizokuchi¹, Jun Yoneda^{1,3}, Tetsuo Koder¹ (1.Science Tokyo, 2.R&D Group, Hitachi, Ltd., 3.UTokyo)

[10a-N302-8]

Direct observation of electron capture processes in amphoteric defect states achieved by charge pumping in individual defects at MOS interface (17) -Definition of single defect level-

○Toshiaki Tsuchiya¹, Masahiro Hori¹, Yukinori Ono¹ (1.Shizuoka Univ.)

[10a-N302-9]

Cryogenic conductance modeling of highly doped Si for advanced CMOS applications

○(D)Keito Yoshinaga¹, Ryo Toyoshima¹, Munehiro Tada², Ken Uchida¹ (1.Univ. Tokyo, 2.Keio Univ.)

[10a-N302-10]

Analysis of Subthreshold Current Variability in Bulk MOSFETs at Cryogenic Temperatures

○Tomoko Mizutani¹, Kiyoshi Takeuchi¹, Takuya Saraya¹, Hiroshi Oka², Takahiro Mori², Masaharu Kobayashi¹, Toshiro Hiramoto¹ (1.Univ. of Tokyo,, 2.AIST)

[10a-N302-11]

Statistical Distributions of Subthreshold Current Variability in Bulk MOSFETs at Cryogenic Temperatures

○Tomoko Mizutani¹, Kiyoshi Takeuchi¹, Takuya Saraya¹, Hiroshi Oka², Takahiro Mori², Masaharu Kobayashi¹, Toshiro Hiramoto¹ (1.Univ. of Tokyo,, 2.AIST)

ソース分割型シリコン並列単電子ポンプによるナノアンペア動作 Nanoampere Parallel Single-Electron Pumping in Silicon with Split-Source Control

NTT 物性基礎研 ○山端 元音、清水 貴勢、西口 克彦、藤原 聡

NTT Basic Research Labs.,

○Gento Yamahata, Takase Shimizu, Katsuhiko Nishiguchi, and Akira Fujiwara

E-mail: gento.yamahata@ntt.com

クロック制御により電子を一つずつ転送する単電子ポンプは、正確な電流生成が可能であることから、量子電流標準への応用が期待されている [1]。これまでに、ピコアンペア領域で ppm レベルの高精度な電流測定が報告されてきたが [2]、量子電気標準に必要とされるさらに高精度な領域に到達するためには、高精度測定系の改良が不可欠であり、それに付随してポンプ側でも電流をナノアンペア領域まで増大させる必要がある [3]。電流増大の一つの方法として素子の並列化が重要となるが、並列素子によるナノアンペア領域の電流生成は報告されていない [4, 5]。本研究では、ソース分割型の並列素子を提案し、ナノアンペア領域での電流生成を実証したので報告する [6]。

素子の電子顕微鏡写真を図 1(a) に示す。直径 10 nm オーダーのシリコン細線上に 2 つの微細ゲート電極を持つ単電子ポンプを 8 つ並列させた。入口ゲート (右) に周波数 f の高周波電圧、出口ゲート (左) に負の DC 電圧を印加すると、それぞれのポンプに量子ドットが形成し、単電子転送に起因する電流 nef が生成できる (n : 自然数、 e : 電気素量)。ゲート電極とドレイン (D) はすべてのポンプで共通である一方、ソース (S1, ..., S8) はそれぞれのポンプに独立に接続している。素子のポテンシャル揺らぎの影響などにより最適電圧条件がそれぞれのポンプで異なるが、それぞれのソースに印加する DC 電圧で条件最適化が可能である。図 1(b) に S3、S7、S8 のポンプに関する並列動作特性を示す。他のポンプはそれぞれのソースへの 0.3V の電圧印加で OFF 状態としている。S7 および S8 に接続した二つのポンプからの $3ef$ 分の寄与の上に、S3 に印加するソース電圧を変化させることで、S3 に接続したポンプ電流を増大させている。この動作により、並列ポンプで 1 ~ 2 nA のナノアンペア動作を実証した。本手法では、並べたすべてのポンプの動作条件を個別に最適化できるため、さらなる電流増大も期待でき、ナノアンペア領域での高精度動作実証へと繋がる重要な手法である。参考文献: [1] J. P. Pekola *et al.*, *Rev. Mod. Phys.* **85**, 1421 (2013). [2] S. P. Giblin, *et al.*, *Metrologia* **56**, 044004 (2019). [3] S. P. Giblin, *et al.*, *Metrologia* **60**, 055001 (2023). [4] P. Mirovsky *et al.*, *Appl. Phys. Lett.* **97**, 252104 (2010). [5] S. Nakamura, *et al.*, *Nano Lett.* **24**(1), 9-15 (2024). [6] G. Yamahata *et al.*, *Nano Lett.* (in press, 2025); arXiv:2504.17273.

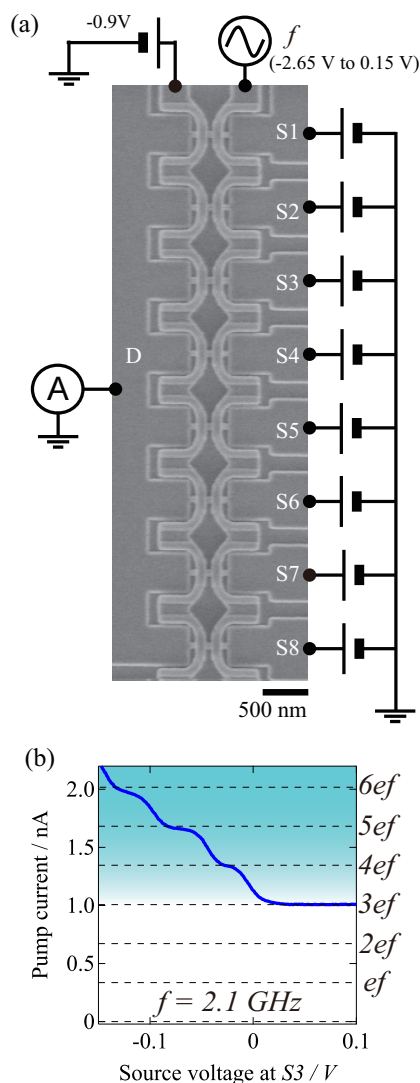


Fig. 1: (a) SEM image of the device and measurement setup. (b) Nanoampere operation of three parallel pumps.

スピン量子ビットの共鳴トンネル読み出しにおける谷分裂の影響

Effects of valley splitting on resonant-tunneling readout of spin qubits

帝京大理工¹, 理研² ○棚本 哲史¹, 大野 圭司²

Teikyo Univ.¹, Riken², °Tetsufumi Tanamoto¹, Keiji Ono²

E-mail: tanamoto@ics.teikyo.ac.jp

シリコンの伝導帯は 6 重縮退した谷状態を持つ。縮退した谷状態は、シリコン量子ビットにおいて、上位 4 つの状態と下位 2 つの状態に分割される。上位 4 つの状態は鋭い界面によって分離することができるが、下位 2 つのエネルギー状態は、スピン量子ビット操作の過程で考慮する必要がある。特に、縮退に近い谷状態は、量子ビット操作に悪影響を及ぼすことが指摘されている[1]。多くの研究者が、谷状態のこれらの追加の自由度を、スピン状態を制御するための新しい量子ビット状態として利用してきたが、集積量子ビットシステムの観点からは、谷自由度を適切に考慮してこなかった。

我々は 3 量子ドット (QD) システム (図 1) において、谷分裂が量子ビット状態の読み出しに及ぼす影響を理論的に考察した結果を報告する[2]。3QD システムの 1 ユニットは、量子ビット QD と、従来のトランジスタに接続されたチャネル QD で構成される。共鳴トンネル効果による非線形ソース-ドレイン電流特性を用いれば、異なる量子ビット状態を区別することができる。非平衡グリーン関数を用いて、各 QD が 2 つの谷エネルギー準位を持つ場合の 3QD システムの電流式を導出した。各 QD の 2 つの谷状態は、製造プロセスのばらつきの影響も受けると考えられる。谷分裂がゼーマン分裂より小さい場合、谷エネルギー準位の不均一性が小さければ、電流非線形性によって読み出しを改善できることがわかった。逆に、谷分裂がゼーマン分裂より大きい場合、不均一性によって読み出しが劣化する。どちらのケースでも、測定時間 t_{meas} がデコヒーレンス時間 t_{dec} よりもはるかに短く、 $t_{\text{dec}}/t_{\text{meas}} > 100$ となる領域があることがわかった。これは 1% 未満の測定誤差が期待できることを示唆しており、谷分裂が存在する場合でも表面コードを実装できる可能性が開かる。

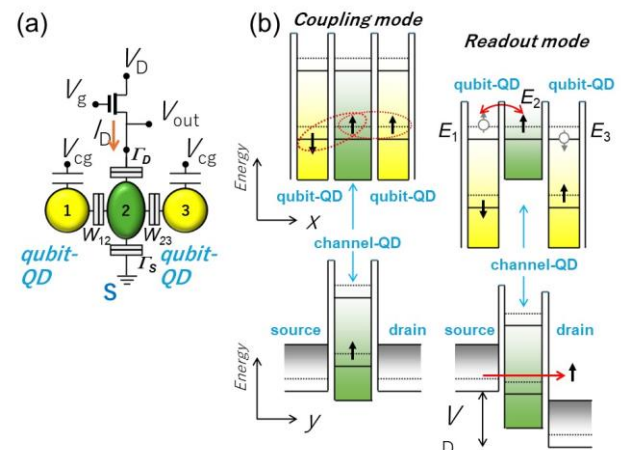


図 1 ; 共鳴トンネルを利用した量子ビット系。(a)単一ユニット(b)操作モードによるトンネリングメカニズム

[1]M. P. Losert, M. A. Eriksson, R. Joynt, R. Rahman, G. Scappucci, S. N. Coppersmith, and M. Friesen, Phys. Rev. B 108, 125405 (2023).

[2]T. Tanamoto and K. Ono, J. Appl. Phys. 137, 164403 (2025), J. Appl. Phys. 134, 214402 (2023).

トンネルダイオード発振器を用いた半導体量子ドットの RF 反射測定

RF Reflectometry of Semiconductor Quantum Dots with Tunnel Diode Oscillator

Science Tokyo¹, 理化学研究所², ハルキウ低温研究所³ ○荒川 雄登¹,
 グリットセコ アイヴァン², Oleksiy Rybalko^{2,3}, 溝口 来成¹, 川上 恵里加², 小寺 哲夫¹
 Science Tokyo¹, RIKEN², B. Verkin Institute, NASU³ ○Yuto Arakawa¹, Ivan Grytsenko²,
 Oleksiy Rybalko^{2,3}, Raisei Mizokuchi¹, Erika Kawakami², Tetsuo Kodera¹
 E-mail: arakawa.y.5f3b@m.isct.ac.jp

大規模量子コンピュータの実現に向け、半導体量子ドット中の電荷スピンを用いたスピン量子ビットは、既存の半導体集積技術との高い親和性から有望視されている。この系では、量子ビットの状態の変化を、印加した RF 波の反射率の変化として読み出す RF 反射測定が広く用いられている。従来、室温の装置で発生させた RF 波を極低温部の量子ドットに印加し、室温で反射波を解析する手法が取られてきた。しかし、この手法には冷凍機中の限られたスペースにおいて、各読み出しラインに同軸線や減衰機、増幅器など体積や発熱の問題のある素子が多く必要となり、大規模化への障害となっていた。

そこで、本研究では極低温にて低消費電力で RF 波を発生可能なトンネルダイオード発振器[1]を用い、半導体量子ドットの RF 反射測定を行った。測定では、トンネルダイオード発振器を量子ドットデバイスと同一のプリント基板上に設置(Fig. 1)し、極低温下で発生させた RF 波を量子ドットに印加する。これにより、量子ドットの状態による反射率の変化を計測することが可能になる(Fig. 2)。この手法により配線数や素子数の削減が可能であり、将来的なシステムの大規模化に貢献する。

本研究は JST Moonshot R&D Grant Number JPMJMS2065, MEXT Quantum Leap Flagship Program (MEXT QLEAP) Grant No. JPMXS0118069228, JST CREST grant no. JPMJCR24A1, 科研費 (JP23H05455, JP23K17327), 創発的研究支援事業 JPMJFR2039, 矢崎財団, 理研白眉制度, 理研 RQC の支援を受けて遂行された。

[1] I. Grytsenko, et al., *J. Low Temp. Phys.* 219, 282 (2025).

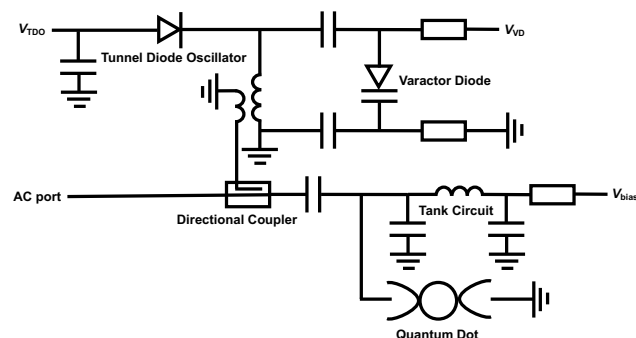


Fig. 1 Circuit diagram on the printed circuit board.

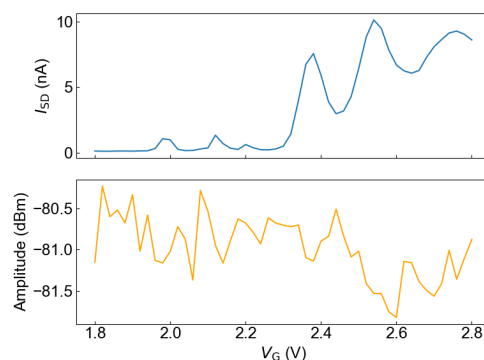


Fig. 2 Gate voltage dependence of the quantum dot transport current and the amplitude of the reflected signal.

バリアゲートによるポテンシャル障壁の形成を利用した 3次元積層型シリコン量子ドット

3D Stacked Silicon Quantum Dots Utilizing Potential Barriers Formed by Barrier Gates

東大生研¹, 産総研², 東大 d.lab³ ○(D)金 駿午¹, 二木 大輝¹, 水谷 朋子¹,
更屋 拓哉¹, 岡 博史², 森 貴洋², 小林 正治^{1,3}, 平本 俊郎¹

¹IIS, Univ. of Tokyo, ²AIST, ³d.lab, Univ. of Tokyo ○Jun-Oh Kim¹, Daiki Futagi¹, Tomoko

Mizutani¹, Takuya Saraya¹, Hiroshi Oka², Takahiro Mori², Masaharu Kobayashi^{1,3}

and Toshiro Hiramoto¹

E-mail: jn-kim@nano.iis.u-tokyo.ac.jp

【序】シリコン (Si) 量子ドット (QD) は、その小さい物理的サイズと CMOS 技術との優れた互換性により、大規模なスピンベース Si 量子ビットプロセッサへの応用が期待されている。我々はこれまでに、QD を垂直方向に積層した 3 次元積層型 Si QD 構造を提案し[1], その基本特性を評価してきた [2]. 本研究では、下層チャネルでも従来より安定したポテンシャル障壁を形成できる新たな 3 次元積層型 Si QD アーキテクチャを示す[3]. 【手法】提案するデバイス (図 1) は、上下チャネルを共有するバリアゲート (BG) により各層にトンネルバリアを形成し、デバイス全体を覆うグローバルなトップゲート (TG) から反転キャリアを供給する。この構成により上下層とも均一なキャリア分布が得られ、特に下層チャネルにおけるポテンシャル障壁の再現性と制御性が向上する。【シミュレーション】 $T=90\text{ K}$ で量子効果を考慮した 3D TCAD シミュレーションを実施した (図 2). その結果、BG 電圧 V_{BG} を印加すると上下 Si チャネルにトンネルバリアが生じ、TG 電圧 V_{TG} の増加に伴い両チャネル中央にポテンシャル井戸が形成されることを確認した (図 3). また V_{TG} に対する感度の違いから、上下層 QD がそれぞれ独立に制御可能な動作領域も確認した[4]. 【結論】本研究では、BG によって上下層それぞれにポテンシャル障壁を形成し、TG から反転キャリアを供給することで、積層型 Si QD 構造において各量子ドットのポテンシャルを安定に制御可能で、TG を用いて独立に制御可能であることを TCAD シミュレーションにより示した。【謝辞】本研究は JST SPRING, Grant Number, JPMJSP2108 (SPRING GX), JSPS KAKENHI (19H00754) の補助を受けた。【文献】[1] Y. Itoh *et al.*, SiQEW. (2018). [2] D.Futagi *et al.*, SNW (2025). [3] J. Kim *et al.*, SNW (2025). [4] J. Kim *et al.*, SNW (2023).

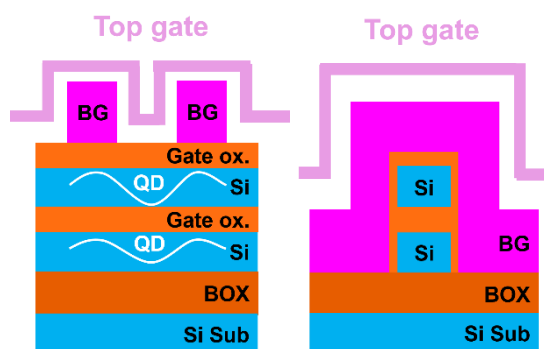


図 1. 提案する 3 次元積層型 Si 量子ドットデバイスの模式図. BG により各 Si 層のポテンシャルバリアを制御し、デバイス全体を覆う TG が多層 QD 動作に必要な反転層を形成する。

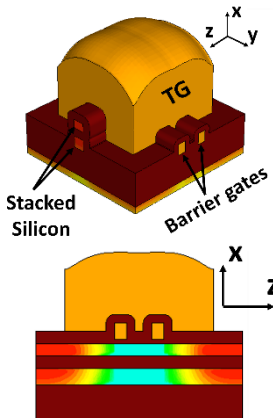


図 2. 3D TCAD シミュレーションによる 3 次元積層 Si 量子ドットデバイス: 3D view および x-z 断面図。

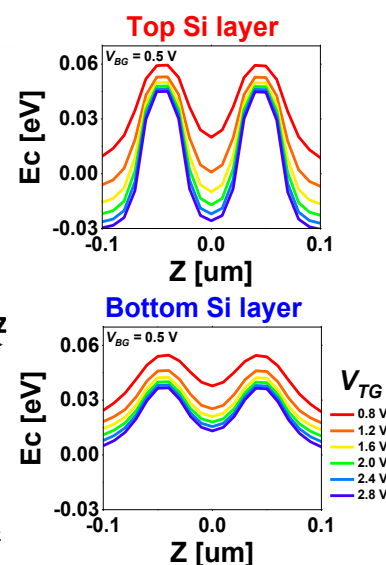


図 3. 各 Si チャネル界面における Ec 分布の V_{TG} 依存性。

垂直積層 2 層シリコン量子ドットの実証

Experimental demonstration of Vertically Stacked Two-Layer Silicon Quantum Dots



東大生研¹, 産総研², 東大 d. lab³ ^{○(DC)} 二木 大輝¹, 金 駿午¹, 水谷 朋子¹,

更屋 拓哉¹, 岡 博史², 森 貴洋², 小林 正治^{1,3}, 平本 俊郎¹

IIS. UTokyo.¹, AIST, Japan.², d.lab, UTokyo.³, [○]Daiki Futagi¹, Jun-Oh Kim¹, Tomoko Mizutani¹,

Takuya Saraya¹, Hiroshi Oka², Takahiro Mori², Masaharu Kobayashi^{1,3}, and Toshiro Hiramoto¹

E-mail: futagi@nano.iis.u-tokyo.ac.jp

【序】シリコン量子ドット(Si QD)は CMOS 技術との互換性と拡張性から量子コンピューティングの有力な候補である。しかし、横方向 QD アレイ[1]は集積密度に限界がある。そこで、我々はこれまで QD を垂直方向に積層した 3 次元積層型量子ビット構造を提案してきた[2]。しかし、これまで提案・シミュレーションに留まり[3,4]、実デバイスでの実証は未達成であった。本研究では、2 層に積層した垂直積層 Si QD デバイスを作製し初の実証を行った[5]。【構造】本デバイスは SOI 上に Si/SiGe を成長させた基板を用いて作製された。試作構造は、2 層 Si チャネルを垂直配置し、共通したプランジャゲート (PG) で QD を形成、トップゲート (TG) でポテンシャルバリアを形成、制御する構造である (図 1)。また、本デバイスはバックゲート構造を持ち裏面からの電圧印加が可能である。【実験】 $T=4K$ での低温において、TG 電圧 V_{TG} を固定し、PG・バックゲート電圧 (V_{PG} , V_B) を掃引し電流特性を測定した。電流特性よりクーロンブロッケードを観測し各チャネル層での単一正孔輸送を確認した (図 2)。図 3 はクーロンピークの抽出結果である。図 3 より下層 QD は強い V_B 感度、上層は下層の約 4 分の 1 と弱い感度を示し、基板からの距離の違いによる結合容量差で、層の識別が可能であることを実証した。また、この特性は室温測定、TCAD シミュレーションの結果と一致する。【結論】本研究では、2 層に垂直積層した Si QD デバイスを作製し、 $T=4K$ でのクーロンブロッケード特性と層選択動作を実証した。これにより提案構造の実験的検証に成功し、CMOS 互換プロセスによる 3 次元積層型量子ビットデバイスの可能性を示した。【謝辞】本研究の一部は科研費 No. 19H00754, JST SPRING No. JPMJSP2108 の助成を受けて行われた。【文献】[1] S. Neyens *et al.*, Nature, (2024). [2] Y. Itoh *et al.*, SiQEW, (2018). [3] J. Kim *et al.*, SNW, (2023). [4] D. Futagi *et al.*, SiQEW, (2023). [5] D. Futagi *et al.*, SNW, (2025).

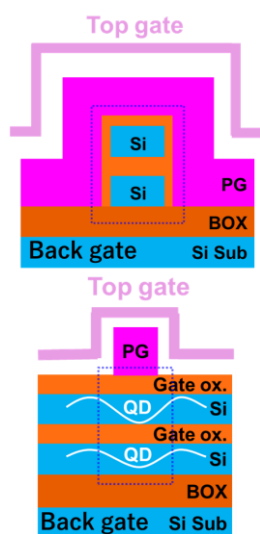


図 1. 提案構造の断面図。
TG によりポテンシャルバリア、
PG によりドットが形成。

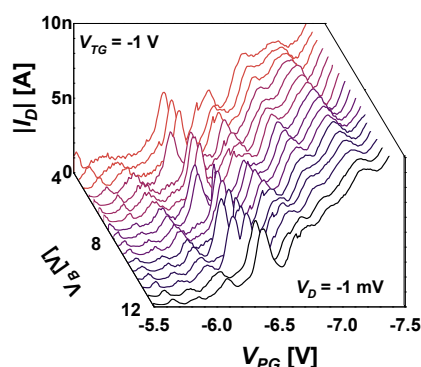


図 2. 作製デバイスの 4K における I_D - V_{PG} 特性。 V_B を 12 V (下側/紫線) ~4V (上側/赤線) まで変化。

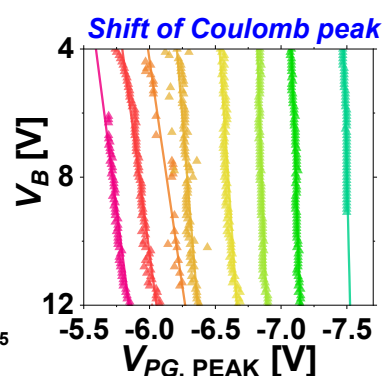


図 3. V_B 変化に伴うクーロンピークシフト。低 V_{PG} 領域で高い V_B 依存性を示す (下層チャネル)。高 V_{PG} 領域では上層チャネルが支配的となり依存性が小さい。

Fin 型シリコン量子ドット素子の特性解析における V_{PG} - V_{BG} マップの活用Application of V_{PG} - V_{BG} Mapping to Analyze Device Characteristics of Silicon Fin-Type Quantum Dots産総研 ^{○(P)} 千足 勇介, 加藤 公彦, 射場 義久, 岡 博史,
飯塚 将太, 浅井 栄大, 小倉 実, 稲葉 工, 森 貴洋

National Institute of Advanced Industrial Science and Technology (AIST)

^{○(P)} Yusuke Chiashi, Kimihiko Kato, Yoshihisa Iba, Hiroshi Oka,
Shota Iizuka, Hidehiro Asai, Minoru Ogura, Takumi Inaba, Takahiro Mori

E-mail: yusuke.chiashi@aist.go.jp

シリコンスピン量子ビット素子は VLSI 技術を活用しての大規模集積化が期待されている。しかしながら、集積化視点での研究開発は端緒についたばかりであり、特に非理想的な動作に対する、所謂故障解析に分類されるような評価手法が存在しない。我々は、これを開発する第一歩として、基本となる量子ドット素子の電気特性に非理想性が現れた場合、その原因を探索できるような手法を検討している。近年、ファブで製造された集積シリコン量子ドット素子において、量子ドットが直下に形成されるプランジャゲートの電圧(V_{PG})と、電荷を閉じ込めるためのバリアゲートの電圧(V_{BG})とを縦横軸として電流特性をマッピングし、設定電圧の決定に活用する事例が報告された[1]。我々は、この V_{PG} - V_{BG} マッピングは非理想性の原因探索にも活用できる可能性があると考えている。今回、Fin 型シリコン量子ドット素子において、 V_{PG} - V_{BG} マッピングが、測定下にある量子ドットの正当性を判別するために活用できることを見いだしたので、これを報告する。

本研究では、SOI ウェハに作成された Fin 型シリコン量子ドット素子を実験に用いた。図 1 はデバイスの概略図であり、キャリアを PG と BG とで形成される量子ドット近傍まで輸送するゲート(AG)を含めて、5 本のゲートを持つ。PG 直下での量子ドット形成が理想的である。ここで、2 本の BG には同じ電圧 V_{BG} が印加される。

図 2(a)は、測定された V_{PG} - V_{BG} マッピングである。マッピング上の周期的な特徴線はクーロン振動に由来するものである。傾きの異なる複数のクーロン振動が見られており、このマッピングでは 4 種類確認できる。また、すべての特徴線は傾きを持つことから、 V_{PG} のみならず V_{BG} からポテンシャル変調を受けており、クーロン振動を引き起こしている量子ドットが PG と BG 双方に容量的に結合していることがわかる。等価回路モデル[2]を用いると、図 2(b)のようにクーロン振動の傾きは PG と BG に対しての容量結合の比率で説明できる。ゲートとドット間の容量はドットの形成位置の影響を強く受けるため、クーロン振動の傾きから量子ドットの存在位置を推定できる。例えば、PG と BG との中央に非理想的にドットが存在することを考えると、容量は対称となり傾きの絶対値が 1 となる。即ち、傾きの絶対値が 1 以下であった場合、その振動を引き起こすドットは BG により近い位置に存在することになり、設計とは異なる非理想的なドットに由来するものであるとわかる。このように、 V_{PG} - V_{BG} マッピングから、非理想的なドットの存在とその位置推定が可能となる。この情報は製造プロセスや素子設計の改善に繋がるものと期待される。

【謝辞】本研究におけるデバイス試作は、産業技術総合研究所・未踏デバイス試作共用ライン (COLOMODE) にて実施された。本研究は文部科学省光・量子飛躍フラッグシッププログラム(Q-LEAP)JPMXS0118069228の一環として実施された。【参考文献】[1]A. M. J. Zwerver et al., *Nat Electron* **5**, 184 (2022). [2] W. G. Van Der Wiel, et al., *Rev. Mod. Phys.* **75**, 1 (2002).

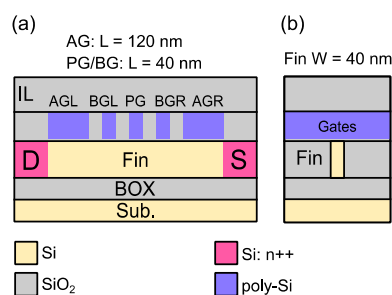
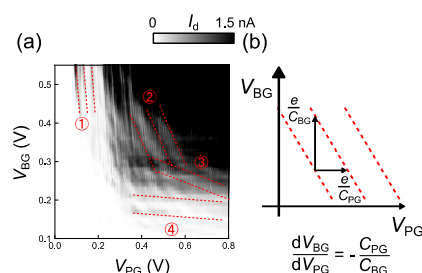


Figure 1: The schematic of the device structures.

Figure 2: V_{PG} - V_{BG} Mapping with different slopes. (a) V_{PG} - V_{BG} Mapping. (b) the relation between the slope and the capacitances.

シリコン量子ビットデバイスの迅速評価に向けた極低温スイッチング回路の導入

Implementation of cryogenic switching circuits for rapid evaluation of silicon qubit devices

東京科学大¹, 日立研開², 東大³ ○福田 毅¹, 松田 達也¹, 松岡 竜太郎¹, 柳 至²,
峰 利之², 土屋 龍太², 久本 大², 水野 弘之², 溝口 来成¹, 米田 淳^{1,3}, 小寺 哲夫¹
Science Tokyo¹, R&D Group, Hitachi, Ltd.², UTokyo³, ○Takeshi Fukuda¹, Tatsuya Matsuda¹,
Ryutaro Matsuoka¹, Itaru Yanagi², Toshiyuki Mine², Ryuta Tsuchiya², Digh Hisamoto²,
Hiroyuki Mizuno², Raisei Mizokuchi¹, Jun Yoneda^{1,3}, Tetsuo Kodera¹

E-mail: fukuda.t.0d39@m.isct.ac.jp

誤り耐性型汎用量子コンピュータの実現には、量子ビットの高忠実度化や量子誤り訂正符号の実装のための大規模集積化が必要とされる。高忠実度の量子ビット実現に関する原理実証が急速な進展をみせる一方で、大規模集積の実現には課題も多く、その解決に向けて大規模評価系が必要と考えられる。

本研究では、極低温下で配線の切り替えが可能なプリント基板 (MUX-PCB) を作製し[1]、一度の冷却で複数のシリコン量子ビットデバイスを測定できる迅速評価系の構築を試みた。本評価系では室温部から低温部への配線数を大幅に増やすことなく、同一の冷却サイクルで同時評価できるデバイス数を増やすことが可能となる。まず、MUX-PCB の動作確認を行い、MUX-PCB による発熱量が冷凍機の冷却能力よりも小さいこと、MUX-PCB が測定系のノイズに与える影響が十分に小さいことなどを確認した。MUX-PCB を用いた迅速評価系に 2 つのシリコン量子ビットデバイスを配線し、室温から 2.5 K の低温までデバイスを切り替えながら測定を行うことで、1 度の冷却で 2 つのデバイスの温度依存性を確認できた。さらに 2.5 K の極低温下におけるそれぞれのデバイスの電荷輸送特性を評価し、そのノイズ測定を実現した (Fig.1)。

本研究におけるシリコン量子ビットデバイスへの迅速評価系の適用は、シリコン量子コンピュータの大規模化に向けた大規模評価の効率化に寄与すると期待される。

本研究は、JST Moonshot R&D Grant Number JPMJMS2065, MEXT Quantum Leap Flagship Program (MEXT QLEAP) Grant No. JPMXS0118069228, JST CREST grant no. JPMJCR24A1, 科研費(JP23H05455, JP23K26483, JP23K17327)の支援を受けて遂行された。

[1] B. Paquelet Wuetz *et al.*, *npj Quantum Information* **6**, 43 (2020).

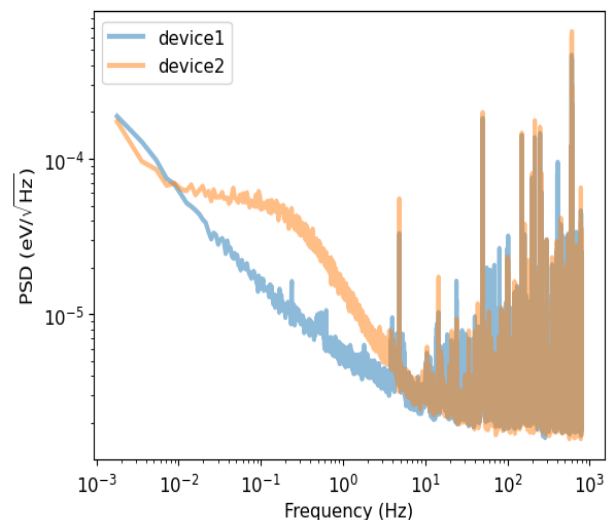


Fig.1. Results of the power spectral density (PSD) of the potential for each silicon qubit device.

MOS 界面の単一欠陥チャージポンピングによって可能となった 両性準位における電子捕獲素過程の直接観測 (17) -単一欠陥準位の定義-

Direct observation of electron capture processes in amphoteric defect states achieved by charge pumping in individual defects at MOS interface (17) -Definition of single defect level-

静岡大電研 ○土屋敏章, 堀 匡寛, 小野行徳

Shizuoka Univ., ○Toshiaki Tsuchiya, Masahiro Hori, Yukinori Ono

E-mail: tsuchiya.toshiaki@shizuoka.ac.jp

我々はチャージポンピング (CP) 法によって界面欠陥における電子の挙動を抽出し欠陥物理の進展を目指してきた。まず、ナノ MOSFET に存在する MOS 界面欠陥の単一性の判定法を確立し、単一欠陥からの CP 電流 I_{CPS} が $0 \sim 2fq$ (f : ゲートパルス周波数, q : 電気素量) の様々な値を示すことを発見した[1]。これにより単一欠陥が 2 電子準位を有していることを実証し、すべての I_{CPS} 値を説明できる単一欠陥の 10 種のタイプ分類を行った (図 1)。そして、 $I_{CPS}=fq$ 一定を大前提としている従来 CP 理論を本質的に改訂し[2]、単一界面欠陥の 2 電子準位の密度分布 (DOS) を導出して既報[3]の ESR による P_{b0} センターの DOS との一致性を示した。さらに、各準位における伝導帯電子の捕獲時定数の実測[4]、および、各準位に捕獲された電子の価電子帯ホールとの再結合時定数の実測に成功し[5]、これら 2 電子準位がドナー型 (D-like) とアクセプタ型 (A-like) の両性を有することを実証した。以上の結果から、界面欠陥が P_{b0} センターであることを単一欠陥単位 (原子スケール) ではじめて実証した。さらに、D-like 準位が電子捕獲した直後に欠陥構造緩和が起きていることの直接観測に成功し[6][7]、また、A-like 準位の捕獲電子が再結合した直後にも欠陥構造緩和が起きていることの直接観測に成功した[8]。これら捕獲過程における緩和時定数と、再結合過程における緩和時定数との間に強い正の相関関係があることを発見し、電子捕獲・再結合過程における可逆的な構造緩和過程の存在を発見した[9]。また、多数の界面欠陥を含む MOSFET の最大 CP 電流を I_{CPMAX} としたとき、これまでの常識に反して I_{CPMAX}/fq はバンドギャップ全領域内のトラップ総数を表していることを明らかにし、 P_b 全体の DOS に及ぼす P_{b1} の寄与は 0~数%程度以下であること、相関エネルギー U の値は 0.2~0.7 eV と広範であり、DOS のピーク間エネルギー差を U と定義している従来の考え方は根拠に欠けることを示した[10]。

本件ではバンドギャップ内で CP 法により検出可能なエネルギー範囲 ΔE の上端 $E_{em,e}$ および下端 $E_{em,h}$ 付近に存在する単一欠陥 (トラップ) の A-like および D-like 準位位置を確定するための検討を行った。

$E_{em,e}$ はゲートパルス立下がり時間 t_f の関数であり、 $E_{em,h}$ は立上り時間 t_r の関数である[11]。単一トラップの D-like 準位については CP 電流の t_r 依存性からその $E_{em,h}$ 依存性を取得し、A-like 準位については t_f 依存性から $E_{em,e}$ 依存性を取得した。これらの依存性は測定した 12 個のトラップすべてにおいて $E_{em,h}$ 軸あるいは $E_{em,e}$ 軸上の平行シフトで同一依存性に重なることがわかった。そこで、このユニバーサル依存性を用いて、DOS の導出の際に用いた単一トラップの 9 個の D-like および 13 個の A-like 準位について CP 電流の $E_{em,h}$ または $E_{em,e}$ 依存性を作成した。図 2 に $E_{em,h}$ 依存性を示す。ここで、電子占有確率が 0.5 (CP 電流 $fq/2=16$ fA) となるエネルギー位置をそれぞれのトラップの準位位置と定義した。その結果、D-like および A-like のすべての準位位置を確定させることが可能となり、9 個の D-like 準位は $E_{em,h}-E_i=-0.20 \sim -0.30$ eV の範囲内に、13 個の A-like 準位は $E_{em,e}-E_i=0.21 \sim 0.32$ eV の範囲内に存在することが確定した。これらの結果を DOS の算出に反映させることによって DOS のピーク位置とピーク高さが改善された。

なお、上記の D-like および A-like 準位におけるユニバーサルな $E_{em,h}$ (または $E_{em,e}$) 依存性は 160 meV (約 6kT) のエネルギー幅を有しており妥当な値といえる。

また、例えば ESR によって精確な DOS が得られた場合、上記 DOS の 2 つのピーク位置をフィッティングさせることによって電子およびホールに対する捕獲断面積を求めることが可能であり、捕獲断面積の新たな測定手法になり得ると考えられる。

本研究の一部は科研費 No. 24K00942 の助成を受けて行われた。
参考文献

[1] T. Tsuchiya and Y. Ono, JJAP 54, 04DC01, 2015.

[3] P. M. Lenahan et al., IEEE T-NS 48(6), p. 2131, Dec. 2001.

[5] 土屋 他, 第 84 回秋応物 21a-A304-10~11, 2023.

[7] 土屋 他, 第 70 回春応物 16a-A403-9~10, 2023.

[9] 土屋 他, 第 85 回秋応物 18a-A23-9, 2024.

[11] G. V. Groeseneken et al., IEEE T-ED 31, p. 42, 1984.

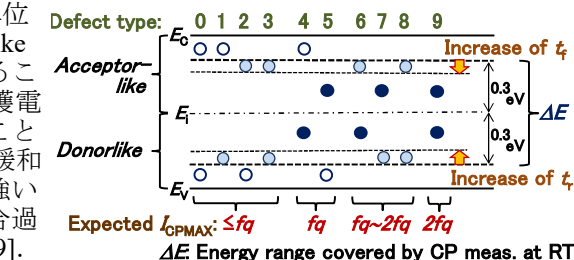


Fig. 1 Classification of single amphoteric Si/SiO₂ interface-defects [1, 2].

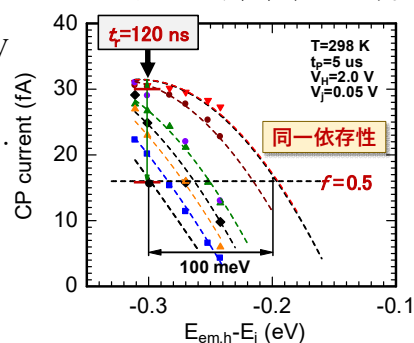


Fig. 2 CP current of single D-like levels dependences upon $E_{em,h}-E_i$.

[2] T. Tsuchiya and P. M. Lenahan, JJAP 56, 031301, 2017.

[4] 土屋 他, 第 69 回春応物 23p-E307-18~20, 2022.

[6] 土屋 他, 第 83 回秋応物 22a-A102-1~2, 2022.

[8] 土屋 他, 第 71 回春応物 23a-12J-5~6, 2024.

[10] 土屋 他, 第 72 回春応物 15a-K101-8~10, 2025.

CMOS 応用に向けた高不純物濃度 Si の極低温伝導度モデリング Cryogenic conductance modeling of highly doped Si for advanced CMOS applications

東大工¹, 慶大理工² ○(D)吉永 啓人¹, 豊島 遼¹, 多田 宗弘², 内田 建¹

Dept. of Materials Engineering, Univ. Tokyo¹, Sch. of Integrated Design Engineering, Keio Univ.²

○(D) Keito Yoshinaga¹, Ryo Toyoshima¹, Munehiro Tada², Ken Uchida¹

E-mail : yoshinaga@ssn.t.u-tokyo.ac.jp

極低温で動作する CMOS は、量子コンピュータ実現に不可欠であり、近年では MOS トランジスタの極低温特性の評価やモデル化が進められている。極低温に特有の伝導現象であるホッピング伝導がデバイス特性へ重大な影響を与えることが報告されている[1][2]が、LSI 内部の構造・不純物濃度条件を反映した、例えばウェル抵抗におけるホッピング伝導の理解は依然として不十分である。従来、可変領域ホッピング (Variable Range Hopping; VRH) 伝導の解析には、フェルミ準位 (E_F) とその近傍の状態密度 (Density of States; DOS) の温度変化を考慮しない理論式が用いられてきた。しかし、実際には温度とともに不純物のイオン化率が変化し、 E_F やバンド端の DOS にも影響を及ぼす。このような温度依存性を反映し、実験と整合する DOS を用いた VRH 伝導度の精密な計算は、これまで十分に行われていない。

本研究では、 n ウェル抵抗の電気伝導度を室温から 4.3 K まで測定し、VRH に支配される低温域の伝導度の実験データを高精度に再現することに成功したことを報告する。測定には、65nm 世代 CMOS 技術で作製された、不純物濃度 $1.0 \times 10^{18} \text{ cm}^{-3}$ の n ウェル抵抗評価用素子を用いた。 n ウェルは、 p 型基板上に作製された低補償 n 型半導体となっており、電子は補償により空いた E_F 近傍の局在準位間を VRH 伝導すると考えられる (Fig. 1)。VRH による伝導度を計算するには、 E_F とその近傍の DOS に関する情報が必要である。補償されていない不純物半導体に対しては、実験データと整合する不純物バンド DOS と伝導帯端 DOS をもとに、不純物のイオン化率と伝導帯端の形状を自己無撞着に解いて E_F を求める手法が提案されている[3]。本研究では、この手法を拡張し、低補償半導体における E_F やバンド端形状を求める方法を開発した。具体的には、1) 補償アクセプタによるドナーのイオン化を考慮し、2) VRH 伝導可能な電子が遮蔽に寄与するとして遮蔽長を計算する手法を開発した。その結果、1) により E_F は大きく低減し、2) によりイオン化した不純物による伝導帯端の Tailing States が減少した。Fig.2 に示すように、補償不純物濃度を $6.0 \times 10^{15} \text{ cm}^{-3}$ としたとき、伝導度の測定データを正確に再現することができた。また、 E_F 近傍の DOS のエネルギー依存性を考慮したことで、DOS が E_F 近傍で一定と仮定する解析モデルを用いるよりも、広い温度範囲での測定結果の再現に成功した。今後は、最近接ホッピング伝導が支配的な高温域や、電子間相互作用により DOS にギャップが生じる不純物濃度条件への計算の拡張を行う。

謝辞：本研究の一部は JST ムーンショット型研究開発事業 (JPMJMS2067)、科研費 (25H00731)、ASPIRE (JPMJAP2411) の支援を受けた。

[1] H. -C. Han *et al.*, *IEEE Electron Device Lett.*, **45**, 1, 92-95 (2024).

[2] Miyao *et al.* *Appl. Phys. Express* **17**, 051001 (2024).

[3] P. P. Altermatt *et al.*, *J. Appl. Phys.* **100**, 113714 (2006).

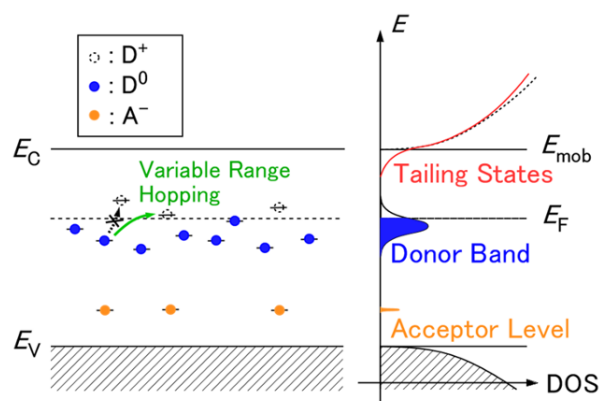


Fig.1 A schematic band diagram of a lightly compensated, highly doped n -type Si. Hopping conduction occurs via localized states near the Fermi level (E_F). D^+ , D^0 , and A^- denote ionized donors, neutral donors, and ionized acceptor ions, respectively.

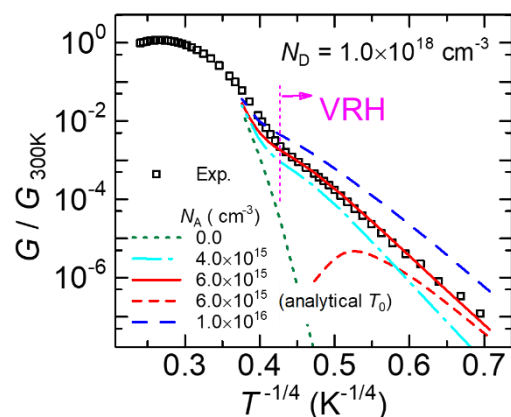


Fig.2 $T^{-1/4}$ dependence of the measured and calculated conductivity of an n -well with $N_D = 1.0 \times 10^{18} \text{ cm}^{-3}$. When $N_A = 6.0 \times 10^{15} \text{ cm}^{-3}$ was used in the calculation, the measured data were accurately reproduced.

極低温におけるバルク MOSFET のサブスレッシュヨルド電流ばらつきの解析

Analysis of Subthreshold Current Variability in Bulk MOSFETs at Cryogenic Temperatures

東大生研¹, 産総研², 東大 d.lab³ ○水谷 朋子¹, 竹内 潔¹, 更屋 拓哉¹, 岡 博史²,
森 貴洋², 小林 正治^{1,3}, 平本 俊郎¹

¹IIS, Univ. of Tokyo, ²AIST, ³d.lab, Univ. of Tokyo ○Tomoko Mizutani¹, Kiyoshi Takeuchi¹, Takuya Saraya¹, Hiroshi Oka², Takahiro Mori², Masaharu Kobayashi^{1,3}, and Toshiro Hiramoto¹

E-mail: mizutani@nano.iis.u-tokyo.ac.jp

【はじめに】Cryo-CMOS 回路は大規模量子コンピュータの実現に不可欠であり, 設計には Cryo-CMOS の特性ばらつきを理解する必要がある[1-9]. 室温でのサブスレッシュヨルド特性はサブスレッシュヨルド・スロープ (SS) で評価される. しかしながら, 極低温における短チャネル MOSFET の I_d - V_g 特性は, サブスレッシュヨルド領域でキंकやハンプなどが見られ, 微分で定義される SS でばらつきを評価することは困難である. 本研究では, SS に代わる 2 つの指標を定義し, バルク MOSFET のサブスレッシュヨルド電流ばらつきを評価したので報告する[9]. 【測定】65nm バルク技術で作製したトランジスタマトリクスアレイを用い, 8 種類の L/W の組み合わせについて, それぞれ 256 個の n -, p -MOSFET の $V_D=50$ mV, $T=300$ K, 1.5 K における I_d - V_g 特性を測定した.

【結果】図 1 に 3 つの電圧を定義する. V_{THEX} , V_{THC} はそれぞれ外挿法, 定電流法 ($I_{TH}=10^{-7} \times W/L$ A) によって抽出されたしきい値電圧 (V_{TH}) である. またサブスレッシュヨルドリーク特性を調べるため, $I_D=I_{OFF}(=10^{-9} \times W/L$ A) となるゲート電圧を V_{OFF} と定義した. 本研究では, 図 3 に示す V_{THEX} , V_{THC} , V_{OFF} の差に着目した. ΔV ($\equiv V_{THEX} - V_{OFF}$) はリーク電流を I_{OFF} まで減少させるために必要なゲート電圧範囲であり, 全温度で有用なカットオフ性能の指標として捉えることができる. さらに ΔV を電流立ち上がり電圧 COV ($\equiv V_{THEX} - V_{THC}$) とサブスレッシュヨルド電圧 V_{SS} ($\equiv V_{THC} - V_{OFF}$) に分け, サブスレッシュヨルド電流ばらつきを評価した. それぞれは弱反転領域とサブスレッシュヨルド領域でデバイスをオンさせるために必要な電圧範囲と考えることができる. 図 3

は $T=300$ K, 1.5 K における最小デバイス ($L/W=65\text{nm}/120\text{nm}$) n -MOSFET の I_d - V_g 特性の例である. ΔV が最大と最小のトランジスタについてプロットした. 300 K では I_{OFF} から I_{TH} までの I_d - V_g 特性 (すなわち SS) の傾きはほぼ一定であるが, 1.5 K では SS は I_{TH} と I_{OFF} の間で大きく変化する. 極低温では, あるバイアス点での SS が急峻であっても, サブスレッシュヨルド電流は必ずしも小さくない. 図 4 から COV ばらつき, V_{SS} ばらつきはともに 1.5 K で増加することがわかった. 一方, トランジスタサイズ依存性が異なることから, 1.5 K では両者のばらつき機構に違いがあると推測される. 【まとめ】65nm バルク MOSFET のサブスレッシュヨルド電流ばらつきを 300 K と 1.5 K で評価した. 1.5 K では SS はよい指標ではなく, $\Delta V=COV+V_{SS}$ で評価したサブスレッシュヨルド電流ばらつきを評価した結果, 1.5 K で COV ばらつき, V_{SS} ばらつきはともに増加することが分かった. COV , V_{SS} のメカニズムに関する更なる研究が必要である. 【謝辞】本講演の成果は, 国立研究開発法人新エネルギー・産業技術総合開発機構 (NEDO) の委託業務 (JPNP16007) の結果得られたものです. 【文献】 [1] A. Appaswamy et al., IEEE ISDRS, 2009. [2] N. C. Dao et al., IEEE EDL, vol. 38, no. 7, pp. 847-850, 2017. [3] T. Mizutani et al., JJAP, 61, SC1006, 2022. [4] K. D., Torsten et al., Cryogenics, vol. 62, pp. 84-93, 2014. [5] B. C. Paz et al., IEEE ICMTS, 2020, 8.3. [6] A. Grill et al., IEEE IRPS, 2020. [7] P. A. T. Hart et al., IEEE J-EDS, Vol. 8, pp. 797-806, 2020. Cryogenics, vol. 62, pp. 84-93, 2014. [8] T. Mizutani et al., IEEE ICMTS, 2024, 3.1. [9] T. Mizutani et al., IEEE ICMTS, 2025, 6.2.

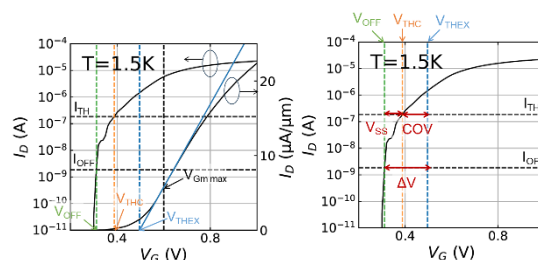


図1 V_{THEX} , V_{THC} , V_{OFF} の定義.

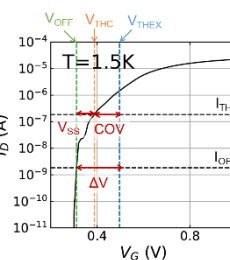


図2 COV , V_{SS} , ΔV の定義.

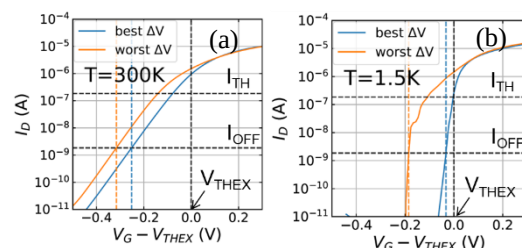


図3 (a)300 Kと (b)1.5 Kにおける最小デバイス ($L/W=65$ nm/120 nm) n -MOSFETの I_d - V_g 特性の例.

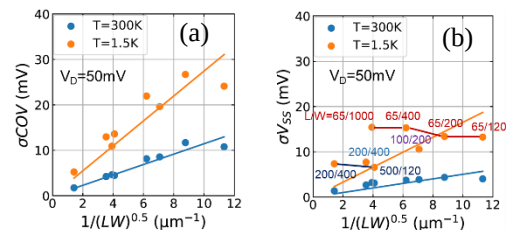


図4 300 Kと1.5 Kにおける n -MOSFETの(a) COV と (b) V_{SS} と $1/\sqrt{LW}$ vs. 標準偏差.

極低温におけるバルク MOSFET の サブスレッショルド電流ばらつきの統計分布

Statistical Distributions of Subthreshold Current Variability

in Bulk MOSFETs at Cryogenic Temperatures

東大生研¹, 産総研², 東大 d.lab³ ○水谷 朋子¹, 竹内 潔¹, 更屋 拓哉¹, 岡 博史²,
森 貴洋², 小林 正治^{1,3}, 平本 俊郎¹

¹IIS, Univ. of Tokyo, ²AIST, ³d.lab, Univ. of Tokyo ○Tomoko Mizutani¹, Kiyoshi Takeuchi¹, Takuya Saraya¹, Hiroshi Oka², Takahiro Mori², Masaharu Kobayashi^{1,3}, and Toshiro Hiramoto¹

E-mail: mizutani@ nano.iis.u-tokyo.ac.jp

【はじめに】前研究で我々は、サブスレッショルド性能を評価するために、電流立ち上がり電圧 (COV) とサブスレッショルド電圧 (V_{SS}) という2つの指標を提案し、室温と極低温におけるサブスレッショルド領域でのそれらのばらつきを解析した[1]。本研究では、さらに COV と V_{SS} の統計的分布を調べたので報告する[2]。【測定】65nm バルク技術で作製したトランジスタマトリクスアレイを用い、8種類の L/W の組み合わせについて、それぞれ 256 個の n-, p-MOSFET の $V_D=50$ mV, $T=300$ K, 1.5 K における I_d - V_g 特性を測定した。

【結果】前研究では、極低温におけるサブスレッショルド特性を評価するために、SS に代わる指標を定義した。 V_{THEX} , V_{THC} を外挿法、定電流法 ($I_{TH}=10^{-7} \times W/LA$) によって抽出されたしきい値電圧 (V_{TH}), V_{OFF} を $I_D=I_{OFF}$ ($=10^{-9} \times WL A$) となるゲート電圧と定義し、さらにリーク電流を I_{OFF} まで減らすのに必要なゲート電圧幅を ΔV ($\equiv V_{THEX}-V_{OFF}$) と定義した。 ΔV は電流立ち上がり電圧 COV ($\equiv V_{THEX}-V_{THC}$) と V_{SS} ($\equiv V_{THC}-V_{OFF}$) の2つの部分に分けられ、それぞれ弱反転領域とサブスレッショルド領域で必要な電圧範囲に対応する。図1に V_{THEX} , V_{THC} , V_{OFF} の正規確率プロットを示す。いずれも正規分布に従うことがわかる。しかしながら、図2に示すように COV, V_{SS} はいずれも正規分布に従わない[3]。以前我々は、室温におけるバルク MOSFET の COV 分布を調査し、極値分布の1つである Gumbel 分布に従うことを報告した[4]。図3に COV, V_{SS} の Gumbel プロットを示す。いずれのデータもほぼ直線上に分布しており、300 K における COV ばかりではなく、COV, V_{SS} はともに 300 K, 1.5 K においても Gumbel 分布に従うことがわかった。これらの結果は、COV は離散不純物揺らぎ (RDF) によってばらつくポテンシ

シャル障壁の最小値を反映するというモデル[5]を、室温の COV だけでなく極低温の COV, V_{SS} でも支持している。一方、1.5 K においては COV と V_{SS} のトランジスタサイズ依存性が異なる[2]。それらの起源を理解するためにはさらなる研究が必要である。【まとめ】65nm バルク MOSFET のサブスレッショルド電流ばらつきを 300K と 1.5K で測定し、COV と V_{SS} の統計分布を調査した結果、COV と V_{SS} は 300 K と 1.5 K とともに Gumbel 分布に従うことがわかった。【謝辞】本講演の成果は、国立研究開発法人新エネルギー・産業技術総合開発機構 (NEDO) の委託業務 (JPNP16007) の結果得られたものです。【文献】[1] T. Mizutani et al., IEEE ICMTS, 2025, 6.2. [2] T. Mizutani et al., SNW, 2025, 8-02. [3] T. Mizutani et al., IEEE ICMTS, 2024, 3.1. [4] T. Mizutani et al., IEICE Trans. on Electronics, Vol.E96-C, No.5, pp. 630-633, 2013. [5] A. Kumar et al., SNW, pp. 7-8, 2010.

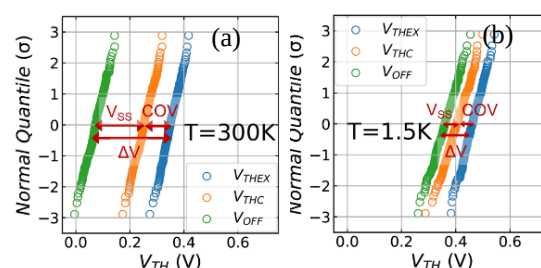


図1 (a)300 K と (b)1.5 K における最小デバイス (L/W=65 nm/120 nm) n-MOSFET の V_{THEX} , V_{THC} , V_{OFF} の正規確率プロット。

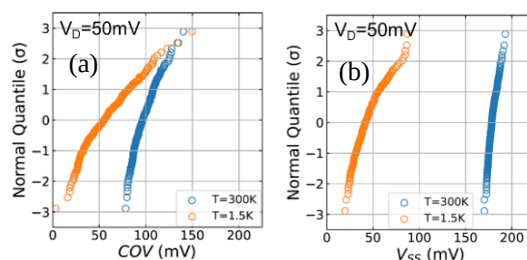


図2 300 K と 1.5 K における最小デバイス (L/W=65 nm/120 nm) の n-MOSFET の COV, V_{SS} の正規確率プロット。

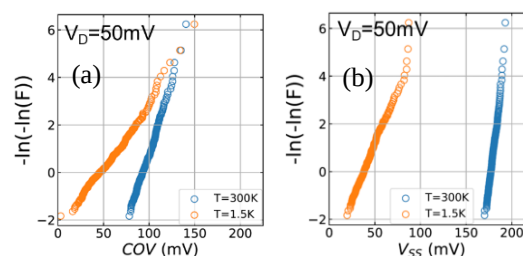


図3 300 K と 1.5 K における n-MOSFET の (a) COV と (b) V_{SS} と Gumbel プロット。

13 Semiconductors | Oral presentation : 13.5 Semiconductor devices/ Interconnect/ Integration technologies

[10p-N302-1~11] 13.5 Semiconductor devices/ Interconnect/ Integration technologies

[10p-N302-1]

Optimized design of embedded flash memory using standard logic transistors

○HIROSHIGE HIRANO¹, ATSUSHI NOMA¹, HIROAKI KURIYAMA¹ (1.Tower Partners Semiconductor)

[10p-N302-2]

Design of asymmetric SRAM cell for energy-minimum-point operation

○Ryo Fujishita¹, Yusaku Shiotsu¹, Satoshi Sugahara¹ (1.FIRST, Inst. of Sci. Tokyo)

[10p-N302-3]

A high-noise-immunity SRAM cell for energy-minimum-point-operation PIMs

Katsutoshi Ito¹, ○Takuma Fujiwara¹, Yusaku Shiotsu¹, Satoshi Sugahara¹ (1.FIRST, Inst. of Sci. Tokyo)

[10p-N302-4]

A parallel-processing-in-memory BNN accelerator macro using XNOR-SRAM

○Kein Kondo¹, Yusaku Shiotsu¹, Satoshi Sugahara¹ (1.FIRST, Inst. of Sci. Tokyo)

[10p-N302-5]

Design and performance of single-ended SRAM cells for near energy-minimum-point operation

○Tadakatsu Yaguchi¹, Yusaku Shiotsu¹, Satoshi Sugahara¹ (1.FIRST, Inst. of Sci. Tokyo)

[10p-N302-6]

Design methodology for a radiation-hardened SRAM cell

○Toshiki Nomiyama¹, Yusaku Shiotsu¹, Satoshi Sugahara¹ (1.FIRST, Inst. of Sci. Tokyo)

[10p-N302-7]

Evaluation of hard mask transfer etching of HP19 nm L/S patterns in nanoimprint lithography

○Kenta Suzuki¹, Tetsuya Ueda¹, Yuji Kasashima¹, Hamamoto Ryosuke¹, Masanaga Fukasawa¹, Wataru Mizubayashi¹, Yoshihiro Hayashi¹, Masaki Ishida², Tomomi Funayoshi², Hiromi Hiura², Masayuki Kagawa², Noriyasu Hasegawa², Kiyohito Yamamoto² (1.SFRC, AIST, 2.Canon)

[10p-N302-8]

Evaluation of dual damascene patterning by nanoimprint lithography

○Ryosuke Hamamoto¹, Kenta Suzuki¹, Tetsuya Ueda¹, Yoshihiro Hayashi¹, Wataru Mizubayashi¹, Masaki Ishida², Hiromi Hiura², Masayuki Kagawa², Atushi Kusaka², Makoto Ogusu², Kiyohito Yamamoto² (1.AIST SFRC, 2.Canon)

[10p-N302-9]

Atomistic Simulation of Increase in Resistance of Oxidized CuAl₂ Films

○Takahisa Tanaka¹ (1.Keio Univ.)

[10p-N302-10]

Fabrication of CoSn kagome metal thin films for interconnect applications

○Tomoya Nakatani¹, Nattamon Suwannaharn¹, Taisuke Sasaki¹ (1.NIMS)

[10p-N302-11]

Electromigration characteristics of NiAl

○Shuhei Yonehara¹, Junichi Koike¹ (1.Tohoku Univ.)

ロジックトランジスタを用いた混載フラッシュメモリの最適化設計

Optimized design of embedded flash memory using standard logic transistors

タワーパートナーズセミコンダクター ○平野 博茂, 野間 淳史, 栗山 寛明

Tower Partners Semiconductor Co., Ltd, °Hiroshige Hirano, Atsushi Noma, Hiroaki Kuriyama

E-mail: hirano.hiroshige@tpsemico.com

【概要】

各種半導体製品において、不揮発性メモリが要望される。特にプロセスコスト抑制できる専用デバイスを用いない不揮発性メモリの要望があり、通常のロジックトランジスタでフローティングゲートを構成したフラッシュメモリがある。これらの動作と特性を把握した上で最適化設計を行ったので報告する。

【メモリセル構成と動作】

メモリセルは Fig.1 に示した通常のロジック NMOS のみで構成した小面積のセルをベースに検討した。

初期のセル電流はフローティングゲート(FG)とのカップリング容量で決まり、Fig.2 のように複数のセル構成で確認した。また、Fig.3 のように、リテンション後のセル電流は、最終的には初期の電流に近づくことを評価にて確認した。

【最適化設計】

上記のメモリセル構成とセル動作の結果を踏まえ、センスアンプの判定電流は初期のセル電流値付近の設定が好ましく、また、セル電流は読出電圧に依存するため、電圧依存も考慮した設定が好ましく、最適なパラメータで設計を行った。

【結果とまとめ】

上記最適なパラメータで設計されたメモリ IP において Fig.5 のように低電圧から高電圧までのワイドレンジでのメモリ動作を確認でき、リテンション特性の不良率も ppb レベル以下を達成できた。

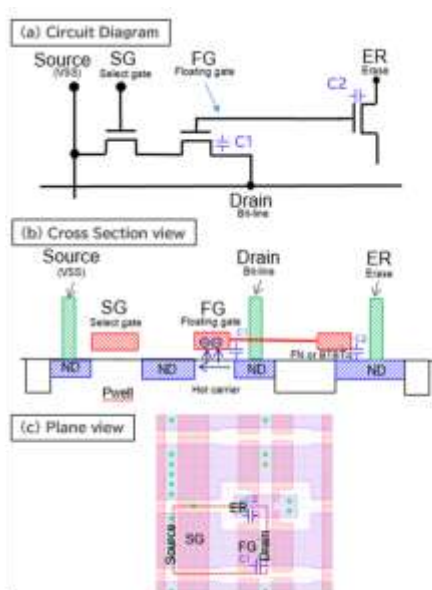


Fig. 1 Cell design:
(a) Circuit Diagram, (b) Cross Section view, (c) Plane view

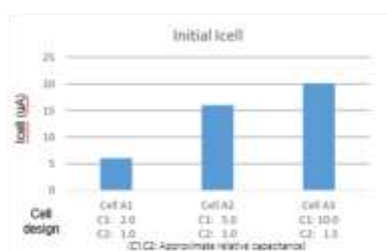


Fig. 2 Initial cell current for each cell designs

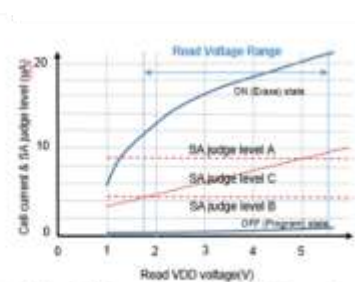


Fig. 4 Voltage dependence of cell current

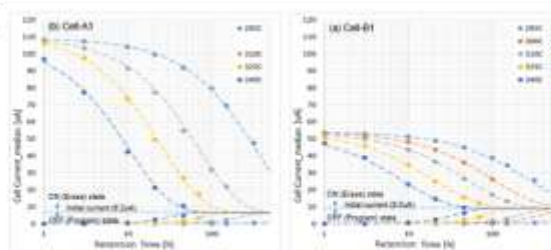


Fig. 3 Relationship between retention time and cell current:
(a) Cell-A1, (b) Cell-B1 at Read VDD Max

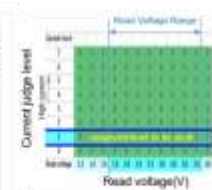


Fig. 5 Read voltage vs. judgment level

エネルギー最小点動作・非対称型SRAMセルの設計

Design of asymmetric SRAM cell for energy-minimum-point operation

東京科学大学・未来研 °藤下涼, 塩津勇作, 菅原聡

°R. Fujishita, Y. Shiotsu, and S. Sugahara, *FIRST, Inst. of Sci. Tokyo*

E-mail: fujishita.r.aa@m.titech.ac.jp

【はじめに】 AIアクセラレータの高性能化にはprocessing-in-memory (PIM)型ハードウェアを用いたエネルギー最小点(EMP)動作が有効である。EMP動作はエネルギー効率(TOPS/W)を最大化するだけでなく、積和(MAC)演算の十分な並列化によって演算能力(TOPS)を維持または向上しても低消費電力化を達成できる。EMPは一般にメモリ部単体で0.40 V, ロジック部で0.30 V程度以下に存在する。並列演算PIMではMAC演算数を増加させることでEMPが低下し、わずかなEMPの減少でもエネルギー効率を大きく向上できる[1]。ただし、このような低電圧となるEMPにおいては、一般にPIMに用いるメモリのノイズ耐性が確保できない。最近我々は新構成のシュミットトリガインバータ(ST_I)で双安定回路を構成したSRAM (10T₁^{EU})セルを提案している[2]。これまでに、0.35 Vまでノイズ耐性を確保できる10T₁^{EU}セルを開発しているが[1]、このセルでも0.30 Vを下回るようなさらに低いEMPへの対応は難しい。そこで、本発表では、ST_Iインバータと通常のCMOSインバータを用いて非対称型双安定回路を構成し、シングルエンド読み出しを行うセルの開発を行った。以下、本セルをas-8T₁^Eと呼ぶことにする。また、前述の10T₁^{EU}セルをEMPに特化して再設計した対称型セルをs-10T₁^Eセルと呼ぶことにする。

【回路構成】 図1(a), (b)にs-10T₁^E, as-8T₁^Eセルの回路構成を示す。s-10T₁^Eセルは相補信号読み出し・書き込みであるためワード線(WL)は2つのPSS1で共通となるが、as-8T₁^Eセルではシングルエンド読み出し・相補書き込みとするため2本のワード線(WWL, WL)をPSS1, PSS2にそれぞれ接続する。READ時はWLのみHレベルとすることで、CMOSインバータ側でシングルエンド読み出しを行う。この構成を用いることでST_Iの持つ強いフィードバック(FB)効果によりREAD時でもノイズ耐性を向上できる。WRITE時はWWL, WLともにHレベルとすることで、相補信号を用いて低電圧でも安定したWRITE動作を実現できる。

【解析結果】 セルの設計と解析はHSPICEを用いて行った。デバイスには65nm CMOSプロセスのLPモデルを用いた。READ時の擬スタティックノイズマージン(QSNM), WRITE時のワード線マージン(CWLM)を指標とした[2,3]。リファレンスとなるs-10T₁^Eセルには、デバイスのばらつきを考慮して、電源電圧 $V_{DD} = 0.35$ V, 温度25°C, 85°CにおけるQSNMとCWLMを十分に確保し(READ, WRITEともに6 σ 不良率を満たす), リーク電力が最小となる設計点を用いた(このリーク電力は前述のs-10T₁^{EU}セルと同等である)。as-8T₁^Eセルでは、s-10T₁^Eセルで最適化したST_Iインバータを用いて、リーク電力がs-10T₁^Eセルと同等以下でREAD時のQSNMが最大となるようにCMOSインバータとPSS2を設計した。このとき、CWLMを確保するためPSS1も再設計した。図2にas-8T₁^EセルのREAD時におけるQSNMの W_{DRV2} , W_{PSS2} 依存性を示す。この図では各プロセスコーナーのワースト値をプロットした。図中の赤枠はs-10T₁^Eセルのリーク電力を超えない領域、青枠と黄枠はそれぞれQSNM ≥ 130 mV, CWLM ≥ 90 mVとなる領域を示している。白点はこれらの領域内でQSNMが最大となる最適設計点を示している。図3にモンテカルロシミュレーションによって評価した最適設計as-8T₁^Eセルとs-10T₁^Eセルの0.25–0.35 VにおけるREAD時QSNMの累積分布を示す。温度は85°Cである。s-10T₁^Eセルでは0.35 Vまでしか6 σ 不良率を満たすことができないが、as-8T₁^Eセルでは0.275 Vであって6 σ 不良率を満足できる。以上から、as-8T₁^Eセルは0.30 V程度以下のEMP動作に対応できるSRAMセルであることを明らかにした。

【謝辞】 シミュレーションは東京大学d. lab-VDECを通し、日本シノプシス合同会社の協力で行われた。

【参考文献】 [1] Y. Shiotsu and S. Sugahara, *IEEE JXDC* **11**, 2025, p. 25. [2] H. Yoshida *et al.*, *IEEE OJCS* **2**, 2021, p. 520. [3] H. Makino *et al.*, *IEEE TCAS-II* **58**, 2011, p. 230.

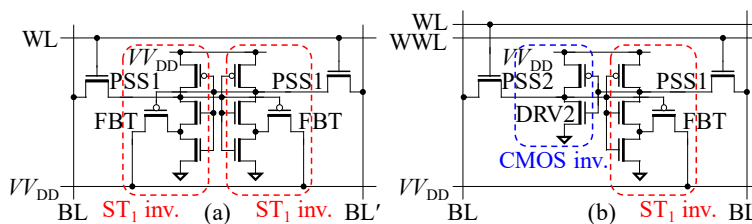


図1. (a) s-10T₁^Eセル, (b) as-8T₁^Eセルの回路構成。

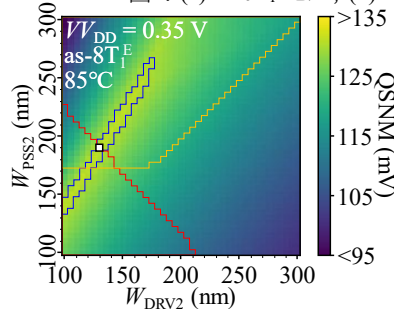


図2. QSNMの W_{DRV2} , W_{PSS2} 依存性。

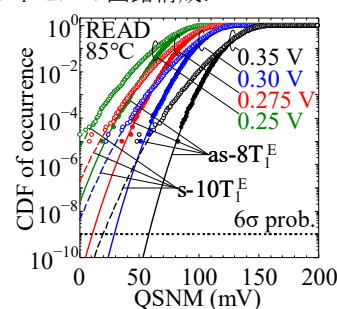


図3. QSNMの累積分布。

エネルギー最小点動作PIMに応用可能な高ノイズ耐性SRAMセル

A high-noise-immunity SRAM cell for energy-minimum-point-operation PIMs

東京科学大学・未来研 伊藤克俊, 藤原拓真, 塩津勇作, 菅原聡

K. Ito, T. Fujiwara, Y. Shiotsu, and S. Sugahara, *FIRST, Inst. of Sci. Tokyo*

E-mail: fujiwara.t.dela@m.isct.ac.jp

【はじめに】 CMOSロジックシステムのエネルギー最小点(EMP)動作はエネルギー効率(TOPS/W)を最大化することで消費電力を大幅に削減できる[1]. これは近年注目を集めるprocessing-in-memory (PIM)型ニューラルネットワーク(NN)アクセラレータに有効である. EMPとなる電圧 V_{EMP} は動作時電力と待機時電力が拮抗する電圧近傍で生じ, ロジック部では0.3 V程度以下, メモリ部では0.4 V程度となることが多い. PIM型NNアクセラレータでは, 積和(MAC)演算の並列化によって演算能力(TOPS)を向上できるが, 並列化の規模によって V_{EMP} は変化する. 我々はこれまでに0.35–0.4 VのEMP動作に対応できるSRAMセル($10T^{E/U}$)を提案し, そのPIM型NNアクセラレータへの応用を検討してきた[2,3]. しかし, 並列演算PIMの V_{EMP} は0.3 V程度以下にまで低下するため[3], より低い V_{EMP} でも高いノイズ耐性を有するSRAMセルが必要になる. 最近, 我々は新型シュミットリガ(ST)インバータを用いた双安定回路とisolated-read-port (IRP)で構成したSRAMセル($10T^{E/U}_{IRP}$)を提案した[4,5]. 本発表では, $10T^{E/U}_{IRP}$ セルの低電圧(0.2–0.4 V)における強いノイズ耐性を明らかにする. また, 本セルを用いて8kBのSRAMマクロを構成し, これをベースとした並列化PIMのモデリングから本セルの有用性を明らかにする.

【回路構成と解析結果】 図1に $10T^{E/U}_{IRP}$ セルの構成を示す[4,5]. 図2に $10T^{E/U}_{IRP}$ セルを用いた8kBマクロ(M[$10T^{E/U}_{IRP}$])のレイアウトを示す. 周辺回路および各種スイッチの構成は[4]で示したものと同様である. $10T^{E/U}_{IRP}$ セルは温度とデバイスのグローバル, ローカルばらつきを考慮してノイズマージン(NM)を最大化できるように最適設計した. セルとマクロの性能は寄生抵抗・容量を抽出してから, HSPICEと高速SPICE (FineSim)を用いて解析した. ローカルばらつきを考慮した擬スタティックノイズマージン(QSNM)のモンテカルロシミュレーションから, $10T^{E/U}_{IRP}$ セルは $V_{DD} = 0.2V$ におけるREADモードであっても6 σ の極めて低い不良率を達成できることを確認した[5]. 図3にM[$10T^{E/U}_{IRP}$]の動作周波数 f_m , 平均電力 P_{avg} , 1サイクル当たりの消費エネルギー E_{cyc} の V_{DD} 依存性を示す. M[$10T^{E/U}_{IRP}$]の V_{EMP} は0.35 Vとなる. V_{EMP} では P_{avg} を1.2 V動作時と比較して99%削減できる.

【並列化PIMのモデリング】 M[$10T^{E/U}_{IRP}$]を用いて構成した並列演算PIM型NNアクセラレータ・マクロのモデリングを行った. MAC演算の並列数を N_p とする. 本PIMモデルはマクロを各回路ブロックに分離し, それぞれの消費電力などの回路パラメータを用いて表現した. 各ブロックのパラメータは上述のM[$10T^{E/U}_{IRP}$]や既開発のPIMから抽出, またはインバータチェーンを用いて見積もった. また, 補正パラメータなども導入した. 図4に本モデルによる並列演算PIM型マクロ(容量: 8kB, MAC演算ユニット数: $N_p = 1-16$)の E_{cyc}/N_p の V_{DD} 依存性を示す. $N_p=1$ では, $V_{EMP} = 0.35 V$ と上述のM[$10T^{E/U}_{IRP}$]と同じ V_{EMP} であるが, V_{EMP} は N_p とともに減少し, $N_p = 8$ 以降では $V_{EMP} = 0.275 V$ に低下する. このような極めて低い V_{EMP} においても $10T^{E/U}_{IRP}$ セルは十分なノイズ耐性を持つことから, EMP動作・並列演算PIMのセルとして用いることができる.

【謝辞】 シミュレーションは東京大学d. lab-VDECを通し, 日本シノプシス合同会社の協力で行われた.

【参考文献】 [1] S. Jain *et al.*, IEEE ISSCC, p. 66, 2012. [2] Y. Shiotsu *et al.*, IEEE JXDC 8, p. 134, 2022. [3] Y. Shiotsu *et al.*, IEEE JXDC 11, p. 25, 2025. [4] 伊藤他, 第85回応用物理学会秋季学術講演会, 16p-C302-18, 2024. [5] K. Ito *et al.*, IEEE IMFEDK, R08, 2024.

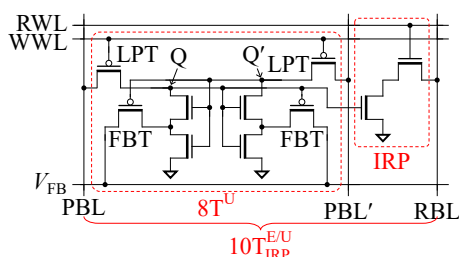


図1. $10T^{E/U}_{IRP}$ セルの構成.

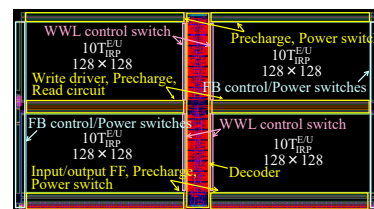


図2. M[$10T^{E/U}_{IRP}$]のレイアウト.

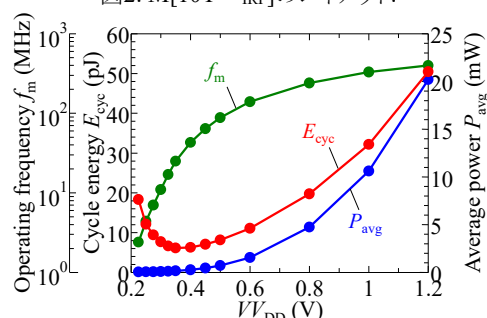


図3. M[$10T^{E/U}_{IRP}$]の f_m , P_{avg} , E_{cyc} の V_{DD} 依存性.

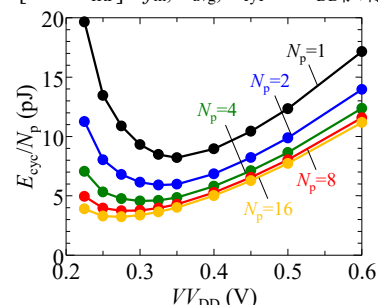


図4. 並列演算PIMにおける E_{cyc}/N_p の V_{DD} 依存性.

XNOR-SRAMセルを用いた並列演算PIM型BNNアクセラレータ・マクロ

A parallel-processing-in-memory BNN accelerator macro using XNOR-SRAM

東京科学大学・未来研 °近藤慶音, 塩津勇作, 菅原聡

°K. Kondo, Y. Shiotsu, and S. Sugahara, *FIRST, Inst. of Sci. Tokyo*

E-mail: kondo.k.ar@m.titech.ac.jp

【はじめに】最近, 我々はエネルギー最小点(EMP)動作が可能なSRAMセル($10T^{E/U}$ セル)を応用した processing-in-memory (PIM)型の2値化ニューラルネットワーク(BNN)アクセラレータ・マクロを検討してきた[1]. 特に, 積和(MAC)演算の並列演算が可能なPIM (PPIM)マクロでは, 並列化による演算能力(TOPS)の向上だけでなく, EMPの低減(0.275 V)によって, エネルギー効率(TOPS/W)も向上できる[1]. しかし, PIMにおけるMAC演算の並列化では並列数とともにメモリアレイ内の配線(ビット線)数が増加し, $10T^{E/U}$ セルの場合, 8並列以上でセル面積内にデッドスペースが生じる. そこで, このデッドスペースにBNNにおけるMAC演算の積に相当するXNORを組み込んだXNOR内蔵セル($14T^{E/U}_{pX+dp}$)を提案した[2]. このセルでは, デッドスペースを有効利用できることに加え, シングルエンド読み出し構成のため面積増加なしに許容される並列数を増加できる. しかし, $2T$ 構成のisolated read port (IRP)を用いていたため, 読み出しビット線(RBL)のクロストークにより, 読み出しエラーが発生する可能性がある. 本発表では, クロストークの影響を排除できる新たなXNOR内蔵セル($16T^{E/U}_{pX+ic}$)を提案し, このセルで構成したPPIM型アクセラレータ・マクロの性能について報告する.

【回路構成】図1に $16T^{E/U}_{pX+ic}$ セルの回路構成を示す. このセルでは $10T^{E/U}$ セルに6つのTrを付加することでXNOR演算が可能になる. 記憶ノードQにあらかじめ重みを書き込んでおき, 推論時に相補信号の入力を推論ビット線(IBL, IBL')に設定することで, 重みと入力とのXNOR演算を実行できる. XTはノードQXTを低電圧でも容易に充電できるようにpMOSで構成している[2]. また, IRPをインバータとCMOSパスゲートで構成することで, $Q_{XT} = L$ の場合にpMOSでRBLを充電できるため, クロストークによって生じる電位低下を補償できる. また, IRPを用いることで本 $16T^{E/U}_{pX+ic}$ セルは0.25 Vまで推論動作における 6σ の不良率を満足できる(一方, 従来の $10T^{E/U}$ セルでは0.35 Vまでしか 6σ の不良率を満たすことができない[1]). 図2に $16T^{E/U}_{pX+ic}$ セルを用いた8並列演算PIMマクロのレイアウトを示す. このマクロでは, セルアレイで重みと入力ベクトルのXNOR演算を実行し, その結果("1"の数)をpopulation counter (PPC)ユニットでカウントすることでMAC演算を実行する. これに整数バイアスを加え, その結果の最上位ビット(MSB)を用いてアクティベーション(ACTV)を判定する[1]. 今回は8並列でマクロを実装したが, $16T^{E/U}_{pX+ic}$ セルの場合, SRAMアレイ部は32並列としてもデッドスペースを生じずに実装可能である.

【解析結果】設計したマクロの性能は, 寄生抵抗・容量を抽出して高速SPICE (FineSim)を用いた大規模シミュレーションにより解析した. デバイスには65nm CMOSプロセスのLPモデルを用いた. 図3に8並列演算PIMマクロにおける動作周波数 f_m , 平均電力 P_{avg} , 1サイクルあたりの消費エネルギー E_{cyc} , 推論のエネルギー効率 η の仮想電源電圧 V_{DD} 依存性を示す. この8並列演算PIMマクロでは $V_{DD} = 0.325$ Vで E_{cyc} が最小となり(すなわち, EMP = 0.325 V), この電圧で η が最大化され, $\eta = 169$ TOPS/Wとなる. これは通常電圧(1.2 V)と比較すると, 12倍程度に増大している. IRPの工夫によって[3], リーク電力を削減することでEMPを減少させ, エネルギー効率をさらに向上させることも可能である.

【謝辞】シミュレーションは東京大学d. lab-VDECを通し, 日本シノプシス合同会社の協力で行われた.

【参考文献】[1] Y. Shiotsu and S. Sugahara, *IEEE JXDC* **11**, 2025, pp. 25.

[2] 近藤他, 第85回応用物理学会秋季学術講演会, 2024, 16p-C302-15.

[3] 矢口他, 第86回応用物理学会秋季学術講演会, 2025.

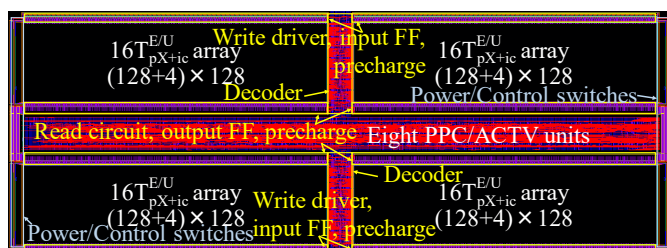


図 2. $16T^{E/U}_{pX+ic}$ セルを用いた 8 並列演算 PIM マクロのレイアウト.

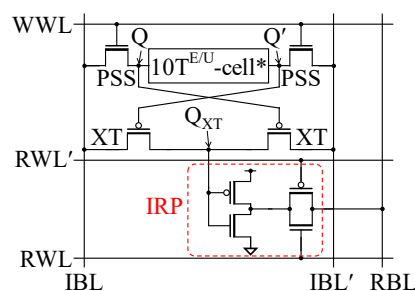


図 1. $16T^{E/U}_{pX+ic}$ セルの回路構成.

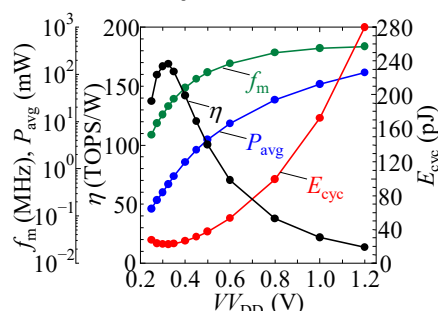


図 3. f_m , P_{avg} , E_{cyc} , η の V_{DD} 依存性.

EMP近傍動作・シングルエンドSRAMセルの設計と性能

Design and performance of single-ended SRAM cells for near energy-minimum-point operation

東京科学大学・未来研 °矢口忠勝, 塩津勇作, 菅原聡

°T. Yaguchi, Y. Shiotsu, and S. Sugahara, *FIRST, Inst. of Sci. Tokyo*

E-mail: yaguchi.t.ag@m.titech.ac.jp

【はじめに】 AIアクセラレータの高エネルギー効率化には、エネルギー最小点(EMP)で動作する processing-in-memory (PIM)型ハードウェアが有効である。EMPで積和演算の並列化を行うことで演算能力を維持しつつ、消費電力を効果的に削減できる。PIMのメモリ部にSRAMを用いた場合、通常の6Tセルではノイズ耐性の問題からEMP動作の実現は難しい。しかし、6Tセルにisolated read port (IRP)を用いてセル構造を最適化することで、EMP近傍(~ 0.45 V)でも使用が可能になる[1]。PIMの並列演算では、SRAMからの並列アクセスを実現するため、一般にはマルチポートセルと、複数本の読み出しビット線(RBL)を用いるためセル面積が増大するが、PIM型AIアクセラレータでは、マルチポートセルを使わずに、さらに、シングルエンド構成セルを用いることでセル面積の増大を抑制できる[2]。しかし、EMP近傍でIRPを用いたシングルエンド読み出しを行う場合、RBLから非選択セルのIRPに流れるリーク電流(RBLリーク)によって生じるRBLの電位低下の影響が通常電圧下より強く出る。また、並列数が多い場合には、隣り合うRBLのクロストークによって生じるRBLの電位変動も問題となる。そこで、本発表では、異なる特徴を有する各種IRP [3,4]を用いたシングルエンドSRAMセルの検証を行い、EMP近傍においても安定なシングルエンド読み出しが可能なセル構成を明らかにする。

【リードポートの構成】 図1(a)–(d)に各種IRPの構成を示す。ここでは、それぞれdp, sip, sdwp, sicと呼ぶことにする。一般的に用いられるdpはRBLへの充電機能が存在しないため、RBLリークやクロストークに対処することが難しい。sipは記憶ノードQにインバータを接続することで充電機能を付加できる。さらに、このインバータのドライバは縦積みの2つのnMOSで構成され、リークを低減できる。しかし、パストランジスタがnMOSであるため、RBLへの充電能力が十分でなく、EMP近傍ではクロストークの影響を排除しきれない。sdwpはsipとほとんど同じ構成であるが、RWLによってpMOSを制御することで、非選択セルにおけるsdwpの中間ノード(M)がQの状態によらず読み出しアクセス中は常にHレベルとなる。これにより、非選択セルのRBLリークを完全に排除できるが、選択セルのpMOSが読み出しアクセス中にOFFとなるため、クロストークの影響は排除できない。さらにドライバリークが問題になる。今回、新たに提案するsicはsipにpMOSのパストランジスタを追加しトランスマッションゲートとすることで、充電能力を改善しクロストークによる電位低下を補償できる。sdwpほどではないが、RBLリークも低減できる。

【解析結果】 本研究では、トランジスタモデルに65nm bulk相当のCMOSデバイスモデルを使用し、HSPICEで解析を行った。6Tセル部については0.45 Vで全動作のノイズマージンを確保できるように設計を行った[1]。各IRPのnMOSの設計はRBLの放電速度を指標として、pMOSではリーク電力などを指標として決定した。図2に各種IRPにおけるL-READ時のRWLとRBLの波形を示す(すべての供給電圧は0.45 Vである)。また、読み出し回路の出力電圧 V_{OUT} も示している。ここでは、並列アクセスを行わないカラム構成を用いて(カラム当たりRBL 1本の構成)、RBLを共有しているすべての非選択セルのQをHとした。dpで読み出した場合、RBLリークによって V_{RBL} が大きく低下し、 V_{OUT} がHとなる読み出しエラーが生じる。一方、pMOSを追加した構成(図1 (b)–(d))では V_{RBL} の低下が抑制され、読み出しエラーは発生していない。特にsdwpではRBLリーク低減の効果が大きく、 V_{RBL} はほとんど低下していない。図3にRBLを並列化したセルのREAD動作の波形を示す(文献[2]のアレイ構成を採用し、1カラムあたりRBLは16本である)。供給電圧は0.45 Vである。この図では、隣り合うRBLの状態が交互にH-READとL-READとなるワーストケースに設定し、L-READのRBLのみをプロットしている。また、破線で V_{OUT} も示している。RWLが立ち上がると、H-READのRBLからクロストークの影響を受け、L-READ時にHレベルであるべき V_{RBL} は低下する。sipとsdwpはこの電位低下を補償できていない。sicではpMOSを付加したパスゲートによって、 V_{RBL} をHレベルに補償できる。以上から、並列化を行う場合にはsicが有効である。

【謝辞】 シミュレーションは東京大学d. lab-VDECを通して、日本シノプシス合同会社の協力で行われた。

【参考文献】 [1] 矢口他, 第85回応用物理学会秋季学術講演会, 2024, 16p-C302-17 [2] Y. Shiotsu and S. Sugahara, *IEEE JXDC* **11**, p. 25, 2025. [3] B. Calhoun and A. Chandrakasan, *IEEE JSSC* **42**, p. 680, 2007. [4] T. Kim *et al.*, *IEEE JSSC* **43**, p. 518, 2008.

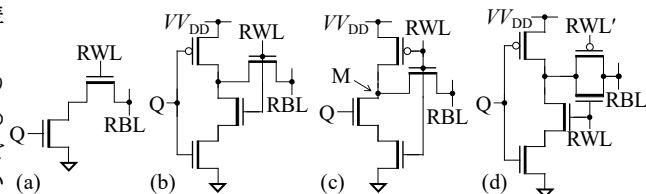


図1. IRPの構成 (a) dp, (b) sip, (c) sdwp, (d) sic

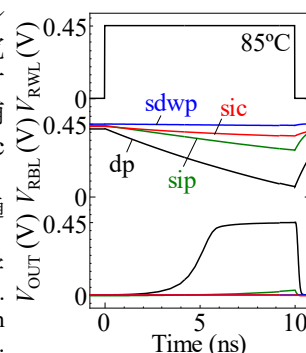


図2. RBLリークの評価

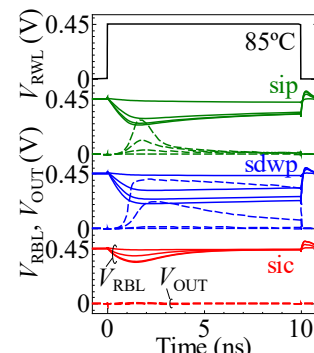


図3. クロストークの評価

耐放射線SRAMセルの設計方法

Design methodology for a radiation-hardened SRAM cell

東京科学大学・未来研 °野見山敏輝, 塩津勇作, 菅原聡

°T. Nomiya, Y. Shiotsu, and S. Sugahara, *FIRST, Inst. of Sci. Tokyo*

E-mail: nomiyama.t.aa@m.titech.ac.jp

【はじめに】 近年, 宇宙空間の産業利用が注目を集めている. 宇宙空間においては, エネルギーの非常に高い宇宙線の影響によって生じる電子機器の誤動作が問題となる. CMOSロジックシステムでは, 宇宙線の突入によってSi基板中に大量の電子正孔対が生成され, Single-event upset (SEU)などのソフトウェアが生じる. SRAMでは, SEUによって記憶状態が反転してしまうことから, この対策が重要な課題になっている. 一般に, SEUの対策には, 誤り訂正符号(ECC)の利用, デバイス構造やセルレイアウトの工夫, セル構成の工夫(DICEなど)などにより行われる[1]. ただし, ベースとなるセルには一般的な6Tセルを用いることが多い. 本発表では, 通常のSRAM動作の各ノイズマージンを確保し, さらにソフトウェア耐性を最大化できる6Tセルの設計方法を検討した.

【評価指標】 READ動作とWRITE動作については, 従来方法と同様にノイズ源に電圧源を用いて擬スタティックノイズマージン(QSNM)とワード線マージン(CWLM)を指標とした[2,3]. 一般的に, SEUの評価には記憶状態が反転するのに必要な最小の電荷量である臨界電荷量(Q_{ct})が用いられ[4], 記憶ノードに流れ込む電子正孔対による電流ノイズは電流源によってモデリングされる. 本研究では, 電流ノイズパルスを用いたDynamic noise margin (DNM)によりソフトウェア耐性を評価した. Q_{ct} はこの電流ノイズパルスから算出される. Hの記憶状態をLにフリップする電流ノイズ, Lの記憶状態をHにフリップする電流ノイズを用いて評価した Q_{ct} をそれぞれ Q_{ct}^H と Q_{ct}^L とした. Q_{ct}^H と Q_{ct}^L の両方を最大化するために, セル内のロード(LD)およびドライバ(DRV)のチャネル幅比率を従来セルから大きく変更する必要がある.

【解析結果】 セルの設計と解析にはHSPICEを用いた. デバイスには65nm CMOSプロセスのLPモデルを使用した. 本研究では, 通常電圧1.2 VでQSNMとCWLMが別途定められた基準値以上となる範囲内で Q_{ct}^H と Q_{ct}^L が最大となるように, 6TセルのDRV, LD, パス(PSS)の各Trのチャネル幅(W_{DRV} , W_{LD} , W_{PSS})を設計した. QSNMとCWLMの基準値はローカルばらつきを考慮したモンテカルロシミュレーションによって評価した不良率が6 σ を満たすようにセルフコンシステントに決定した. 図1(a), (b)に Q_{ct}^L と Q_{ct}^H の W_{DRV} , W_{LD} 依存性をそれぞれ示す. ここでは, 十分なCWLMを確保するために $W_{PSS} = 120$ nmとした. 図中の赤枠と青枠はそれぞれ基準値となるQSNM ≥ 110 mV, CWLM ≥ 110 mVの範囲を示している. Q_{ct}^L は W_{DRV} を, Q_{ct}^H は W_{LD} を大きくすることで向上できる. pMOSの駆動力がnMOSに比べて低いことに加え, グローバルばらつきの影響により図中のほとんどの範囲で Q_{ct}^H がワーストケースとなっている. したがって, ソフトエラー耐性を最大化するためには $W_{LD} > W_{DRV}$ とすることが重要となる. 標準設計(Stdセル; 図中の白点)では $W_{LD} < W_{DRV}$ のため, ソフトエラー耐性最大化の設計とは大きく異なる. ただし, W_{LD} を大きくしすぎるとCWLMが減少するため, ソフトエラー耐性とWRITE動作にはトレードオフの関係が存在する. すなわちCWLMを満たす範囲でPSSに対してLDを大きくする必要がある(最適設計点はCWLMの上側の境界線上に存在する). そこで, このCWLMの境界線上で Q_{ct}^H , Q_{ct}^L のそれぞれが最大となる設計のセルをOpt2, Opt3とし, Q_{ct}^L と Q_{ct}^H が同等になる設計のセルをOpt1とした. Stdセルに関して, 比率を変えないままOpt1セルの面積と同程度にしたi-Stdセルも評価した. 図2にモンテカルロシミュレーションによって評価した Q_{ct}^L と Q_{ct}^H の累積分布を示す. StdセルはLD, DRVの駆動力がともに弱く, さらに $W_{LD} < W_{DRV}$ により Q_{ct}^H が大幅に減少する. Q_{ct}^H はLDの駆動力が強いOpt2セルが, Q_{ct}^L はDRVの駆動力が強いOpt3セルが最大となる. i-StdセルはStdセルに比べて Q_{ct}^H は大きくなるが, Opt2セルの Q_{ct}^L 程度となる. Opt1セルでは Q_{ct}^H と Q_{ct}^L がほぼ同程度となり, 各セルのワーストケースで比較すると最も高い Q_{ct} を持つ. したがって, Opt1セルが最大のソフトウェア耐性を持つ. また, これは図3に示すようにCWLMの境界線上でHOLDが最大となる設計点(図中の青点)とほとんど一致する. これは従来のQSNM, CWLMを用いて容易にソフトウェア耐性を持つセルの設計ができることを意味する. 実際の設計では以上の結果に加えて, さらにリーク電力も考慮する.

【謝辞】 シミュレーションは東京大学d. lab-VDECを通し, 日本シブシブ合同会社の協力で行われた.

【参考文献】 [1] C. Calligaro and U. Gatti, "Rad-hard Semiconductor Memories", River Publishers, 2018. [2] H. Yoshida *et al.*, IEEE OJAS 2, p. 520, 2021. [3] H. Makino *et al.*, IEEE TCAS-II 58, p. 230, 2011. [4] S. M. Jahinuzzaman *et al.*, IEEE TVLSI 17, p. 1187, 2009.

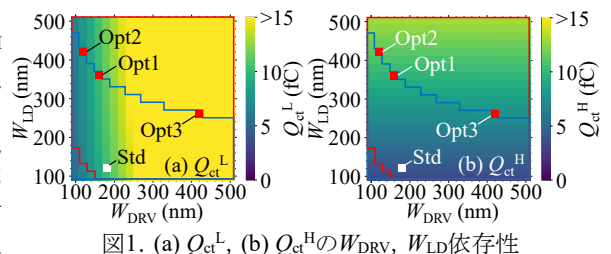


図1. (a) Q_{ct}^L , (b) Q_{ct}^H の W_{DRV} , W_{LD} 依存性

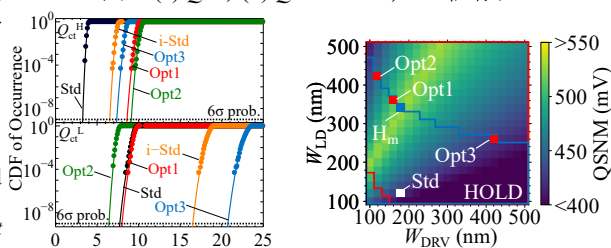


図2. Q_{ct}^L , Q_{ct}^H の累積分布

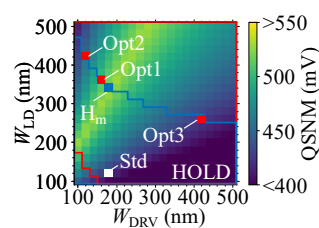


図3. HOLDの W_{DRV} , W_{LD} 依存性

ナノインプリントリソグラフィによる HP19nm L/S パターンの ハードマスクエッチングの評価

Evaluation of hard mask transfer etching of HP19 nm L/S patterns in nanoimprint lithography

産総研 SFRC¹, キヤノン² ○鈴木健太¹, 上田哲也¹, 笠嶋悠司¹, 濱本亮輔¹, 深沢正永¹,
水林亘¹, 林喜宏¹, 石田真幸², 船吉智美², 日浦広実², 香川正行², 長谷川敬恭², 山本磨人²
SFRC, AIST¹, Canon², °Kenta Suzuki¹, Tetsuya Ueda¹, Yuji Kasashima¹, Hamamoto Ryosuke¹,
Masanaga Fukasawa¹, Wataru Mizubayashi¹, Yoshihiro Hayashi¹, Masaki Ishida², Tomomi Funayoshi²,
Hiromi Hiura², Masayuki Kagawa², Noriyasu Hasegawa², and Kiyohito Yamamoto²

E-mail: ke.suzuki@aist.go.jp

ロジック半導体では、トランジスタ直上のコンタクトプラグや MOL (middle of line) などのローカル配線の微細化が進んでいる。ナノインプリントリソグラフィ (NIL) は消費電力の小さいグリーンなリソグラフィ技術であり、配線工程において、線幅の制御性に優れ、斜め線や折り曲げ線などの 2 次元的に自由形状の設計データに対しても忠実で高精度なパターンニングができることが特徴である。我々はこれまでに NIL でパターンニングした最小 HP24nm の TEG 評価結果を報告した[1]。本研究ではさらなる微細化検証のため、HP19nmL/S の NIL のパターンニングおよびハードマスクの転写エッチングの評価を行った。

Si 基板上に多層膜エッチングマスクとして 25nm 厚のスピノンガラス (SOG) と 95nm 厚のスピノンカーボン (SOC) を成膜し、ナノインプリント半導体製造装置 (FPA-1200NZ2C, Canon) を用いてリソグラフィを行った。形成したパターンをエッチングで除去し下層の SOG/SOC に転写エッチングを行った。図 1(a)に HP19nmL/S の NIL レジストパターンの断面 SEM 画像を示す。パターン倒れ等の欠陥がなく、パターン高さ 34nm のレジストパターンの形成を確認した。図 1(b)は SOG/SOC の 2 層マスクへのエッチング後の断面 SEM 画像を示す。HP19nm と微細なパターンサイズにおいて、アスペクト比 5 のハードマスクへの良好なエッチングを確認した。

[1] 鈴木健太ほか：2025 年第 72 回応用物理学会春季学術講演会予稿集, 17a-K101-5 (2025)

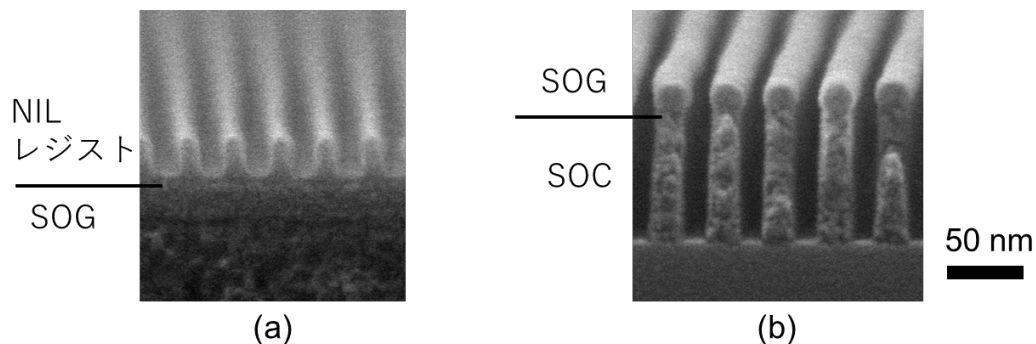


図 1. HP19 nm L/S パターン (a) NIL レジスト, (b) SOG/SOC ハードマスク

この成果は、NEDO（国立研究開発法人新エネルギー・産業技術総合開発機構）の「ポスト 5 G 情報通信システム基盤強化研究開発事業」（JPNP20017）の助成事業の結果得られたものです。

ナノインプリントリソグラフィによるデュアルダマシン (DD) 配線のパターンニング形状評価

Evaluation of dual damascene patterning by nanoimprint lithography

産総研 SFRC¹, キヤノン² ○濱本亮輔¹, 鈴木健太¹, 上田哲也¹, 林喜宏¹, 水林亘¹,石田真幸², 日浦広実², 香川正行², 日下敦之², 小楠誠², 山本磨人²SFRC, AIST¹, Canon², °Hamamoto Ryosuke¹, Kenta Suzuki¹, Tetsuya Ueda¹, Yoshihiro Hayashi¹,Wataru Mizubayashi¹, Masaki Ishida², Hiromi Hiura², Masayuki Kagawa², Atsushi Kusaka²,Makoto Ogusu² and Kiyohito Yamamoto²

E-mail: hamamoto.ryosuke@aist.go.jp

ナノインプリントリソグラフィ (NIL) は、微細な回路パターンを低消費電力かつ低コストで製造することが期待される次世代リソグラフィ技術である。我々はこれまで、主に微細なローカル配線に対する NIL の適用検討を実施し、SADP 等の多重露光プロセスに対して、優れた線幅制御性や斜め線などの 2 次元的自由形状に対する高精度なパターンニングの適用可能性を実証してきた¹⁾。一方、最先端 LSI デバイスでは 10 層以上の多層配線を形成するが、既存の光リソグラフィ技術を用いたデュアルダマシン (DD) 配線工程では、配線とビアを独立した各層でパターンニングする必要があった。今回、この多層配線工程の大幅なプロセスの低減を目指し、DD 配線工程による NIL パターンニングの適用検討を実施した。NIL はマルチレベルのテンプレート (マスク) を導入することで、配線層とビア形状の一括のパターンニングを行うことができる。本報告では、第 1 段階の検討として 2 段形状のテンプレートを使用し、ナノインプリント半導体製造装置 (FPA-1200NZ2C, Canon) を用いて形成した DD レジストパターン形状の評価を行った。図 1 (a) にはパターンニングの模式図、(b)、(c) にはレジストパターンの上面 SEM 及び断面 SEM 画像を示す。(b) からは線幅 70nm (hp=70nm) で長さ 420nm の配線層の両端に ϕ 70nm のビアパターンが良好な形成が確認できた。また、(c) からは、設計通りにビアと配線層の深さがそれぞれ 60nm で 3 次元の DD レジスト形状が形成されていることを確認できた。本発表ではこれらの配線層やビアのパターンニング精度について報告する。

- 1) K. Suzuki, S. Youn, T. Ueda, H. Hiroshima, Y. Hayashi, M. Ishida, T. Funayoshi, H. Hiura, N. Hasegawa, and K. Yamamoto, Jpn. J. Appl. Phys., 63, 03SP41 (2024).

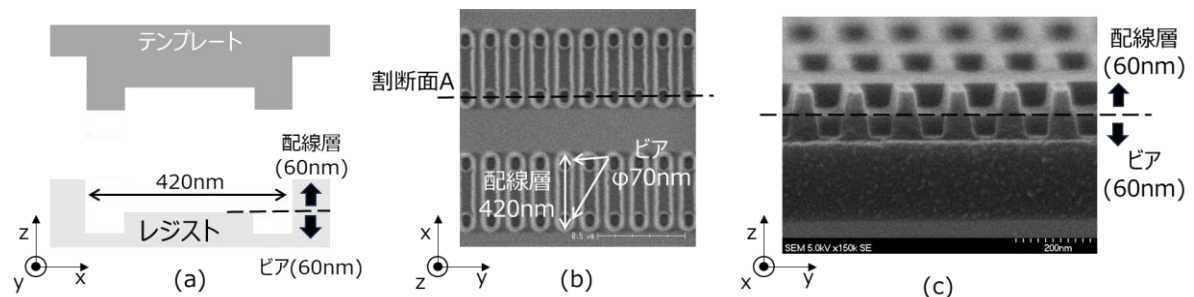


図 1. (a)DD 形成対応のテンプレートと NIL レジストへの転写パターン形成断面模式図、及び、

NIL レジストに転写された DD パターンの (b) 上面 SEM 画像 と (c) 断面 A の断面 SEM 画像

この成果は、NEDO (国立研究開発法人新エネルギー・産業技術総合開発機構) の「ポスト 5 G 情報通信システム基盤強化研究開発事業」(JPNP20017) の助成事業の結果得られたものです。

酸化による CuAl_2 薄膜の抵抗増大に関する原子論的解析

Atomistic Simulation of Increase in Resistance of Oxidized CuAl_2 Films

慶大理工 ○田中 貴久

Keio Univ.

E-mail: tanaka@elec.keio.ac.jp

現在の集積回路の配線は主に Cu で構成されているが、Cu の拡散・酸化防止や密着性向上に寄与するバリア/ライナー層が必要となっている。Cu は伝導電子の長い平均自由行程から微細化した際に表面散乱の効果で抵抗が上昇しやすい。バリア/ライナー層は Cu 配線の体積を減少させてしまうため、微細化による抵抗上昇をより増大させてしまう。金属間化合物である CuAl_2 はその酸化膜が Cu の拡散・酸化防止や密着性向上に寄与することから、バリア/ライナー層配線材料として注目を集めている [1]。将来の配線材料として用いる際には、ナノスケールの CuAl_2 の抵抗率が酸化によりどの程度上昇するのかを定量的に評価する必要がある。しかし、極薄膜での実験的評価はまだ十分に行われていない。そこで本研究では、ナノスケールの CuAl_2 薄膜の酸化による抵抗の増大を原子論的シミュレーションにより解析した。

原子論的シミュレーションでは、まず CuAl_2 薄膜の酸化を再現する反応力場の構築を行った。Quantum Espresso を用いた密度汎関数法による計算結果をフィッティング時の参照データとした。LAMMPS による反応力場分子動力学計算が参照データのエネルギーを再現するように、反応力場の Cu-Al 間のパラメータを粒子群最適化法により決定した。構築した反応力場を用いた分子動力学計算により CuAl_2 薄膜上に 300 K で酸素を付加し、酸化を再現した。電気抵抗および抵抗率の計算は MD-Landauer 法により行った。 CuAl_2 薄膜の酸化とフォノンによる原子変位を考慮した構造に対して非平衡グリーン関数法により透過率を計算し、電気抵抗を求めた(Fig. 1)。その結果、酸化膜に隣接する層の欠陥により、実効的に伝導に寄与する CuAl_2 の膜厚が減少することを明らかにした。実験的には CuAl_2 の酸化膜は約 1.5-2 nm 程度成長すると報告されており [1, 2]、酸化膜と欠陥をあわせた CuAl_2 の実効膜厚の減少は Cu 配線のバリア/ライナー層と同程度の厚さになることが明らかになった。そのため、 CuAl_2 の配線応用に関しては酸化膜の厚さの制御が重要である。当日は膜厚依存性についても議論する。

謝辞: 本研究の一部は JST CREST(JPMJCR24A4) の助成を受けたものである。

参考文献 [1] L. Chen *et al.*, J. Appl. Phys. **129**, 035301 (2021). [2] T. Kuge *et al.*, IEEE Trans. Device Mater. Reliab. **24**, 14 (2023).

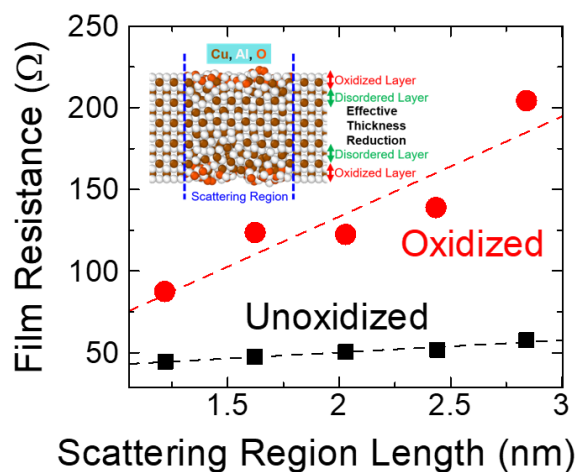


Fig. 1 Resistance of CuAl_2 films with thickness of 2.3 nm.

微細配線応用を目指した CoSn カゴメ金属薄膜の作製

Fabrication of CoSn kagome metal thin films for interconnect applications

NIMS¹ [○]中谷 友也¹, (P)Nattamon Suwannaharn¹, 佐々木 泰佑¹

NIMS¹ [○]Tomoya Nakatani¹, (P)Nattamon Suwannaharn¹, Taisuke Sasaki¹

E-mail: nakatani.tomoya@nims.go.jp

半導体素子において、Cu 配線の微細化とともに Cu の抵抗率(ρ)が増大することが問題となる。これは、Cu は等方的なフェルミ速度分布をもち、伝導電子の平均自由行程が長いため、微細配線において、配線表面での伝導電子の散乱が支配的となるためである。この問題の解決のため、抵抗率が結晶方位に強く依存する異方性導電材料の配線応用が検討されている。CoSn カゴメ合金は、バルク単結晶試料において、 c 軸 ([0001]方位) に対して室温で $\rho \sim 3 \mu\Omega \text{ cm}$ と良導体であるが、それと直交する c 面内では $\rho > 100 \mu\Omega \text{ cm}$ と高抵抗率を示す擬一次元異方性導電材料であり[1]、理論的にも配線材料の有力候補であることが示されている[2]。一方で、CoSn 薄膜において抵抗率の異方性を示した報告はない。本研究では、 c 軸が基板面内を向いた CoSn(10 $\bar{1}$ 0)単結晶薄膜を作製し、抵抗率の結晶方位依存性を調査した。

MgO(110)基板上に bcc-Co₅₀Fe₅₀ (2 nm)/hcp-Co (2 nm)/hcp-Ru(2 nm)をバッファ層としてマグネトロンスパッタリングによって成膜した。Ru は表面が(10 $\bar{1}$ 0)面の単結晶となり、その上に CoSn を基板温度 350 °C 以上でスパッタ成膜すれば CoSn(10 $\bar{1}$ 0)単結晶薄膜が成長した。CoSn は Co および Sn ターゲットからの同時スパッタにより成膜した。

図 1(a)に 400 °C で成膜された CoSn (10 nm)の表面の原子間力顕微鏡 (AFM) 像を示す。CoSn は単結晶であるが、3次元成長しており、peak-to-valley (p-v)の値は 26 nm と極めて表面がラフである。CoSn のラフネス (例えば、CoSn 膜厚 t_{CoSn} に対する p-v の比) は、 t_{CoSn} の増大とともに低下した。図 1(b)に CoSn の室温における抵抗率の t_{CoSn} 依存性を示す。全領域の t_{CoSn} において $\rho_{\parallel c} < \rho_{\parallel a}$ ($\rho_{\parallel c}$ および $\rho_{\parallel a}$ はそれぞれ c 軸および a 軸方向の抵抗率) であり、バルク単結晶の報告同様に CoSn の抵抗率は結晶方位に対して顕著な異方性を示す。 $t_{\text{CoSn}} = 50 \text{ nm}$ では、 $\rho_{\parallel c} = 13 \mu\Omega \text{ cm}$, $\rho_{\parallel a} = 118 \mu\Omega \text{ cm}$ であった。なお、 t_{CoSn} の減少とともに $\rho_{\parallel c}$ は増加するが、これにはラフネスの寄与が含まれており、本結果からは、 $\rho_{\parallel c}$ の本質的な膜厚依存性は議論できないと考えられる。

文献 [1] H. Huang, Phys. Rev. Lett. **128**, 096601 (2022). [2] S. Kumar, Phys. Rev. Mater. **6**, 085002 (2022).

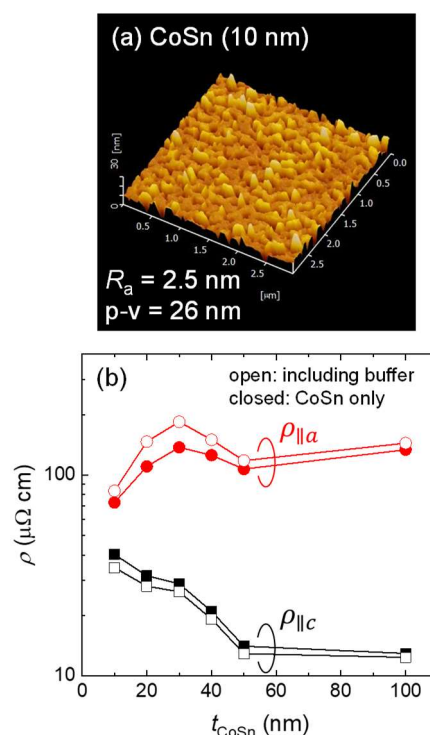


図 1 (a) CoSn (10 nm)の AFM 像。
(b)抵抗率の t_{CoSn} および結晶方位依存性。open symbols はバッファ層を含んだ平均の抵抗率, closed symbols は CoSn のみの抵抗率。

NiAl のエレクトロマイグレーション特性

Electromigration characteristics of NiAl

東北大¹, °(D) 米原 周平¹, 小池 淳一¹

Tohoku Univ.¹, °Shuhei Yonehara¹, Junichi Koike¹

E-mail: yonehara.shuhei.q6@dc.tohoku.ac.jp

背景 ULSI の微細化に伴う電流密度の増加により、Cu 配線のエレクトロマイグレーション(EM)が問題となっている。そこで、Cu 代替材料として金属間化合物が注目されており[1,2]、本研究では、特に電気抵抗率が低く、原子間の結合力が強い NiAl において EM 試験を行い、その挙動と特性について報告する。

実験 図 1 に EM 試験サンプルの概略図を示す。サンプルはフォトリソグラフィとスパッタリングを用いて作製した。初めに、補助導線として TaN を 100 nm 成膜後、Cu 電極(500 nm)を形成し、TaN 上に NiAl を 50 nm 成膜した。EM 試験前に、NiAl を結晶化させるため、400 °C で真空アニールを行った。また、EM 試験は 4 MA/cm²、温度 275 °C ~ 300 °C、試験時間 25 h、真空雰囲気の下で実施した。

結果 図 2(上)に EM 後のカソード側の SEM-EDS 面分析結果を示す。カソード側の表面には 1~2 μm ほどのボイドが観察され、Ni と Al の両方が欠損していた。一方で、図 2(下)の TEM-EDS 結果より、Ni の厚みがカソード端に近いほど薄くなっていることが分かった。ボイド形成においてはその面積から、厚み減少においては EM 前後の厚み変化量より、それぞれドリフト速度を求め、そのアレニウスプロットから活性化エネルギーを算出した。図 3 に NiAl の活性化エネルギーの算出結果を示す。ボイド形成は粒界拡散によるものであり、粒界三重点における原子流束の不均衡で生じたと考えられ、その活性化エネルギーは 1.41 eV、一方で、膜厚減少は界面拡散によると考えられ、活性化エネルギーは 0.75 eV であった。これらの値は Cu の粒界拡散の活性化エネルギー(1.0 eV)、Cu/Co 界面拡散の活性化エネルギー(0.5 eV)よりもそれぞれ高く、NiAl は現状の配線よりも優れた EM 耐性を示した。

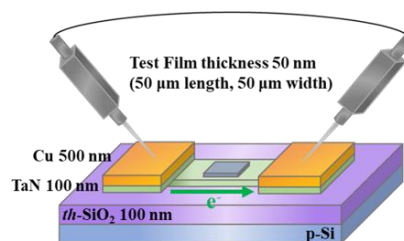


Fig. 1 Sample pad of EM testing.

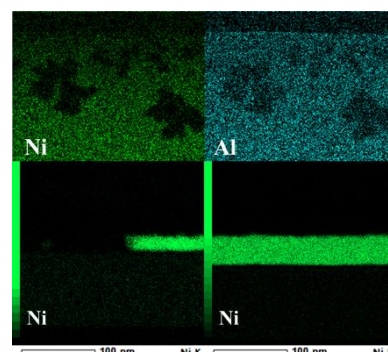


Fig. 2 EDS profile of Ni (upper left) and Al (upper right) at the cathode surface. EDS profile of Ni at 800 nm from the cathode end (lower left) and at 4 μm from the cathode end (lower right) in the cross-section.

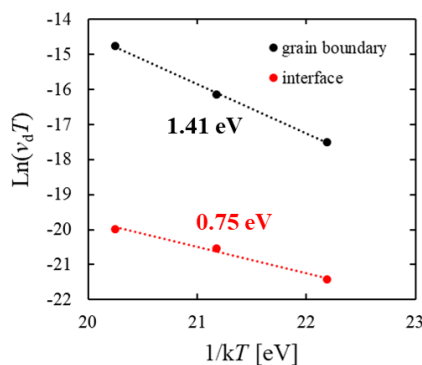


Fig. 3 Activation energy for EM in NiAl.

Reference: [1] L. Chen, D. Ando, Y. Sutou, J. Koike, J. Vac. Sci. Technol. B 37 (2019) 031215.

[2] T. Kuge, M. Yahagi, J. Koike, Journal of Alloys and Compounds 918 (2022) 165615.

13 Semiconductors | Oral presentation : 13.6 Nanostructures, quantum phenomena, and nano quantum devices

[7p-N401-1~16] 13.6 Nanostructures, quantum phenomena, and nano quantum devices

[7p-N401-1]

Terahertz wave generation originating from miniband structures in semiconductor superlattices

○Takayuki Hasegawa¹, Tomoki Den¹, Akira Fujimoto¹ (1.Osaka Inst. Technol.)

[7p-N401-2]

Terahertz Field Sensors Using Electro-Optic Effect in a Semiconductor Microcavity: Theoretical Study on the Frequency Dependence of Phase-Shift Signal

○Takahiro Kitada¹, Yukihiro Harada², Toshiyuki Kaizu³, Yasuo Minami⁴, Osamu Kojima⁵, Takashi Kita², Osamu Wada⁶ (1.NIT of Matsue, 2.Grad. Sch. of Eng., Kobe Univ., 3.UEC, 4.Nihon Univ., 5.Chiba Inst. Tech., 6.Kobe Univ.)

[7p-N401-3]

Effects of free carriers on difference-frequency-mixing signal under exciton resonant excitation condition in a GaAs/AlAs multiple quantum well

○Jiaming Xu¹, Osamu Kojima¹, Matthew Steer², Richard Hogg^{2,3} (1.Chiba Inst. Tech., 2.Univ. Glasgow, 3.Aston Univ.)

[7p-N401-4]

Effects of strain on polarization characteristics of excton photoluminescence in a GaSb/AlGaSb multiple quantum well grown on Si substrate

○Daiki Yamaguchi¹, Osamu Kojima¹, Kouichi Akahane² (1.Chiba Inst. Tech., 2.NICT)

[7p-N401-5]

[The 58th Young Scientist Presentation Award Speech] Spatial Mapping of Quantum Dot Ensemble Dynamics Across Multiple Timescales Using Remote Dual-Comb Asynchronous Optical Sampling

○Gen Asambo^{1,2}, Riku Shibata^{1,2}, Yushiro Takahashi^{1,2}, Kouichi Akahane³, Shinichi Watanabe^{1,2}, Junko Ishi-Hayase^{1,2} (1.Keio Univ., 2.Keio CSRN, 3.NICT)

[7p-N401-6]

Electric field control of circular polarization oscillation characteristics in InGaAs quantum dots tunnel-coupled with a GaNAs quantum well

○Shunsuke Sakano¹, Hiroto Kise¹, Junichi Takayama¹, Akihiro Murayama¹, Satoshi Hiura¹ (1.IST, Hokkaido Univ.)

[7p-N401-7]

Bias voltage dependence of circularly polarized luminescence properties of InGaAs quantum dots sandwiched between GaNAs quantum wells

○Kyota Nakadate¹, Hiroto Kise¹, Ayano Morita¹, Junichi Takayama¹, Akihiro Murayama¹, Satoshi Hiura¹ (1.IST, Hokkaido Univ.)

[7p-N401-8]

Effects of nitrogen layer on photorefectance spectra in GaAs crystals including InAs quantum dots

○Osamu Kojima¹, Tomoya Inoue², Takashi Kita² (1.Chiba Inst. Tech., 2.Kobe Univ.)

[7p-N401-9]

Wavelength Control and Defect-Free InGaN Nanoplatelets via Selective Etching and Regrowth

○(DC)Qingyuan Han¹, Wentao Cai², Jia Wang^{2,3}, Yuta Ito¹, Yuta Furusawa², Haitao Wang², Heajeong Cheong^{1,2,4}, Markus Pristovsek², Yoshio Honda^{2,3,4}, Hiroshi Amano^{2,3,4} (1.Dept. Electronics, NU, 2.IMaSS, NU, 3.IAR, NU, 4.DTSIC, NU)

[7p-N401-10]

Selective-area MOVPE of InGaAs core-multishell nanowires on thin SOI layer and fabrication of vertical gate-all-around tunnel FETs

○(M1)Kai Fujimoto^{1,2}, Keita Taniyama^{1,2}, Yuki Azuma^{1,2}, Ryosei Uchida^{1,2}, Junichi Motohisa^{1,2}, Katsuhiro Tomioka^{1,2} (1.Hokkaido Univ., 2.RCIQE)

[7p-N401-11]

Fabrication of InP crystal phase transition heterojunction vertical transistor

○Ryosei Uchida^{1,2}, Yuki Azuma^{1,2}, Keita Taniyama^{1,2}, Junichi Motohisa^{1,2}, Katsuhiro Tomioka^{1,2} (1.Hokkaido Univ., 2.RCIQE)

[7p-N401-12]

Electron transport through single InAs colloidal quantum dots

○Kenji Shibata¹, Tomoki Takiguchi¹, Akira Sato¹, Yuto Sasaki¹, Tomohiro Otsuka² (1.Tohoku Inst. Tech., 2.RIEC, Tohoku Univ.)

[7p-N401-13]

Impurity Ion Doping into Si Quantum Dots

○Kazumasa Yonetsu¹, Tomohisa Mizuno¹ (1.Kanagawa Univ.)

[7p-N401-14]

Optical Properties of SiO_x Thin Films Containing Si Quantum Dots and Electrical Characterization of MIS Devices

○Toshiya Kondo¹, Hiroshi Katsumata¹ (1.Meiji Univ.)

[7p-N401-15]

Carrier relaxation dynamics in green InGaN / GaN quantum dots

○Reiho Ozaki¹, Yuto Nakama¹, Riku Iwasaki¹, Atushi Tackeuchi¹, Shulong Lu², Xue Zhang², Wenxian Yang² (1.Waseda Univ., 2.SINANO)

[7p-N401-16]

Quantitative Analysis of Electron Spin Relaxation Time in Bulk GaAs

○Satoshi Iba¹, Yuzo Ohno^{1,2} (1.AIST, 2.Univ. of Tsukuba)

半導体超格子におけるミニバンド構造に起因したテラヘルツ波発生

Terahertz wave generation originating from miniband structures in semiconductor superlattices

大阪工大 長谷川 尊之, 田 智樹, 藤元 章

Osaka Inst. Technol., Takayuki Hasegawa, Tomoki Den, and Akira Fujimoto

E-mail: takayuki.hasegawa@oit.ac.jp

フェムト秒レーザー照射による半導体結晶からのテラヘルツ波発生は、半導体の構造や励起条件に依存して多様な特性を示す。半導体超格子を対象としたテラヘルツ波発生に関する研究では、ブロッホ振動が盛んに調査されてきた。ブロッホ振動は、ミニバンドを形成するための包絡波動関数の共鳴トンネル効果が電場印加によって破綻する条件下で生じる。本研究では、ミニバンドが形成されている半導体超格子のテラヘルツ波発生に焦点を置いて、発生特性とその機構について調査した。

試料は、分子線エピタキシー法により作製された $(\text{InAs})_1/(\text{GaAs})_m$ 超格子 ($m=5, 10, 30$) である。テラヘルツ波時間波形の測定は、モード同期 Ti:sapphire レーザー (~80 fs) を光源とし、電気光学サンプリング法を用いて、室温、乾燥空気下で測定した。試料の電子状態の観測は、光変調反射分光法を用いて行った。

図 1 は、 $m=10$ の試料における 100 K での光変調反射スペクトルの測定結果である。1.4 eV (1.9 eV) 付近に観測される信号のエネルギーは、ミニバンドの Γ 点 (π 点) での光学遷移エネルギーの計算結果と一致しており、本試料でミニバンドが形成されていることを示している。また、スペクトルの解析から、内部電場の存在を示すフランチ・ケルディッシュ振動が現れていることも確認された。

図 2 は、 $m=10$ の試料における励起光強度 40 mW でのテラヘルツ波時間波形の測定結果である。テラヘルツ波の振幅は励起光強度にほぼ比例しており、光励起キャリアの寄与が示唆された。上述したように、本試料ではミニバンドが形成されており、かつ内部電場が存在している。このことから、観測されたテラヘルツ波は、光励起されたキャリアが内部電場によってミニバンド内を高速に輸送されることで発生しているものと考えられる。講演では、試料依存性も含めてテラヘルツ波発生特性を議論する。

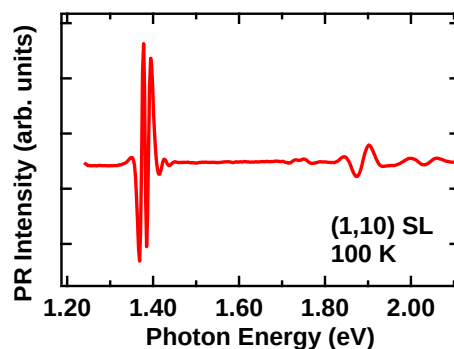


Fig. 1

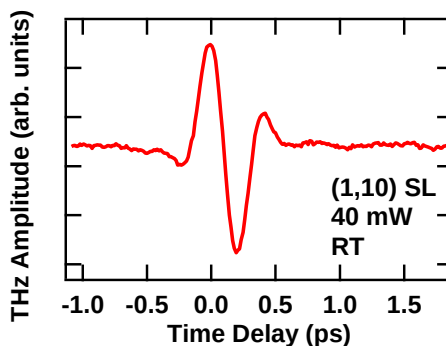


Fig. 2

半導体光共振器中での電気光学効果を利用したテラヘルツ電界センサ： 位相差信号の周波数依存性

Terahertz Field Sensors Using Electro-Optic Effect in a Semiconductor Microcavity: Theoretical Study on the Frequency Dependence of Phase-Shift Signal

松江高専¹, 神戸大院工², 電通大³, 日大生産工⁴, 千葉工大工⁵, 神戸大⁶

○北田 貴弘¹, 原田 幸弘², 海津 利行³, 南 康夫⁴, 小島 磨⁵, 喜多 隆², 和田 修⁶

NIT of Matsue¹, Grad. Sch. of Eng., Kobe Univ.², UEC³, Nihon Univ.⁴, Chiba Inst. Tech.⁵,

Kobe Univ.⁶, °T. Kitada¹, Y. Harada², T. Kaizu³, Y. Minami⁴, O. Kojima⁵, T. Kita², O. Wada²

E-mail: kitada.takahiro@matsue-ct.ac.jp

GaAs 系のヘテロ多層膜で構成する微小光共振器中での電気光学 (EO) 効果を利用した高感度のテラヘルツ (THz) 電界センサの開発に取り組んでいる。近年の THz 計測システムでは、光導電型の発生・検出素子が広く用いられるが、光通信波長 1.5 μm 帯のレーザ光を使ったシステムを考えた場合、検出素子に用いる狭ギャップ半導体に特有の高い暗電流が問題になる。一方、THz 波照射による EO 効果を用いた検出方法では、複屈折による位相差を信号として検出するため暗電流の問題にはさらされないが、十分な位相差信号を得るための比較的長い光路長が必要になる。我々は、微小光共振器中での光電場増強と長い光子寿命に着目し、面直入射においても十分な位相差信号を得る素子構造を検討している。前回、有効的に EO 効果を利用できる結晶面方位[1]と検出する位相差信号の共振器 Q 値依存性[2]について報告したが、位相差信号は、直流電界のモデルで計算していたため、周波数特性についてはよく理解できていない。今回、交流電界による EO 効果で生じる位相差信号を計算し、その周波数依存性を評価した。

波長 1.5 μm に共振モードが生じる GaAs/AlAs 多層膜光共振器 (共振器層厚は 3λ) について計算を行った。EO 効果で物質の屈折率が角周波数 ω_s の正弦波で時間変化する場合、入射した光は ω_s の間隔で側波をもつようになり、そのフーリエ係数は第一種ベッセル関数で記述できる。そこで、角周波数が $\omega_0 - m\omega_s$ (m は整数) である共振器内の電磁場を $2n+1$ 個の進行波と後退波で展開し、境界での電場と磁場の連続条件から $(4n+2) \times (4n+2)$ の伝達マトリックスを構築した。ここで、 ω_0 は EO 効果がない場合の共振モードの角周波数である。 $n=10$ として求めた伝達マトリックスから各周波数成分の振幅透過係数を求め、位相差信号を計算した。図 1 に 3 つの異なる Q 値をもつ光共振器について計算した位相差信号の周波数依存性を示す。 Q 値は DBR 膜の積層数で変化させ、共振器層の EO 係数は GaAs バルク結晶よりも 3 桁大きいと仮定した。低い周波数領域では Q 値が高いほど大きな位相差信号が得られるが、周波数が高くなると信号強度は低下し、 Q 値に依存しなくなる。位相差信号は、 $m = \pm 1$ の側波でほぼ決定づけられており、その周波数間隔が共振モードのスペクトル幅よりも大きくなるためである。

[1] 北田他, 第 72 回応用物理学会春季講演会, 17a-K302-3 (2025).

[2] 原田他, 第 72 回応用物理学会春季講演会, 17a-K302-4 (2025).

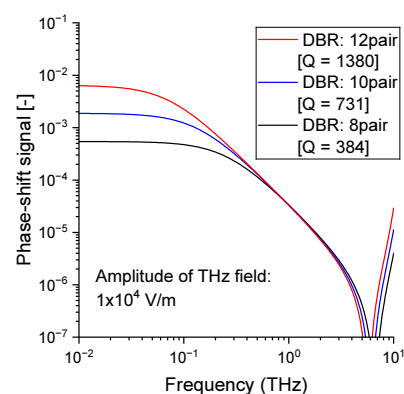


Fig.1: Frequency dependence of the phase-shift signal.

GaAs/AlAs 多重量子井戸における励起子共鳴励起条件下での 差周波混合信号に対する自由キャリアの効果

Effects of free carriers on difference-frequency-mixing signal under exciton resonant
excitation condition in a GaAs/AlAs multiple quantum well

千葉工大院工¹, Univ. Glasgow², Aston Univ.³ ○許 家銘¹, 小島 磨¹, Matthew Steer²,
Richard Hogg^{2,3}

Chiba Inst. Tech.¹, Univ. Glasgow², Aston Univ.³, ○J. Xu¹, O. Kojima¹, M. Steer², R. Hogg^{2,3}

E-mail: s24p4014gt@s.chibakoudai.jp

差周波混合によるテラヘルツ電磁波発生に関する研究において、GaAs/AlAs 多重量子井戸における励起子共鳴励起条件での結果[1]では、発生効率と比べて観測されるテラヘルツ電磁波の強度はナノワットレベルであり、非常に微弱である。そのため、強度を増強させる取り組みを行ってきたが[2,3]、大幅に増強させることはできていない。そこで、本研究ではその原因として励起光源に連続波レーザーを使用していることに起因する自由キャリアの生成を考え、自由キャリアの影響を抑制して信号強度を増強させることを目指したので、その結果について報告する。

試料には n^+ 型 GaAs 基板上的 pin 構造に埋め込まれた GaAs/AlAs 多重量子井戸を用いた[2]。井戸幅と障壁層幅はどちらも 7.25 nm であり、量子井戸周期数は 30 である。図 1(a)は差周波混合信号の測定系の模式図であり、二つのレーザーの光を結合光ファイバで重ねて試料に照射し、後方散乱方向に発生するテラヘルツ電磁波を検出した。光チョップパ1は信号を検出するために使用しており、ロックイン増幅器と同期させている。光チョップパ2はレーザー光を遮断し、自由キャリアを緩和させるために使用した。また、照射する光強度は可変 ND フィルタで制御した。光チョップパ2を 200 Hz とした場合の信号強度に対して、周波数を増加させた場合の信号強度の比をプロットした結果が図 1(b) である。励起光強度が小さい順にそれぞれ、非線形性が観測され始める強度、中間的な強度、および飽和に近い強度である。なお、テラヘルツ電磁波の周波数は 9.11 THz である。すべての励起光強度において信号強度比は、周波数の増加にともない概ね増加している。これは、イオン化された励起子が自由キャリアとして量子井戸内に蓄積されることを抑制したことに起因すると考えられる。

謝辞: 科研費 25K01270

[1] O.Kojima et al., Phys. Rev. Applied **10**, 044035 (2018).

[2] K. Sakaue et al., Optics Express **29**, 24387 (2021).

[3] O. Kojima, et al., Optics Express **30**, 11789 (2022).

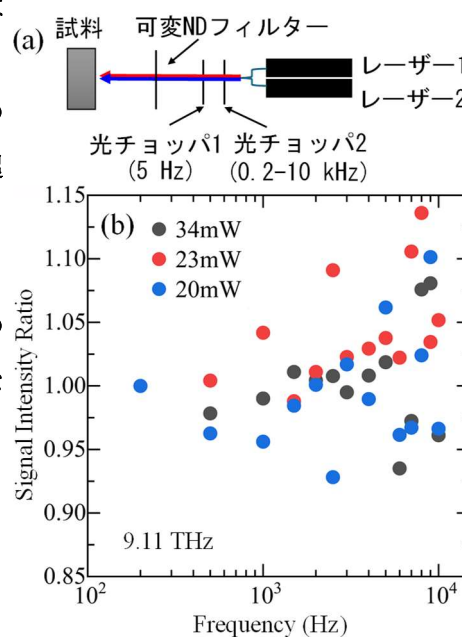


Fig.1 (a) Optical setup. (b) Frequency dependence of signal intensity ratio.

Si 基板上の GaSb/AlGaSb 多重量子井戸における励起子発光の偏光特性に対する歪みの効果

Effects of strain on polarization characteristics of exciton photoluminescence in a GaSb/AlGaSb multiple quantum well grown on Si substrate

千葉工大院工¹, 情報通構² ○山口 大輝¹, 小島 磨¹, 赤羽 浩一²

Chiba Inst. Tech¹, NICT² ○D. Yamaguchi¹, O. Kojima¹, K. Akahane²

E-mail: s20A4159TC@s.chibakoudai.jp

GaSb は光通信波長帯における光デバイスの一つとして注目されているが、実際の応用を考えた場合、格子整合基板の利用が困難であることから、Si 基板上に成長した量子井戸構造が提案されている[1]. Si と GaSb の格子不整合率は約 10%であることから GaSb 量子井戸には格子不整合歪みが加えられていると考えられ、電子状態もこの歪みの影響を受けると考えられる[2, 3]. そこで今回我々は、Si 基板上に作製された GaSb 多重量子井戸の発光スペクトルの様々な偏光依存性を測定し、歪みが励起子発光に与える効果を明らかにすることを目的に研究を行ったのでその結果について報告する.

試料には、分子線エピタキシー法で(001)Si 基板上に作製した GaSb/AlGaSb 多重量子井戸を用いた. 井戸幅と障壁層幅はそれぞれ 10 nm と 20 nm であり、量子井戸周期数は 5 である[1]. 図 1(a)は室温で励起光の偏光方向を変えて測定した発光スペクトルである. 図中の HH と LH は、それぞれの発光ピークが重い正孔励起子と軽い正孔励起子に起因することを示している. 光方向に対してスペクトル形状はほとんど変化しないが[110]で励起した場合に強度が低下している. そこで、重い正孔励起子発光の強度の励起方位依存性を、励起光強度が 10 mW と 20 mW の場合についてプロットした結果が図 1(b)である. どちらの励起光強度においても[110]で発光強度が強く、これは歪みによって波動関数に異方性が生じているためと考えられる. また、発光強度の比は 10 mW で 39%であるのに対し、20 mW で 21%となった.このことは、励起子の緩和レートにおいても異方性があることを示唆していると考えられる.

謝辞: 科研費 25K01270

- [1] K. Akahane et al., JJAP **44**, L15 (2005).
- [2] O.Kojima et al., APEX **16**, 051102 (2023).
- [3] O. Kojima et al., JJAP **64**, 011005 (2025).

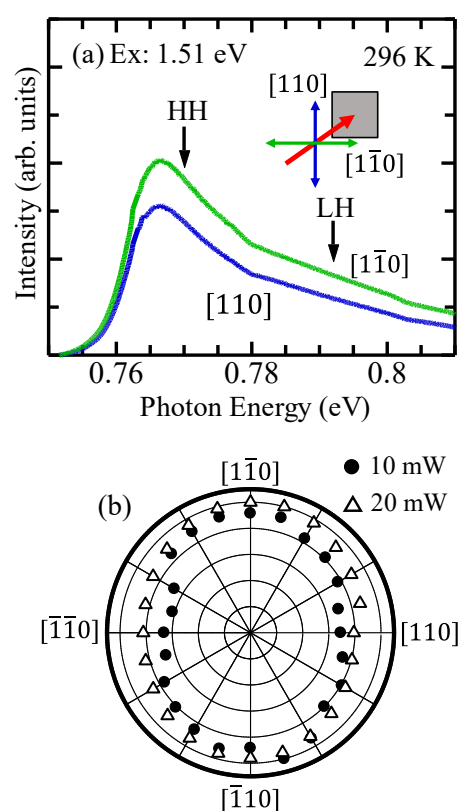


Fig. 1(a) Photoluminescence spectra. (b) Excitation-direction dependence of photoluminescence intensity.

伝送デュアルコム非同期光サンプリングによる 量子ドットダイナミクスのマルチ時間スケール空間マッピング Spatial Mapping of Quantum Dot Ensemble Dynamics Across Multiple Timescales Using Remote Dual-Comb Asynchronous Optical Sampling

慶大理工¹, 慶大 CSRN³, NICT³

○(M1)阿讃坊 元^{1,2}, (D)柴田 理来^{1,2}, 高橋 雄士朗^{1,2},
赤羽 浩一³, 渡邊 紳一^{1,2}, 早瀬 潤子^{1,2}

Keio Univ.¹, Keio CSRN², NICT³

○G. Asambo^{1,2}, R. Shibata^{1,2}, Y. Takahashi^{1,2}, K. Akahane³, S. Watanabe^{1,2}, and J. Ishi-Hayase^{1,2}

E-mail: ragfai9@keio.jp

【背景・目的】

異なる繰り返し周波数を持つ 2 つの光周波数コムにより遅延時間を自動的に掃引するデュアルコム非同期光サンプリング(ASOPS)は, 超高速分光において機械式時間掃引を不要にし, パルス幅程度の時間分解能と 10 数 ns 程度の長い測定時間範囲を両立しながら, 2,3 桁計測時間を短縮できる. 電通大のグループとの共同研究により自己形成 InAs 量子ドット(QD)集合体に対するポンププローブ ASOPS は実証された^[1]が, 光コムと低温設備の両立が難しかったことが一因となり, 低温試料に対してのポンププローブ ASOPS は未実証であった. また QD 集合体には作製条件の不均一性によって物性にも空間不均一性が存在するが, 従来手法では 1 測定点の測定に長い時間を要することから, 複数の測定点で測定を行うことによる不均一性の評価は難しかった. 本研究では, 大学内の別の棟で生成した光コムを 419 m ファイバ伝送することで低温設備と光コムを両立し, 低温 QD 集合体に対するポンププローブ ASOPS を初めて実証した. また ASOPS によって短縮された測定時間を活かし, 複数の測定点で測定を行うことで, QD 集合体のポンププローブ信号空間マッピングに成功した. その結果, 100 ps 以内に減衰する速い振動と, 1.5 ns 程度の遅い緩和を各測定点で観測し, 441 地点のダイナミクスと物性パラメータをわずか 30 分で明らかにすることができた.

【方法】

本研究で用いた 2 つの光コムは Er 添加ファイバレーザを光源とし, 48 分を超える安定同期が報告されている^[2]. また ASOPS におけるトリガーレス計測が実証されている^{[2],[3]}. この光コムを低温設備の備わった別の棟の実験室まで 419 m 伝送した. 2 つの光コムを同軸とし, 4 K に冷却された QD 集合体に集光した. 透過光のうちポンプ光を偏光子で除き, プローブ光のみを検出した(Fig. 1(c)). パルス間隔が Δt 異なる 2 つの光コムを用いて入射時間差を掃引し, 透過光強度変化を観察した. ガルバノスキャナにより入射位置を試料表面上で走査した (Fig. 1(b)). QD 集合体は歪の異方性から, 励起子準位が長軸[233]方向と短軸[011]方向で分裂している(Fig. 1(a)). ポンプ光の偏光を 2 方向からずらすことで現れる減衰振動(量子ビート^[4])の周波数からこのエネルギー分裂 δ を, 減衰の速さから不均一位相緩和時間 $T_{2\text{sub}}^*$ を, 遅い緩和からポピュレーション緩和時間 T_1 を, 遅延時間 0 の信号強度から透過光強度変化 $\Delta T/T$ のピークをそれぞれ求めた.

【結果】

各地点での速い振動と遅い緩和信号から求めた物性パラメータのマッピング結果を Fig. 2(a-d)に示す. 試料 1×1 mm 内の 21×21 地点で数 ps の分解能を保ちつつ, 15 ns までの広い時間範囲でのポンププローブ信号の観測にわずか 30 分で成功し, 量子ドットの局所的な物性の違いを明らかにした. 1 測定点あたりの積算時間は 2.6 s であった. 機械式時間掃引では, 同様の計測に 1 測定点あたり 40 分, 441 地点で 12 日以上要することから, 既存手法では困難だった計測を ASOPS によって実証できたといえる. 本手法は量子ドット以外の様々な物質の持つ ns・ps ダイナミクスの空間的なマッピングに適用できると期待できる.

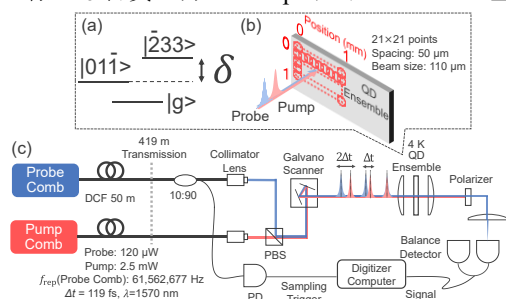


Fig. 1 (a) QD 内励起子エネルギー分裂, (b) ガルバノスキャナによる走査, (c) 光学系

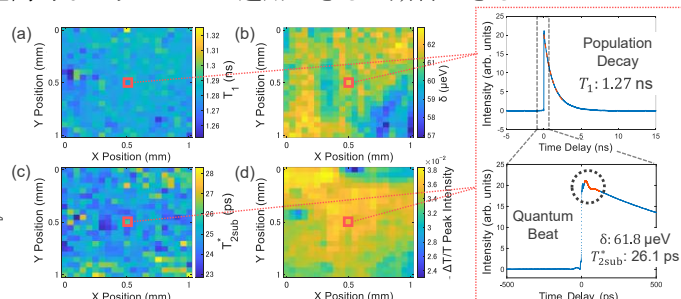


Fig. 2 各位置でのポピュレーション緩和時間 T_1 (a), エネルギー分裂 δ (b), 不均一位相緩和時間 $T_{2\text{sub}}^*$ (c), $\Delta T/T$ のピーク (d), (0.5 mm, 0.5 mm) における 15 ns までの波形 (e), ± 500 ps の範囲の波形 (f).

【謝辞】本研究は MEXT Q-LEAP (No. JPMXS0118067246), JST CREST (Nos. JPMJCR24A5, JPMJCR19J4), 科研費 (Nos. JP23H01471, JP24K21743), 慶大次世代研究プロジェクト推進プログラム, 慶大 CSRN の支援を受けて行われた. 量子ドットサンプルは NICT 先端 ICT デバイスラボにて作製された.

[1] A. Asahara *et al.*, Appl. Phys. Express, **13**, 062003 (2020).
[3] D. Nishikawa *et al.*, Rev. Sci. Instrum. **94**, 063003 (2023).

[2] M. Okano *et al.*, Opt. Express, **30**, 39613 (2022).
[4] E.O. Gobel *et al.*, Phys. Rev. Lett., **64**, 1801 (1990).

GaNAs 量子井戸とトンネル結合した InGaAs 量子ドットにおける円偏光度振動特性の電界制御

Electric field control of circular polarization oscillation characteristics
in InGaAs quantum dots tunnel-coupled with a GaNAs quantum well

北大院情報科学 ○坂野 駿介, 木瀬 寛都, 高山 純一, 村山 明宏, 樋浦 諭志

Faculty of Information Science and Technology, Hokkaido Univ.

Shunsuke Sakano, Hiroto Kise, Junichi Takayama, Akihiro Murayama and Satoshi Hiura

E-mail: sakano.shunsuke.k0@elms.hokudai.ac.jp

近年、電子スピン偏極状態に加えて電子スピン位相状態の光電変換を活用した情報伝送が注目されている。磁場中では電子スピンの歳差運動を中心に歳差運動するため、周期変動するスピン極性を発光円偏光度(CPD)の振動に転写できる。ここで、CPD は円偏光フォトルミネッセンス(PL)強度 $I_{\sigma\pm}$ を用いて $CPD = (I_{\sigma+} - I_{\sigma-}) / (I_{\sigma+} + I_{\sigma-})$ と定義される。先行研究では、GaNAs 量子井戸(QW)と InGaAs 量子ドット(QD)のトンネル結合構造試料に横磁場を印加することで、GaNAs の伝導電子スピンの歳差運動を反映した QD の CPD 振動が報告されている[1]。これを踏まえ、我々は前回、GaNAs の膜厚や励起スピン密度によって GaNAs の局在準位におけるスピン占有度を変化させて CPD の振動周波数を制御できることを報告した[2]。本研究では、外場による制御に向けて、GaNAs QW と InGaAs QD のトンネル結合構造試料に電界を印加し、局在準位のスピン占有度をバイアス電圧で調整した際の発光円偏光度の振動特性を調べた。

図 1(a)に本研究の試料構造を示す。*p*-GaAs(100)基板上にプラズマ支援分子線エピタキシー法を用いて試料を作製し、標準的な微細加工技術を用いて表面に電極を作製した。測定には試料面内方向に磁場を印加しながらの時間分解円偏光 PL を用いた。図 1(b)に磁場を 0.25 T、印加電圧を 0.0 V と -2.0 V とした際の室温での CPD の時間変化とフィッティング結果を示す。フィッティング関数は先行研究[3]を参照した。この結果から、印加電圧により CPD の振動周波数が変化していることがわかる。0.0 V では GaNAs の局在準位のスピン占有度が高く、量子ドットの発光に寄与する伝導電子への局在スピンの歳差運動の影響は無視できる。一方、-2.0 V を印加すると局在準位のスピン占有度は減少し、伝導電子のスピン状態にその局在スピンの歳差運動が反映されている可能性がある。

References:

- [1] Y. Huang et al., Nat. Photonics **15**, 475 (2021).
- [2] 坂野駿介他, 2024 年第 85 回応用物理学会秋季学術講演会, 16p-B2-6 (2024).
- [3] I. A. Akimov et al., Phys. Rev. B **80**, 081203(R) (2009).

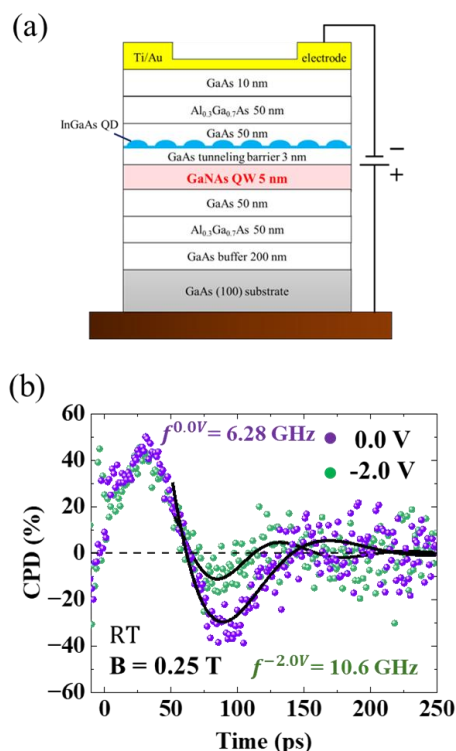


Fig. 1 (a) Schematic of GaNAs-QD sample structure. (b) CPD time profiles at a magnetic field of 0.25 T with applied bias voltages of 0.0 and -2.0 V.

GaNAs 量子井戸で挟まれた InGaAs 量子ドットの円偏光発光特性の印加電圧依存性

Bias voltage dependence of circularly polarized luminescence properties of InGaAs quantum dots sandwiched between GaNAs quantum wells

北大院情報科学 ○中館 恭太, 木瀬 寛都, 森田 彩乃, 高山 純一, 村山 明宏, 樋浦 諭志

Faculty of Information Science and Technology, Hokkaido Univ.

K. Nakadate, H. Kise, A. Morita, J. Takayama, A. Murayama and S. Hiura

E-mail: nakadate.kyota.f4@elms.hokudai.ac.jp

III-V族半導体量子ドット(QD)は3次元量子閉じ込め効果により、高い発光効率と長いスピン寿命を持つため、スピン機能光デバイスの活性層として注目されている[1]。我々はこれまでに QD 活性層に対して2種類の電子スピン注入層を持つ電界効果型光スピンデバイスを作製し、電界によってスピン注入層を切り替えることで QD の発光円偏光度(CPD)の制御を実証した[2]。なお、CPD は円偏光発光強度 $I_{\sigma\pm}$ を用いて $(I_{\sigma+} - I_{\sigma-}) / (I_{\sigma+} + I_{\sigma-})$ で定義され、QD の電子スピン偏極度を反映する。しかし、実用上重要な室温ではスピン注入層でのスピン緩和が速くスピン注入層の切り替えは実現できていない。そこで、本研究では 400°Cの低温成長で導入される欠陥準位が少数個スピンを選択的に捕獲することで、室温で伝導電子のスピン偏極を増幅できる希薄窒化 GaNAs 量子井戸(QW)[3]で QD を挟んだ試料を作製し、円偏光発光特性の印加電圧依存性を調べた。

図 1(a)に本研究で作製した試料構造を示す。In_{0.5}Ga_{0.5}As QD の上下に 400°C(LT)成長の GaNAs QW を用いた試料(LT-LT)と、下部は 400°C、上部は 480°C(HT)で成長した GaNAs QW を用いた試料(LT-HT)の2種類を作製した。試料はプラズマ支援分子線エピタキシー法により半導体層を成長し、微細加工により電極を作製した。室温で電界を試料の成長方向(z 方向)に印加しながら円偏光フォトルミネッセンス(PL)測定を行った。図 1(b),(c)にそれぞれ負バイアス電圧、正バイアス電圧を印加した際の QD 活性層近傍におけるバンド構造の模式図を示す。図 1(d)に 0 V での PL 強度を1とした規格化 PL 強度と CPD の電圧依存性を示す。+0.6 V において LT-LT 試料では規格化 PL 強度がわずかに減少したが、LT-HT の試料では1.2 倍に増加した。また、CPD は LT-HT 試料に比べて LT-LT 試料では負バイアス電圧の減少に伴って大きく増加した。これらの結果から、LT-HT 試料では正バイアス印加時には高温成長によってスピン増幅機能を持たない HT-GaNAs からの電子注入が増加し、スピン偏極の増幅に伴うキャリア捕獲と CPD の向上が抑制されたと考えられる。

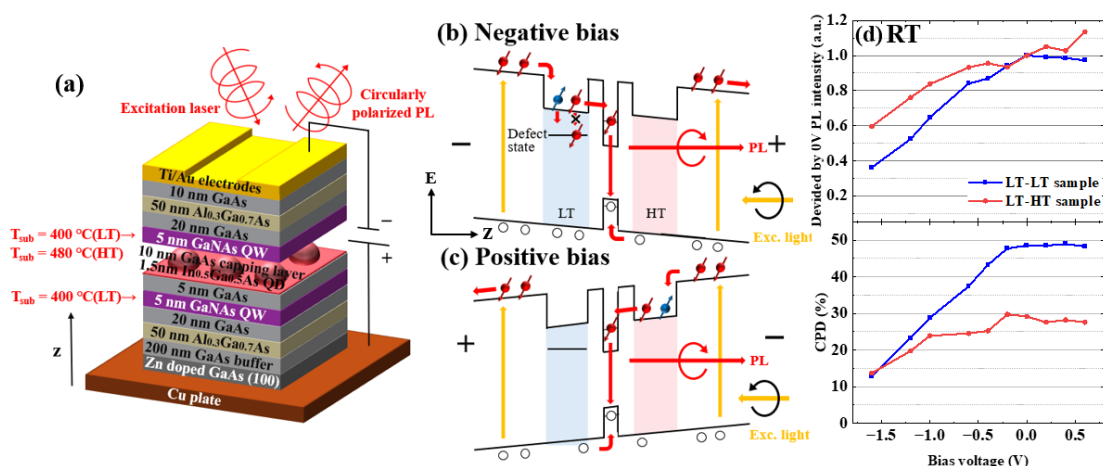


Fig. 1(a) Schematic of GaNAs QW-InGaAs QD sample structure. Schematic of band structure between 20-nm-thick GaAs layers with application of (b) negative bias and (c) positive bias. (d) Normalized PL intensity (blue: LT-LT, red: LT-HT) and corresponding CPD of InGaAs QDs at room temperature (RT).

References:

- [1] K. Etou et al., Phys. Rev. Appl. **19**, 024055 (2023). [2] H. Kise et al., Appl. Phys. Lett. **122**, 232405 (2023). [3] F. Zhao et al., J. Phys.: Condens. Matter, **21**, 17421 (2009).

InAs 量子ドット層を含む GaAs 結晶の光変調反射スペクトルに対する窒素層導入効果

Effects of nitrogen layer on photoreflectance spectra in GaAs crystals including InAs quantum dots

千葉工大工, 神戸大院工^A ○小島 磨, 井上 知也^A, 喜多 隆^A

Chiba Inst. Tech, Kobe Univ.^A ○O. Kojima, T. Inoue^A, T. Kita^A

E-mail: osamu.kojima@p.chibakoudai.jp

InAs 量子ドット成長後に量子ドットを窒素層で覆うと、GaAs キャップ層への In の拡散が抑制されるため[1]、量子ドットの形状の変化に起因する偏光特性の変化が報告されている[2]。また、結晶表面に超短パルスレーザーを照射した際に放射されるテラヘルツ電磁波の信号の位相が反転するエネルギーが、窒素層によって変化することも報告されている [3, 4]。これらの結果から、GaAs キャップ層の光学特性は InAs 量子ドットによる歪みだけでなく、挿入される窒素層によっても変化していると言える。そこで今回我々は、GaAs キャップ層に対する窒素層の導入効果について光変調反射スペクトル測定の結果から議論することを目的に研究を行った。

試料には、分子線エピタキシー法で GaAs 基板上に作製した InAs 量子ドットを用いた。量子ドットを窒素で覆った試料に加え、比較のために量子ドットと窒素層の間に 2 nm の GaAs スペース層を挿入した試料と、窒素層を含まない参照試料を用いた。なお、すべての試料において、量子ドット層は 1 層である。図 1 は室温で測定した各試料の光変調反射スペクトルである。すべての試料で、破線で示す GaAs のバンドギャップエネルギー近傍で信号が観測されている。ここで、1.35 eV の信号は参照試料でのみ観測されている。このエネルギーは wetting layer のエネルギーであり、発光励起スペクトルではすべての試料で観測されている[4]。このことから、窒素層の存在のために、表面電場の変調が wetting layer に届かなくなったと考えられる。また、フランツケルディッシュ振動の周期が窒素層を含む試料で小さくなっていることは、表面電場が小さくなっていることを示唆している。このような変化が、GaAs 層におけるキャリアダイナミクスに影響を与えていると考えられる。

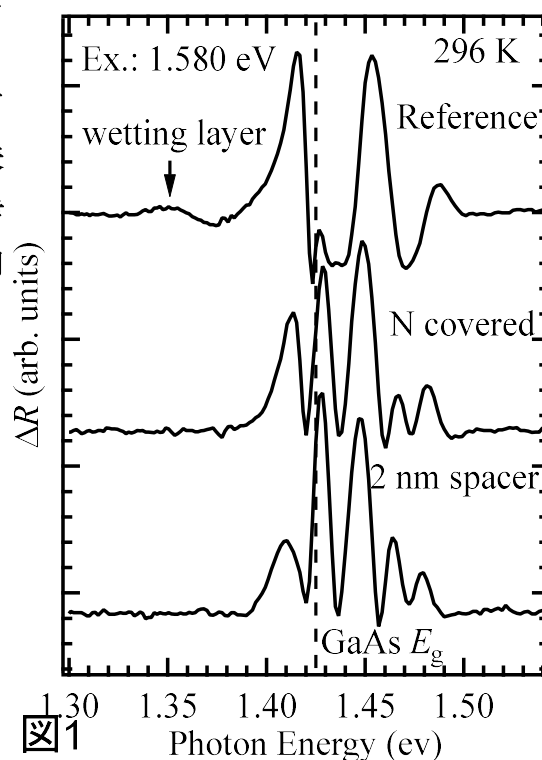
謝辞: 科研費 25K01270

[1] T. Kita et al., Appl. Phys. Lett. **83**, 4152 (2003).

[2] T. Inoue et al., J. Appl. Phys. **104**, 103532 (2008).

[3] O. Kojima et al., J. Phys. D **51**, 305102 (2018).

[4] O. Kojima et al., OSA Continuum **2**, 1621 (2019).



InGaN ナノプレートレットの選択的エッチングおよび再成長による波長制御と欠陥軽減化

Wavelength Control and Defect-Free InGaN Nanoplatelets via Selective Etching and Regrowth

名大電子¹, 名大 ImaSS², 名大高等研究院³, 名大 D センター⁴

○(D)韓 青原¹、蔡 文トウ²、王 嘉^{2,3}、伊藤 佑太¹、古澤 優太²、王 海濤²、鄭 惠貞^{1,2,4}、

Markus Pristovsek²、本田善央^{2,3,4}、天野浩^{2,3,4}

Dept. Electronics, NU¹, ImaSS, NU², IAR, NU³, DTSIC, NU⁴

○Qingyuan Han¹, Wentao Cai², Jia Wang^{2,3}, Yuta Ito¹, Yuta Furusawa², Haitao Wang², Heajeong

Cheong^{1,2,4}, Markus Pristovsek², Yoshio Honda^{2,3,4}, Hiroshi Amano^{2,3,4}

E-mail: han.qingyuan.n2@s.mail.nagoya-u.ac.jp

Simultaneously achieving RGB emission layers via a single MOVPE growth remains challenging. In this study, we achieved six distinct wavelengths within an area of $150\ \mu\text{m} \times 150\ \mu\text{m}$ through selective height control of nanoplatelets by a single regrowth process.

Specifically, high-quality InGaN nanoplatelets were initially grown by MOVPE, followed by selective wet and dry etching to adjust their thicknesses step-by-step. Afterward, a collective regrowth was performed. As a result, nanoplatelets with varying In compositions and defect-free c-plane surfaces were successfully formed, enabling wavelength control from 400 nm to 540 nm. The morphology and surface quality of the nanoplatelets were confirmed via AFM and SEM observations, while the wavelength variations were evaluated using CL measurements. These results demonstrate that our method provides a promising pathway toward high-efficiency, monolithically integrated full-color μLEDs .

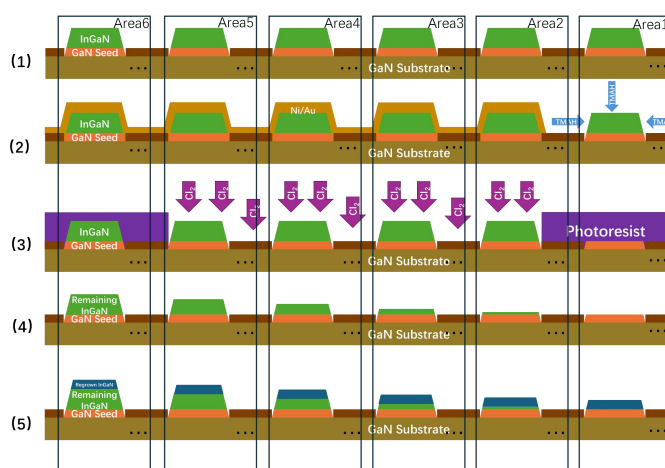


Figure Schematic illustration of the process flow for Areas 1 to 6, representing a unit area of our monolithically integrated wavelength-tailored pseudo-substrate. Each area is designed with a specific target thickness and indium incorporation. Wet etching is applied to Area 1, while dry etching is sequentially performed on Areas 2 to 5. A single-step InGaN regrowth is then performed across Areas 1 to 6, enabling region-specific indium incorporation

薄膜 SOI 上の InGaAs コアマルチシェルナノワイヤ選択成長 と縦型ゲートオールアラウンドトンネル FET の作製

Selective-area MOVPE of InGaAs core-multishell nanowires on thin SOI layer and fabrication of vertical gate-all-around tunnel FETs

北海道大学情報科学院および量子集積エレクトロニクスセンター¹

○(M1) 藤本 開¹, 谷山 慶太¹, 東 佑樹¹, 内田 凌聖¹, 本久 順一¹, 富岡 克広¹

Graduate School of Information Science and Technology and RCIQE, Hokkaido Univ.¹

K. Fujimoto¹, K. Taniyama¹, Y. Azuma¹, R. Uchida¹, J. Motohisa¹, K. Tomioka¹

E-mail: fujimoto.kai.g6@elms.hokudai.ac.jp

電界効果トランジスタ(FET)の微細化技術は、短チャネル効果やリーク電流の増大により、高性能化と低消費電力化の両立が困難になりつつある。また、FET の熱拡散に基づくキャリア輸送機構は、駆動電圧を決定するサブスレッショルド係数(SS)に最小物理限界(60 mV/桁)を与え、低電圧化が困難となる。この物理限界を回避し急峻な SS を実現するトランジスタ素子として、トンネル FET(TFET)が有望であり、我々はこれまでに Si 上の III-V 族化合物半導体ナノワイヤ(NW)チャネルの縦型 Gate-All-Around(VGAA)-TFET 素子を実証してきた[1]。本研究では、回路応用へ向けて、Silicon on Insulator(SOI)(111)面上の InGaAs/InP/AlInAs/ δ -doping/AlInAs/InGaAs 変調ドーブ型コアマルチシェル(core-multishell : CMS) NW 選択成長と VGAA-TFET 素子を作製したので報告する。

実験では、厚さ 700 nm の SOI 層を有した p-SOI(111)基板に、熱酸化膜を 20 nm 形成し、電子線リソグラフィ、ドライ・ウェットエッチングで開口部を形成した。次いで、選択成長法[1]により InGaAs/InP/AlInAs/ δ -doping/AlInAs/InGaAs 変調ドーブ型 CMS NW を作製した。VGAA-TFET 素子構造の作製は、文献[1]と同様の作製工程を用いた。

図 1(a),(b)に InGaAs/InP/AlInAs/ δ -doping/AlInAs/InGaAs CMS NW の模式図と選択成長結果を示す。図 1(b)に示すように、InGaAs コア NW は、高さ 190 nm の Zn パルスドーブ層(n^+ 層)、高さ 90 nm の Si ドープ層(n 層)、高さ 420 nm の Sn パルスドーブ層(n^+ 層)を有しており、 $\{-110\}$ 垂直ファセット上に InP/AlInAs/ δ -doping/AlInAs/InGaAs マルチシェル層を形成した。マルチシェル層の膜厚は、それぞれ 3.0 nm (InP), 4.5 nm (AlInAs), 4.5 nm (δ -doping), 6.0 nm (AlInAs), 12 nm (InGaAs)であった。この変調ドーブ層は、図 1(c)に示すように、ゲート電圧(V_G)を印加することで NW チャネル内に二次元電子ガス(2DEG) が生成される。図 1(d)に作製した VGAA-TFET の伝達特性を示す。図 1(d)から、n-InGaAs/p-SOI 接合界面に対して、逆バイアス条件でドレイン電流が変調されており、InGaAs/Si 界面のトンネル輸送によるスイッチング特性が得られたことが分かる。閾値電圧(V_{TH})は 0.50 V であり、 $V_G - V_{TH} = 0.25$ V の時、 $I_D = 10^{-12} - 10^{-9}$ A/ μ m の範囲で測定された SS は平均 110 mV/dec と、60 mV/dec を上回った。これは素子内の直列抵抗に起因すると考えられる。急峻な SS を実現するには、接触抵抗を接合抵抗とチャネル抵抗よりも低くする必要があるが、本素子では、ドレイン及びソースにおける接触抵抗が支配的となり、SS 劣化の要因となった。当日は、TFET 素子構造およびチャネル設計の最適化と素子特性の改善方法の関係について議論する。

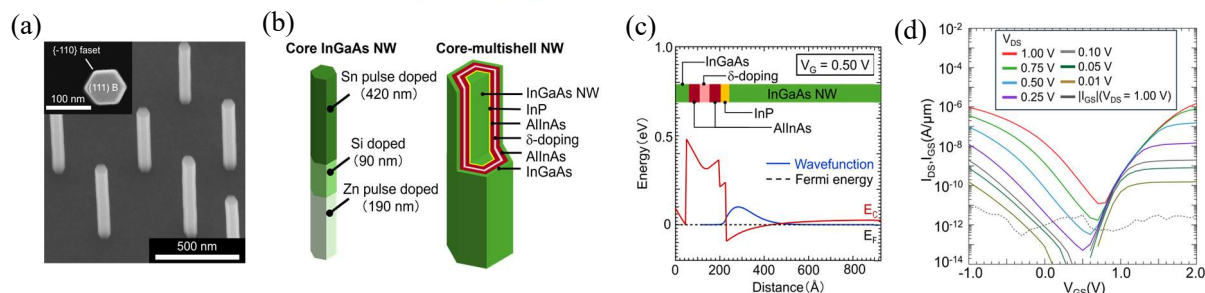


Figure 1. (a) SEM image of InGaAs CMS NWs. (b) Illustration of InGaAs/InP/AlInAs/ δ -doping/AlInAs/InGaAs CMS NW. (c) Band diagram of the InGaAs CMS NW at $V_G = 0.50$ V using the one-dimensional Poisson-Schrödinger equation. (d) Transfer characteristic of the VGAA-TFET.

参考文献

[1] K. Tomioka *et al.*, IEDM Tech. Dig. pp. 429 (2020).

InP ナノワイヤ構造相転移ヘテロ接合縦型トランジスタの作製

Fabrication of InP crystal phase transition heterojunction vertical transistor

¹ 北海道大学大学院情報科学院および量子集積エレクトロニクス研究センター

内田 凌聖¹, 東 佑樹¹, 谷山 慶太¹, 本久 順一¹, 富岡 克広¹

Graduate School of Information Science and Technology and RCIQE, Hokkaido Univ¹

Ryosei Uchida¹, Yuki Azuma¹, Keita Taniyama¹, Junichi Motohisa¹, Katsuhiro Tomioka¹

E-mail: uchida.ryosei.b0@elms.hokudai.ac.jp

【はじめに】半導体における構造相転移は、結晶構造中の準安定相を安定化し単結晶構造にすることができる。InP ナノワイヤ(NW)の場合、安定構造が閃亜鉛鉱型構造(ZB)であるが、特異な条件で成長することで、準安定構造のウルツ鉱型結晶相(WZ)が単結晶構造になる[1]。このような構造相転移材料の利点として、バンド構造が間接遷移型から直接遷移型へ変化できる他、同一材料だけでヘテロ接合構造を作製できる点がある。また、この構造相転移ヘテロ接合界面は、Type-II 型のバンド不連続性を示すことが報告されている[2]。本発表では、WZ 構造 InP ナノワイヤを有機金属気相選択成長法(MOVPE 選択成長法)で成長し、InP 基板 (ZB 構造) との接合界面で形成される構造相転移ヘテロ接合のショットキー障壁を縦型ゲートオールアラウンド(VGAA)トランジスタに応用し評価したので報告する。

【実験】スパッタリングによって SiN を 20 nm 堆積した n 型 InP (111) A 基板に、電子線リソグラフィと反応性イオンエッチング、ウェットエッチングによって円形状のマスク開口パターンを形成した。InP NW は原料に Diethylzinc (DEZn)、Trimethylindium (TMIn)、Tetraethyltin (TESn)、シラン(Silane: SiH₄)、Tertiarybutylphosphine (TBP)を用いて、成長温度 660°C、供給 V/III 比 18 で MOVPE 成長を行った。作製した InP ナノワイヤに対し、原子層堆積法によりゲート酸化膜(Hf_{0.8}Al_{0.2}O)を 10 nm、スパッタリング法によりゲート電極(W)を 200 nm 成膜した。次に、ベンゾシクロブテン(BCB)ポリマーのスピンコーティング、反応性イオンエッチングによりゲート電極とゲート酸化膜をエッチングし、ゲート構造を作製した。最後にドレイン電極(Ti/Pd/Au)、ソース電極(Ni/Ge/Au/Ni/Au)を蒸着し VGAA トランジスタ構造を作製した。

【結果】図 1 に選択成長した InPNW の SEM 像を示す。図から、へき開面{-110}面に対し、30°回転した垂直ファセット面が形成されたことから、InP NW は垂直{-211}ファセット面と(111)A で囲まれた六角柱構造を有したウルツ鉱(wurtzite)型結晶構造になることが分かる。作製した InP ナノワイヤは、図 2 に示すように、i 層 (〜540nm) / n 層 (〜200 nm) / n+層 (〜600nm) の縦接合構造をもつ。図 3 に今回作製した InP 構造相転移ヘテロ接合による VGAA トランジスタの伝達特性を示す。図から、ドレイン電流がゲート電界で変調されるスイッチング特性が得られた。これは構造相転移ヘテロ接合界面のショットキー障壁の電界変調がスイッチング動作に寄与していると考えられる。サブスレッショルド(SS)係数は 97 mV/dec であり、閾値電圧は-0.25 V、ゲートリーク電流は 10⁻¹³–10⁻¹⁰ A/μm であった。伝達特性から、VDS の増加とともに SS 係数が増加する傾向が得られた。これは VGAA 直下の i 層の長さが十分ではないと考えられる。当日は i 層の長さとの素子特性の関係についても議論する。

参考文献

[1] Y. Kitauchi *et al.*, Nano Lett., **10**, 1699-1703 (2010).

[2] A Jash *et al.*, ACS Photonics, **10**, 3143-3148 (2023).

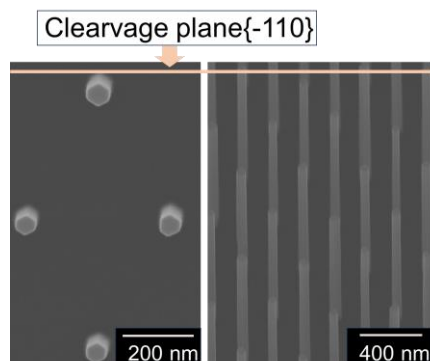


図 1. SEM image showing wurtzite InP NW array

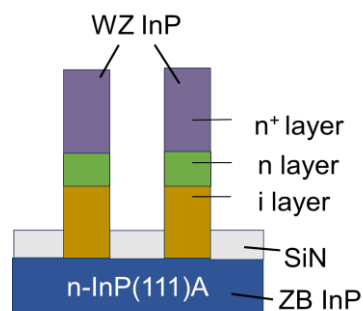


図 2. Schematic illustration of InP NW structure.

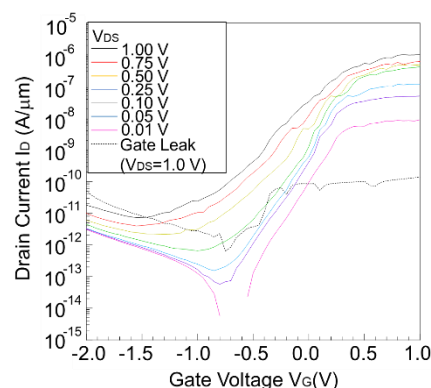


図 3. I_{DS} - V_{GS} curve of vertical InP NW-FET.

単一 InAs コロイド量子ドットトランジスタにおける電気伝導特性

Electron transport through single InAs colloidal quantum dots

東北工大¹, 東北大通研²

○柴田憲治¹, 滝口智稀¹, 佐藤明¹, 佐々木悠人¹, 大塚朋廣²

Tohoku Inst. Tech.¹ and RIEC, Tohoku Univ.²

°K. Shibata¹, T. Takiguchi¹, A. Sato¹, Y. Sasaki¹, and T. Otsuka²

E-mail: kshibata@tohotech.ac.jp

コロイド量子ドット (CQD) は直径数ナノメートルの非常に小さな半導体結晶であり、近年特に光デバイスへの応用が期待されている。砒化インジウム (InAs) CQD は赤外領域で幅広く発光・吸収波長を制御できる有望な光電変換材料であり、デバイス応用に向けて CQD 間のキャリア伝導の理解と制御が重要な課題となっている。InAs 量子ドットにおける電気伝導特性は、これまでナノワイヤ系や GaAs 中に埋め込まれた自己組織化量子ドットに対して行われてきた一方で、CQD については、CQD アセンブリを含めても研究例は少ない状況にあり、単一 InAs CQD に対する報告例はない。我々はこれまで PbS CQD のキャリア伝導を単一 CQD レベルで明らかにしてきた[1]。本発表では、同様の手法を InAs CQD に適用することで、単一 InAs CQD の低温・磁場中における詳細な電気伝導特性を観測したので、その結果を報告する。

図 1 に素子構造を示す。単一 CQD に電氣的にアクセスするためのナノギャップ金属電極はフィードバック通電断線によって形成し、その上から市販のオレイン酸キャップ InAs CQD 溶液を滴下することでナノギャップ電極近傍に CQD を分散させた。また、p 型 Si 基板をバックゲートとして用いることで素子はトランジスタ構造となっている。図 2 に直径 6 nm の単一 InAs CQD 素子において $T = 4$ K で観測されたクーロン安定化ダイアグラムを示す。明瞭なクーロンダイヤモンドが観測され、素子が単一電子トランジスタとして動作することが分かった。また、クーロンダイヤモンドの大きさが電子数によって大きく変化する様子が観測され、小さなクーロンダイヤモンドのサイズから素子の帯電エネルギーは~50 meV と決定された。

当日の発表では、伝導特性の CQD サイズ依存性や、キャリアタイプの特定、磁場中での伝導特性などについて報告する。

[1] K. Shibata et. al., Nature Commun. 14, 7486 (2023).

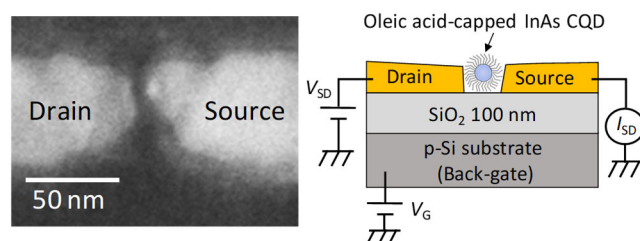


図 1: (左図) 単一 InAs コロイド QD トランジスタの SEM 写真。(右図) 素子の断面模式図と配線図。

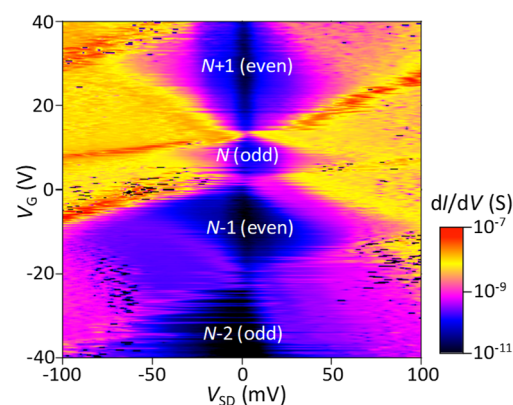


図 2: 単一 InAs CQD トランジスタにおいて観測されたクーロン安定化ダイアグラム。

Si 量子ドットへの不純物イオンドーピング

Impurity Ion Doping into Si Quantum Dots

神奈川大理, °米津和正, 水野智久

Kanagawa Univ, K. Yonetsu and T. Mizuno

r202470079mi@jindai.jp

1. 序論

Si 酸化膜中へのホットイオン注入により, 酸化膜内に Si 量子ドット (Si-QD) を形成できることが報告されている[1]. しかし, Si-QD への不純物イオンドーピングの可否, 及びその特性への影響に関しては未だ十分に解明されていない.

本研究では, Si-QD への P^+ イオンドーピングについて議論する.

2. 実験

酸化膜厚 180 nm の Si 基板に 600 °C でホット Si^+ イオン注入 (ドーズ量 $3 \times 10^{16} \text{cm}^{-2}$) を行い, その後, 800 °C で P^+ イオン注入を実施した. この時形成された Si 量子ドットの平均粒径は約 2.5 nm であり, 面密度は約 $2.3 \times 10^{12} \text{cm}^{-2}$ であった[1]. P^+ 注入条件は加速エネルギー 66 keV, ドーズ量 (D_P) $1.0 \sim 9.0 \times 10^{15} \text{cm}^{-2}$ とした. その後, ポスト N_2 アニール (温度 1000 °C, 時間 5 分) を行った.

図 1 の D_P に対する, 1 つの Si-QD 内に含まれる P 原子数 N_P は, 以下の式により見積もった.

$$N_P = V_{QD} \times C_P$$

ここで V_{QD} は Si-QD の体積, P^+ のピーク濃 C_P は SRIM シミュレーション[2] によって求めた. 本研究においては, QD 当たり 1–8 個の P 個数 (濃度換算 $1 \sim 10 \times 10^{20} \text{cm}^{-3}$) に相当することがわかる.

3. 結果

図 2(a) に PL スペクトルの D_P 依存性を示す. P^+ ドーズ量の増加に伴い PL ピークエネルギーが低エネルギー側へシフトし, バンドギャップナローイング効果が確認された[3]. 図 2(b) は PL ピークエネルギーの D_P 依存性を示す. D_P の増大と共に, PL ピークエネルギーは低下し, バンドギャップナローイング効果が増大しているのがわかる. 従って, QD への P ドーパントが実証された.

また, HAXPES による $P1s$ スペクトルでは, P–O, P–Si, および P–P の 3 つの結合状態が確認された. 特に, P–Si 結合の存在は, P 原子のドーピングが成立していることを裏付けている.

4. 結論

Si 量子ドットでも P^+ イオンドーピングが実現し, バンドギャップ・ナローイング効果が確認された.

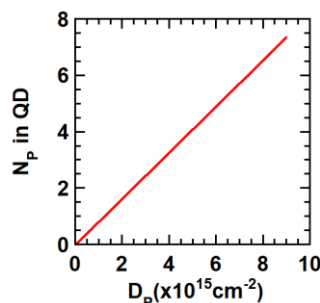
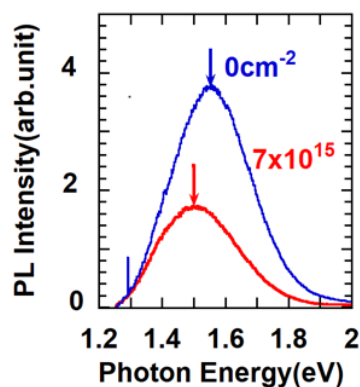
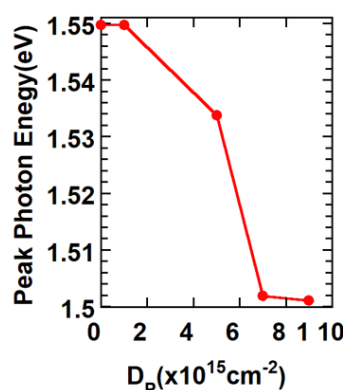


図 1 Si-QD 中の P^+ 原子数の D_P 依存性.



(a)



(b)

図 2 (a) PL スペクトルの D_P 依存性. 青 $D_P = 0 \text{cm}^{-2}$, 赤 $7.0 \times 10^{15} \text{cm}^{-2}$. (b) PL ピークエネルギーの D_P 依存性.

文献: [1] T. Mizuno et al., JAP **133**, 145703 (2023). [2] J. F. Ziegler, <http://www.srim.org>. [3] T. Mizuno et al., JJAP **54**, 04DC05 (2015)

Si 量子ドット含有 SiO_x 薄膜の光学特性および MIS デバイスの電気的特性評価

Optical Properties of SiO_x Thin Films Containing Si Quantum Dots and Electrical Characterization of MIS Devices

明大理工, °近藤 利哉, 勝俣 裕

Meiji Univ., °Toshiya Kondo, Hiroshi Katsumata

E-mail: ce241037@meiji.ac.jp

【はじめに】

Si 量子ドット (Si quantum dot: Si-QD) を用いた太陽電池は、光起電力デバイスの変換効率を向上させると期待されている[1]。屋内用光起電力素子 (Indoor Photovoltaic: IPV) に適した材料のバンドギャップは、約 1.8~2.0 eV と報告されている[2]。Si-QD は結晶粒径によりバンドギャップが制御できるため、IPV に適した材料設計が可能と考える。本研究では、スパッタリング成膜時における Si チップ/SiO₂ ターゲットの面積比を変化させることで、Si-QD 含有 SiO_x 薄膜の物性評価を行うとともに、同薄膜を用いた光起電力デバイスの作製およびその電気的特性の評価を行った。

【実験方法】

SiO₂ ターゲット (4N, $\phi 101.6 \times t 5$ mm) 上に、Si チップ 1 (5N, $10 \times 10 \times t 1$ mm) と Si チップ 2 (5N, $5 \times 5 \times t 1$ mm) を同心円状に配置し、c 面サファイア基板上に RF マグネトロンスパッタ法を用いて、厚さ (t) 700-800 nm の Si 添加 SiO_x 複合薄膜を成膜した。Si チップと SiO₂ ターゲットの面積比 (r_a) は、 $r_a = 0.00$ 、0.10、0.20 の 3 通りとした。成膜後、赤外線ランプ加熱装置を用いて、Ar 雰囲気中にて熱処理温度 (T_a) 1000°C で、熱処理時間 (t_a) 30 min または 60 min の熱処理を行った。薄膜の評価方法として X-ray diffraction (XRD)、光透過、Photoluminescence (PL) 法等を用いた。

また、n 型 Si(100) 基板 ($\rho = 3\text{-}5 \Omega \cdot \text{cm}$) 上に同薄膜 ($t = 100$ nm) を成膜し、薄膜表面には楕円および点電極を形成するためにメタルマスクを用いて、Al ($t = 300$ nm) または ITO ($\text{In}_2\text{O}_3:\text{SnO}_2 = 90:10 \text{ wt}\%$, $t = 100$ nm) を成膜した。Si 基板裏面に正方形 Al 電極 ($t = 300$ nm) を蒸着して MIS デバイスを作製し、I-V (暗所および白色 LED 照射下)、C-V、およびインピーダンス測定を行った。

【結果および考察】

Fig. 1 に異なる r_a で作製した試料の PL スペクトルを示す。Fig. 1 より、 $r_a = 0.10$ の試料では 800 nm 付近に Si-QD に起因する PL ピークが観測されたが、 $r_a = 0.20$ ではその PL 強度が著しく低下し、明瞭な PL ピークは確認されなかった。これは $r_a = 0.20$ の試料において、粒径の大きな QD が主に形成され、間接遷移型が支配的になったと示唆される。Fig. 2 に異なる r_a で成膜した薄膜を用いた MIS デバイスの J-V 特性を示す(主プロットは暗所、インセットは白色 LED 照射下の原点付近)。インセットに注目すると、 $r_a = 0.20$ で作製したデバイスでは、J-V 特性が負電流側に大きくシフトし、短絡電流密度 ($-1.39 \times 10^{-8} \text{ A/cm}^2$) および開放電圧 ($1.76 \times 10^{-3} \text{ V}$) が観測された。

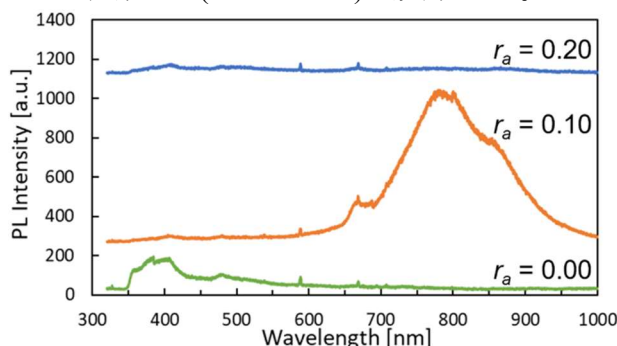


Fig. 1 PL spectra for samples prepared with different r_a .

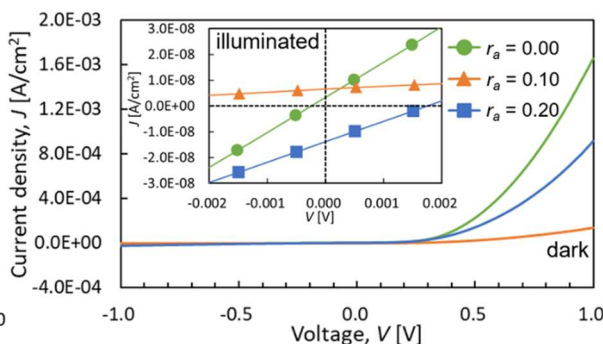


Fig. 2 J-V characteristics of MIS devices under dark conditions; inset shows the 0 V region under illumination.

[1] G. Shilpa et al., Materials Science for Energy Technologies, **6**, 533-546 (2023).

[2] Monika Freunek Muller, "INDOOR PHOTOVOLTAICS Materials, Modeling and Applications", Wiley-Scrivener Publishing, pp. 28-31 (2018).

緑色発光 InGaN/GaN 量子ドットのキャリア緩和ダイナミクス

Carrier relaxation dynamics in green InGaN / GaN quantum dots

早大先進理工¹, 蘇州ナノテク・ナノバイオニクス研究院, 中国科学院²

○尾崎 玲帆¹, 中間 優斗¹, 岩崎 陸¹, 竹内 淳¹, Shulong Lu², Xue Zhang², Wenxian Yang²

Waseda Univ.¹, Suzhou Institute of Nano-Tech and Nano-Bionics (SINANO), Chinese Academy of Science.²,

○R. Ozaki¹, Y. Nakama¹, R. Iwasami¹, A. Tackeuchi¹,

Shulong Lu², Xue Zhang² and Wenxian Yang²

E-mail: kumareiho@akane.waseda.jp

InGaN は、優れた光学特性と可視光全域をカバーする発光スペクトルを持つため、固体照明や高密度光記録、フルカラーディスプレイといった用途における可視発光ダイオードおよびレーザーダイオードとして広く利用されている。特に InGaN 量子ドットは、InGaN 量子井戸と比べて高い発光効率や長波長での発光に優れており、今後の応用が期待されている。^{1,2} 本研究で用いた試料は、分子線エピタキシー法により作製した InGaN 量子ドットであり、室温での発光のピーク波長は緑色の 521 nm である。サファイア基板上的の GaN 層に n ドープした GaN をバッファ層として積層し、その上に 12 nm 厚の GaN バリア層を含む 3 周期の InGaN/GaN 量子ドット層を、Stranski-Krastanov (SK) モードにより自己組織化成長させた。SK モードによって形成された量子ドットは、サイズや形状、ドット間距離にばらつきが見られるため、発光スペクトルの広がりや発光効率の低下といった課題を抱えている。このため、発光特性やキャリア緩和過程の解明が重要となる。

本研究では InGaN 量子ドットの時間分解フォトルミネッセンス(PL)測定により、ドット間のトンネル効果によるキャリア移動を仮定したキャリア緩和過程の解析を行った。

時間分解 PL 測定により得られた PL 強度の時間変化を、次の二重指数関数で近似し、減衰時定数を求めた。

$$I = ae^{-t/\tau_1} + be^{-t/\tau_2}$$

それぞれ、 τ_1 は早い成分を、 τ_2 は遅い成分を表している。Fig.1 に 300 K, 励起波長 405 nm, 励起光強度 10 mW での PL スペクトルと PL 強度の減衰時定数の波長依存性を示す。発光のピーク波長は 521 nm であった。どちらの成分でも、波長と時定数は正の相関関係を持つことが分かる。これはエネルギー準位の高いドットからエネルギー準位の低いドットへキャリアが移動するトンネリングが起きているためと考えられる。

この PL 緩和挙動に対して、以下のレート方程式モデルを適用し、再結合時間 τ_r およびトンネル時間 τ_t をフィッティングによって算出した。³

$$\frac{dN_i}{dt} = -\frac{N_i}{\tau_r} - \sum_{j(<i)} \frac{N_i D_j}{\tau_t} + \sum_{(i<)j} \frac{N_j D_i}{\tau_t}$$

フィッティングして得られた再結合時間は 950 ps、トンネル時間は 200 ps であった。過去に当グループが異なる構造の InGaN 量子ドット(発光ピーク波長: 463 nm)に対して行った研究では、同様のモデルによる再結合時間は 70 ps、トンネル時間は 140 ps であった。⁴ 再結合時間が大幅に増加した要因としては、高い In 組成比の影響が考えられる。

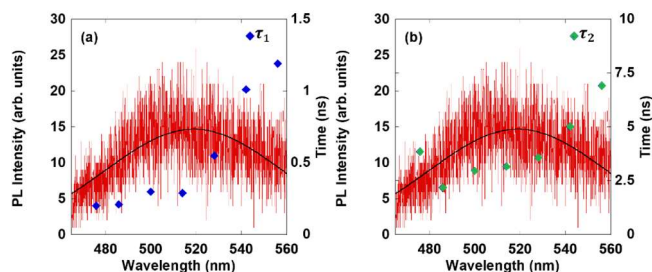


Fig.1 Wavelength dependence of the fast and slow recombination time components at temperature 300 K.

¹ X. Zhang, W. Yang, Z. Xing, H. Qiu, Y. Gu, L. Bian, S. Lu, H. Qin, U. Cai and Y. Suzuki. Crystals 11, 1312 (2021).

² X. Zhang, W. Yang, Z. Xing, H. Qiu, Y. Gu, L. Bian, S. Lu, H. Qin, Y. Cai, Y. Suzuki, S. Kaneko, Y. Matsuda, S. Izumi and Y. Nakamura. Nanomaterials 12, 800 (2022).

³ A. Tackeuchi, Y. Nakata, S. Muto, Y. Sugiyama, T. Usuki, Y. Nishikawa, N. Yokoyama and O. Wada. Jpn. J. Appl. Phys. 34, L1439 (1995).

⁴ K. Hasegawa, Y. Nakamura, K. Kitami, Y. Hirano, A. Tackeuchi, S. Lu, X. Zhang and W. Yang. the 83rd JSAP Autumn Meeting 20p-C401-1 (2022).

GaAs バルクにおける電子スピン緩和時間の定量的評価 Quantitative Analysis of Electron Spin Relaxation Time in Bulk GaAs

産総研ハイブリッド機能集積研究部門¹, 筑波大院数理²,

○揖場聡¹, 大野裕三^{1,2}

National Institute of Advanced Industrial Science and Technology (AIST)¹, Univ. of Tsukuba²

○Satoshi Iba¹, Yuzo Ohno^{1,2}

E-mail: s.iba@aist.go.jp

半導体中で電子スピンを保持できる時間（スピン緩和時間）を決定づけるメカニズムとして、これまでにさまざまなモデルが提案されてきた。中でも、代表的な III-V 族化合物半導体である GaAs バルクにおいては、室温で D'yakonov-Perel (DP) 機構が支配的であることが知られている [1]。DP 機構は、伝導帯における運動量依存のスピン分裂に起因して、電子がランダムなラーモア歳差運動を示すことでスピン緩和が生じるモデルである。このため、スピン分裂の大きさを示すドレッセルハウス係数と運動量緩和時間がスピン緩和時間に強く影響する。

これまでの先行研究では、理論式を用いた解析が主に行われてきたが、近年報告された信頼性の高いドレッセルハウス係数 ($\gamma_D = 10 \text{ eV}\text{\AA}^3$) [2] と比較して、約 2 倍大きな値が用いられていること、また、運動量緩和時間が過度に短く見積もられていることが課題である [3]。本研究では、想定される各種散乱機構を考慮して運動量緩和時間を詳細に評価した上でスピン緩和現象をシミュレーションすることで、実験で得られたスピン緩和時間を高精度に再現したので報告する。

運動量緩和時間の計算には、LO フォノン散乱、音響フォノン散乱、電子-電子散乱、および電子-正孔散乱を考慮した。また、各散乱機構を弾性散乱として取り扱い、電子スピン緩和時間の電子エネルギー依存性を評価した。さらに、実験値との比較を行うため、フェルミディラック分布を考慮して電子スピン緩和時間の期待値を算出した。

図 1 に、時間分解フォトルミネッセンス測定により室温で評価したアンドープ GaAs(001)基板の電子スピン緩和時間の光励起電子密度依存性と、 $\gamma_D = 10 \text{ eV}\text{\AA}^3$ を用いたシミュレーション結果を示す。実験結果と計算結果は良好に一致しており、本シミュレーション手法の妥当性を裏付けている。また、スピン緩和時間が電子密度 10^{17} cm^{-3} 台でピークを示す理由として、電子密度に対して正の傾向を示すラーモア歳差周波数と、負の傾向を示す運動量緩和時間とのバランスにより決定されていることが、計算から明らかとなった。

謝辞

本研究は科研費 24H00426, 24K01391 の助成を受けた。

参考文献

- [1] M. I. D'yakonov *et al.*, Sov. Phys. Solid State 13, 3023 (1972).
- [2] M. Kohda *et al.*, Semicond. Sci. Technol. 32, 073002 (2017).
- [3] S. Oertel *et al.*, Appl. Phys. Lett. 93, 132112 (2008).

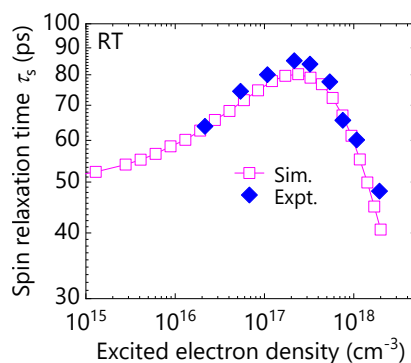


Fig. 1 Electron density dependence of electron spin relaxation time in undoped bulk GaAs at room temperature.

13 Semiconductors | Poster presentation : 13.6 Nanostructures, quantum phenomena, and nano quantum devices

[8p-P04-1~9] 13.6 Nanostructures, quantum phenomena, and nano quantum devices

[8p-P04-1]

Effect of electron coupling energy level on circularly polarized luminescence properties of InGaAs quantum dots tunnel-coupled with a GaNAs quantum well

○Yuma Suzuki¹, Hiroto Kise², Ayano Morita², Junichi Takayama², Akihiro Murayama², Satoshi Hiura² (1.Hokkaido Univ., 2.IST, Hokkaido Univ.)

[8p-P04-2]

Spin-optic modeling of InAs/GaAs QDs assembled by Stacked SML growth

○Ronel Intal Roca¹, Itaru Kamiya¹ (1.Toyota Tech. Inst.)

[8p-P04-3]

Transition Model of Strong Coupling of In-Plane Ultrahigh-Density Quantum Dots (2)

○Ryoga Kai¹, Toshiyuki Kaizu^{2,1}, Naoya Miyashita^{1,2}, Koichi Yamaguchi^{1,2} (1.Dep. of Eng. Sci Univ. of Electro-Comm., 2.QFCD2 center Univ. of Electro-Comm.)

[8p-P04-4]

Optoelectronic Properties of Si-doped InAs In-Plane Ultrahigh Density Quantum Dots

○Yoshihiro Naruko¹, Toshiyuki Kaizu^{2,1}, Naoya Miyashita^{1,2}, Kouichi Yamaguchi^{1,2} (1.Dep. of Eng. Sci Univ. of Electro-Comm., 2.QFCD2 center Univ. of Electro-Comm.)

[8p-P04-5]

Room temperature negative differential resistance characteristics of n-type Si/CaF₂ double-barrier Resonant Tunneling Diode with CaF₂ embedded structure

○Takahiro Kobayashi¹, Ryoya Usami¹, Kanta Murakami¹, Ken Hattori¹, Masahiro Watanabe¹ (1.Science Tokyo)

[8p-P04-6]

Room temperature negative differential resistance of Si/CaF₂ n-type double-barrier resonant tunnel diodes grown in SiO₂ holes formed using reactive ion etching

○Shu Igari¹, Takahiro Kobayashi¹, Ken Hattori¹, Masahiro Watanabe¹ (1.Science Tokyo)

[8p-P04-7]

Generation of telecom-band photons from Yb-doped fiber

○(M2)Mana Takeda¹, Kazuma Kageyama¹, Shinnosuke Katabami¹, Ruki Tunoda¹, Hideki Gotoh², Takehiko Tawara¹ (1.Nihon Univ., 2.Hiroshima Univ.)

[8p-P04-8]

Spectroscopic physics in polyaromatic amine-ligated CsPbI₃ quantum dots

○(M1)Shunsuke Nakanishi¹, Takashi Sagawa¹ (1.Graduate School of Energy Sci., Kyoto Univ.)

[8p-P04-9]

Synthesis and luminescence characterization of composite nanoparticles

○Daiki Suetsugu¹, Yamamoto Shin-ichi¹ (1.Ryukoku Univ.)

GaNAs 量子井戸とトンネル結合した InGaAs 量子ドットの円偏光発光特性に対する電子の結合エネルギー準位の影響

Effect of electron coupling energy level on circularly polarized luminescence properties of InGaAs quantum dots tunnel-coupled with a GaNAs quantum well

北大工学部¹, 北大院情報科学² ○鈴木 悠馬¹, 木瀬 寛都², 森田 彩乃²,
高山 純一², 村山 明宏², 樋浦 諭志²

School of Engineering, Hokkaido Univ.¹, IST, Hokkaido Univ.²

Yuma Suzuki, Hiroto Kise, Ayano Morita, Junichi Takayama, Akihiro Murayama and Satoshi Hiura

E-mail: suzuki.yuma.e4@elms.hokudai.ac.jp

III-V族半導体量子ドット(QD)と希薄窒化 GaNAs 量子井戸(QW)のトンネル結合構造は、QDが強い量子効果により高い発光効率と長いスピン寿命を示すだけでなく[1]、GaNAs QWが室温で電子スピン偏極を増幅できるため[2]、電子スピンを円偏光に変換するスピン偏極発光デバイスへの応用が期待されている[3]。QWの膜厚を薄くすることで高い円偏光度を維持しつつQDの発光強度を大きく増加できるが[4]、QWの窒素組成が与える影響については十分に議論されていない。窒素組成によりQWとQDの電子準位が変化するため、両者の結合準位の変化により、QWからQDへのスピン偏極電子の注入や逆方向の電子の移動も影響される可能性がある。本研究では、窒素組成を変えることでQWの電子準位を調整し、GaNAs QWとQDのエネルギー配置によるQDの円偏光フォトルミネッセンス(PL)特性への影響を調べた。

図1(a)にプラズマ支援分子線エピタキシー法により作製した GaNAs QW-In_{0.6}Ga_{0.4}As QD 試料の模式図を示す。本研究では、3 nmのQWの成長速度 x を変えて窒素組成を1.2%から1.6%まで変化した3種類の試料を作製した($x = 0.64, 0.57, 0.50$ [ML/s])。図1(b, c)に $x = 0.57, 0.50$ [ML/s]とした試料における室温での円偏光PLスペクトルと円偏光度(CPD)を示す。ここで、CPDは円偏光PL強度 $I_{\sigma\pm}$ を用いて $CPD = (I_{\sigma+} - I_{\sigma-}) / (I_{\sigma+} + I_{\sigma-})$ と定義する。 $x = 0.50$ [ML/s]の試料におけるQDの発光強度は $x = 0.57$ [ML/s]の試料に対して1桁低く、CPDも55%から35%に低下した。これは、窒素組成の増加によりQWの電子準位が低下し、QDからQWへの電子スピン移動が支配的となり、より多くのスピン偏極電子が GaNAs QWの欠陥準位に捕獲されたためである。また、 $x = 0.50$ [ML/s]の試料ではPLスペクトルが低エネルギー側に広がった。この結果は、サイズが大きく低いエネルギー準位を持つQDへの電子スピン注入が支配的であることを示している。

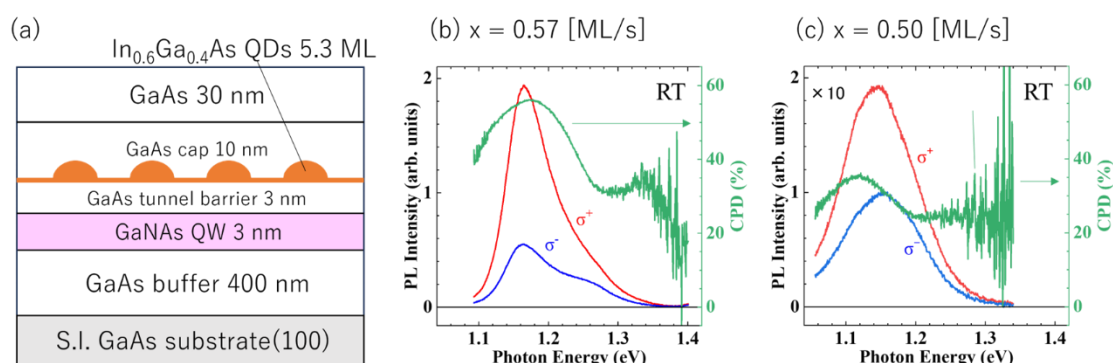


Fig. 1 (a) Schematic drawing of sample structure. Circularly polarized PL spectra and corresponding CPD of QDs at room temperature (RT) for the samples with GaNAs growth rates of (b) 0.57 ML/s and (c) 0.50 ML/s.

References:

- [1] M. Paillard et al., Phys. Rev. Lett. **86**, 1634 (2001). [2] Y. Huang et al., Nat. Photonics **15**, 475 (2021).
[3] K. Etou et al., Phys. Rev. Appl. **19**, 024055 (2023). [4] S. Hiura et al., Appl. Phys. Lett. **126**, 052403 (2025).

Spin-optic modeling of InAs/GaAs QDs assembled by Stacked SML growth

Ronel Christian Roca and Itaru Kamiya

Toyota Technological Institute

E-mail: roca.ronel@toyota-ti.ac.jp, kamiya@toyota-ti.ac.jp

Molecular beam epitaxy (MBE) -grown self-assembled InAs/GaAs quantum dots (QDs) have attracted interest in spin-optic applications due to their long spin lifetime.¹ Whereas these nanostructures are typically assembled using the Stranski-Krastanov (SK) growth mode, it has recently been reported that QDs can also be assembled using the stacked submonolayer (SML) growth.² In comparison to SK, SML growth has been reported to be more tunable, with more adjustable growth parameters. We have recently observed a high circular polarization degree (CPD) of ~19% at RT from QDs assembled by SML growth,³ which is much higher than the previous report.⁴ In the present work, we propose a rate equation model to analyze the observed high CPD value and to gain a better understanding of the spin dynamics in the QDs.

Shown in Fig. 1(a) is the diagram of the simplified two-level system used for rate equation modeling. We consider spin-polarized non-equilibrium carrier at the bulk conduction band edge as N_{CB} , while the carrier density in the QDs as N_{QD} . The carriers are photogenerated at the conduction band edge at a rate G . These carriers are then captured by the QDs at a characteristic time τ_{cpt} . Once inside the QDs, the carriers either relax radiatively or non-radiatively, whose characteristic relaxation times are τ_{rad} and τ_{nr} , respectively. The spin relaxation inside the QDs is also accounted for by the spin relaxation time τ_s . Radiative recombination from the carriers inside the QD leads to the emission of circularly polarized (CP) photons, which have been observed from experiment. The carrier and spin dynamics inside the QDs can be described by the following steady-state rate equations for the spin-polarized components:

$$0 = \frac{N_{CB}^{\uparrow(\downarrow)}}{\tau_{cpt}} - \frac{N_{QD}^{\uparrow(\downarrow)}}{\tau_{eff}} - \frac{(N_{QD}^{\uparrow(\downarrow)} - N_{QD}^{\downarrow(\uparrow)})}{\tau_s} \quad (1)$$

where the arrows $\uparrow(\downarrow)$ indicates the spin-up (-down) component of the variable, while τ_{eff} is the effective lifetime which accounts for both radiative and non-radiative recombination, $\tau_{eff} = (\tau_{rad}^{-1} + \tau_{nr}^{-1})^{-1}$. The rate equations are then fitted to experimental photoluminescence data to analyze the dynamics.

Shown in Fig. 1(b) are the extracted effective lifetime as function of excitation power for two QD samples with 2.5 and 2.0 GaAs spacer during SML growth. Results reveal the effective lifetime decrease from 90 to 75 ps with increasing excitation power. Furthermore, the results also suggests that the change in the effective lifetime is due to the decrease in the radiative lifetime from the QDs, while the non-radiative lifetime is not affected by the excitation power.

In conclusion, the spin and carrier dynamics in epitaxial QDs assembled by SML growth has been investigated by rate equation modeling. The rate equation modeling allows for the dynamics to be analyzed without explicit time-resolved experimental measurements, and gives intuitive insight of the spin dynamics.

Acknowledgement: This work was supported by the JSPS KAKENHI Grant Number 23K13626 & 25K17968 and the MEXT-funded Smart Energy Research Center at TTI.

References:

¹S. Park *et al.*, Adv. Electron. Mater. **8**, 2200588 (2022).

³R. Roca & I. Kamiya, JSAP Autumn, 16p-P14-1, 2025.

²R. Roca & I. Kamiya, Phys. Stat. Sol. B **257**, 2000349 (2021).

⁴R. Roca & I. Kamiya, J. Nanophoton. **18**, 036001 (2024).

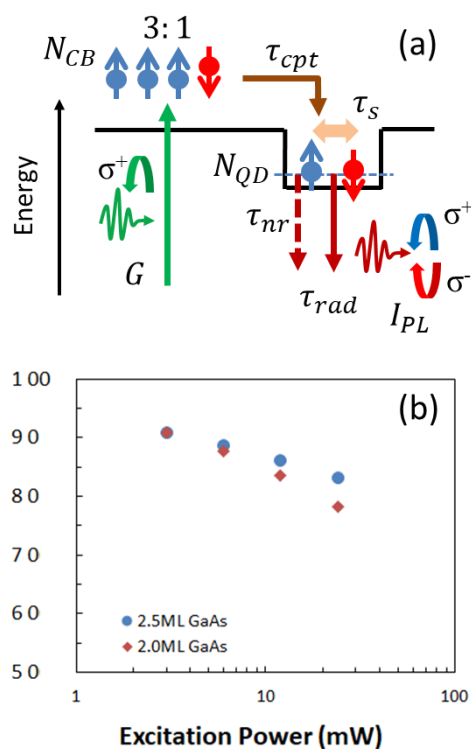


Fig 1. (a) Diagram of the simplified two-level system used for the rate equation modeling. (b) Extracted effective carrier lifetimes from the model after fitting with experimental data.

面内超高密度量子ドットにおける強結合遷移モデル(2)

Transition Model of Strong Coupling of In-Plane Ultrahigh-Density Quantum Dots (2)

電気通信大 基盤理工¹, 電気通信大 量子未来創生デバイス開発センター²

○(M1) 甲斐 涼雅¹, 海津 利行^{2,1}, 宮下 直也^{1,2}, 山口 浩一^{1,2}

Dep. of Eng. Sci.¹, QFCD2 center², Univ. of Electro-Communications,

○R. Kai¹, T. Kaizu^{2,1}, N. Miyashita^{1,2}, K. Yamaguchi^{1,2}

E-mail: k2533033@edu.cc.uec.ac.jp

【はじめに】Sb 導入ストランスキ・クラスノフ成長法により量子ドット(QD)密度 $6-10 \times 10^{11} \text{ cm}^{-2}$ の面内超高密度(IP-UHD) InAs QDs[1]を作製し、そのフォトルミネッセンス(PL)エネルギーの特異な温度依存性を観測した[2,3]。前回は、面内 QD 間における電子的な強結合遷移モデルを提案し、その実験結果が面内強結合によって説明できることを報告した[4]。今回は、その提案モデルにおける QD エネルギー準位の温度依存性に修正を加え、IP-UHD InAs QDs の発光スペクトルの温度変化についてモデル計算を行い、PL スペクトルの温度依存性の再現を試みたので報告する。

【強結合遷移モデル】個々の QDs を (100×100) の 2 次元格子点 (i, j) 上に配置し、MBE により作製した InAs/InAsSb IP-UHD QDs の 15 K における PL スペクトルから各 QD エネルギーをランダムに配置した。また AFM 測定した各最近接 QD 間の距離データを $d_x(i, j)$, $d_y(i, j)$ としてランダムに割り当てた。QD 間の距離が狭く波動関数が重なり、かつ両 QD の量子準位が接近すると電子的な強結合が起こり、量子状態が分裂した QD 分子を形成する強結合モデルを提案した[4]。本モデルでは、積層 QD 間における QD 間距離とエネルギー分裂の関係の実験・計算結果[5]を参考にし、かつ両 QD の量子準位の均一エネルギー幅の重なりが見出されることを強結合の条件とした。温度上昇に伴うバンドギャップの縮小(Varshni shift)に加え、強結合によるエネルギー準位の分裂を考慮し、個々の QD 準位のローレンツ関数型エネルギースペクトルを全 QDs について重ね合わせたアンサンブル QDs のエネルギースペクトルの温度依存性を計算した。

【実験および計算結果】Fig. 1(a)は InAs/InAsSb IP-UHD QDs(QD 密度 $6 \times 10^{11} \text{ cm}^{-2}$)の PL スペクトルの温度変化(15K – 220 K)を示す。温度上昇に伴う PL スペクトルの低エネルギーシフトは、Varshni シフトよりもさらに低エネルギー化が起こり、その傾向は PL スペクトルの低エネルギー側で顕著である。QD 密度が $1 \times 10^{11} \text{ cm}^{-2}$ 以下の一般的な自己形成 QDs の場合、温度上昇に伴うキャリアの熱脱離やキャリアの再分布によって PL ピークエネルギーシフトが Varshni シフトからずれてくる現象が報告されている[6]。本研究の IP-UHD QDs 試料では、それらの現象だけでは説明できず、特に低エネルギー側のスペクトルにおける特異な低エネルギーシフトは、隣接 QD 間における面内強結合遷移によって説明され、強結合遷移モデルによって計算されたアンサンブル QD の発光スペクトルの温度依存性は、Fig. 1(b)に示すように実験結果をよく再現できることが分かった。

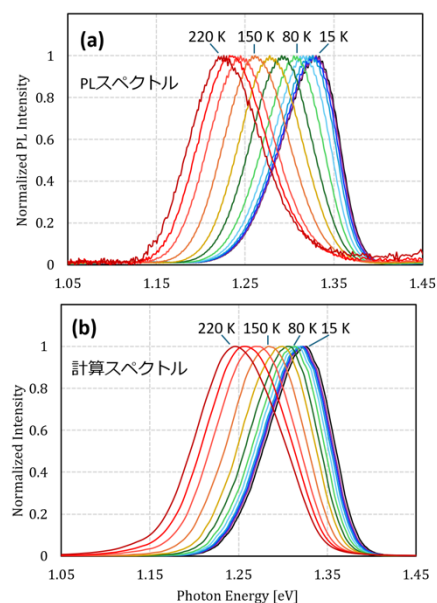


Fig 1. Temperature dependences of PL spectra of InAs/InAsSb IP-UHD QDs (a) and QD energy spectra calculated by transition model of strong coupling of IP-UHD QDs (b).

- [1] K. Sameshima, *et al.*, Appl. Phys. Express **9** (2016) 075501.
- [2] S. Tatsugi, *et al.* Jpn. J. Appl. Phys. **61** (2022) 102009.
- [3] S. J. Oon, *et al.* Jpn. J. Appl. Phys. **63** (2024) 085501.
- [4] 甲斐他, 第 72 回応物春季学術講演会予稿 (2025) 16p-P14-4.
- [5] M. Bayer, *et al.* Science **291** (2001) 5503451.
- [6] S. Sanguinetti, *et al.*, Phys. Rev. B **60** (1999) 8276.

Si ドープ InAs 面内超高密度量子ドット層の光電子物性

Optoelectronic Properties of Si-doped InAs In-Plane Ultrahigh Density Quantum Dots

電気通信大 基盤理工¹, 電気通信大 量子未来創生デバイス開発センター²

○(M2)成子 慶洋¹, 海津 利行^{2,1}, 宮下 直也^{1,2}, 山口 浩一^{1,2}

Dep. of Eng. Sci.¹, QFCD2 center², Univ. of Electro-Communications,

○Y. Naruko¹, T. Kaizu^{2,1}, N. Miyashita^{1,2}, K. Yamaguchi^{1,2}

E-mail: n2433104@edu.cc.uec.ac.jp

【はじめに】Sb 導入ストランスキ・クラスタノフ成長法による面内超高密度(IP-UHD) InAs 量子ドット(QD)(密度 $6 \sim 10 \times 10^{11} \text{ cm}^{-2}$)[1]のフォトルミネッセンス(PL)スペクトルの温度依存性の解析により、面内 QD 間における電子的な強結合およびその光伝導特性について報告してきた[2-4]。今回は、InAs IP-UHD QD の GaAs 埋め込み層内に Si をドープした試料について、PL マッピング測定および電気伝導特性を調べ、InAs IP-UHD QD 層の光電子物性について検討したので報告する。

【InAs IP-UHD QD 試料構造】MBE により半絶縁性 GaAs(001)基板上にノンドープ GaAs バッファ層(200 nm)を成長し、その上に Sb 導入 InAs IP-UHD QD 層を成長した。GaAs キャップ層(60 nm)は、ノンドープの試料と電子濃度 $5 \times 10^{17} \text{ cm}^{-3}$ の Si ドープ層(9 nm)を GaAs キャップ層(5 nm)上に導入し、その後 GaAs 層(46 nm)でキャップ成長した試料を作製した。Fig. 1 には InAs IP-UHD QDs の AFM 像を示す。両試料の QD 密度は $6 \times 10^{11} \text{ cm}^{-2}$ で、Si ドープ層 9 nm の総電子数は IP-UHD QD 個数の 70 %に相当する。

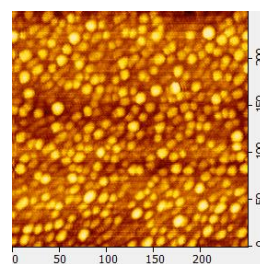


Fig 1. AFM image of InAs IP-UHD QDs.

【実験結果・考察】 Fig. 2 にはノンドープ InAs IP-UHD QD 試料(a)と Si ドープ InAs IP-UHD QD 試料(b)の PL スペクトル(15 K)を示す。ノンドープ試料(QD 成長量 2.09 ML)では、基底準位(GS)間遷移の 1.32 eV の PL メインピークのみが観測されたが、Si ドープ試料(QD 成長量 2.43 ML)では、GS 成分(1.28 eV)の PL 強度は弱く、1.38 eV ピークの第 1 励起準位(ES1)発光が支配的であった。15 K の低温では Si 原子はイオン化されず電子は束縛された状態であるが、そのボーア半径(13 nm)内に存在する InAs QDs 内に電子が捕獲され、GS 準位を占有したものと考えられる。したがって、ドープされた Si 原子からの電子の GS filling により、光励起キャリアによる ES1 発光が支配的になったものと考察される。ただし、GS 発光が ES1 発光と同程度の強度になる場所が存在することも確認された。Fig. 3 には Si ドープ IP-UHD QD 試料の GS 発光(a)と ES1 発光(b)のそれぞれのエネルギー成分の PL 強度マッピング(100 $\mu\text{m} \times 100 \mu\text{m}$)を示す。試料全体的には ES1 発光が支配的であるが、GS 発光強度の高い微小領域(6~8 μm)が観測され(a)、その密度は約 $2 \times 10^5 \text{ cm}^{-2}$ であった。これは表面観察より欠陥密度と対応していることが分かり、欠陥準位に Si 原子からの電子がトラップされ、欠陥周辺の QD 内の GS 準位が非占有状態となり、PL 測定では GS 発光が起こりやすくなったものと考えられる。その GS 発光が観測された微小領域では ES1 発光が弱くなった領域と対応していることが分かった(b)。

[1] K. Sameshima, *et al.*, APEX **9** (2016) 075501. [2] S. Tatsugi, *et al.*, JJAP **61** (2022) 102009. [3] M. Arao, *et al.*, 37th MNC 2024, 14P-1-62. [4] S. J. Oon, *et al.* JJAP **63** (2024) 085501.

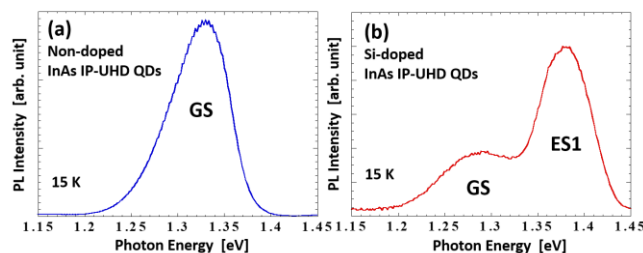


Fig 2. PL spectra of non-doped (a) and Si-doped (b) IP-UHD QDs.

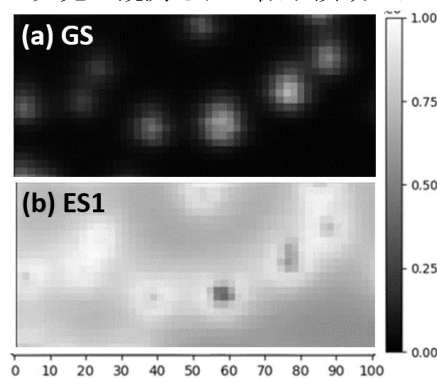


Fig 3. PL mapping images of GS (a) and ES1 (b) intensities of Si-doped IP-UHD QDs.

CaF₂埋め込み構造を用いた n 型 Si/CaF₂ 二重障壁
共鳴トンネルダイオードの室温微分負性抵抗特性

Room temperature negative differential resistance characteristics of
n-type Si/CaF₂ double-barrier Resonant Tunneling Diode with CaF₂ embedded structure

東京科学大 [○]小林隆弘, 宇佐見遼也, 村上寛太, 服部堅, 渡辺正裕

Science Tokyo , [○]T. Kobayashi, R. Usami, K. Murakami, K. Hattori, M. Watanabe

E-mail: Kobayashi.t.cu@m.titech.ac.jp

【はじめに】

シリコン(Si)/弗化カルシウム(CaF₂)ヘテロ構造は、結晶構造が類似で格子定数が近いため、Si 基板上に数原子層オーダーの積層エピタキシャル成長が可能である。また、原子層オーダーの CaF₂ 薄膜と Si のヘテロ界面での伝導帯バンド不連続が 1~2 eV と大きいため、応用上有意な MA/cm²オーダーの電流密度を確保しつつ、室温において大きな peak-to-valley 電流比(PVCR)を有する共鳴トンネルダイオード(RTD)の構成材料として有望である[1]。素子は RTD の側壁が非晶質の SiO₂ で埋め込まれた構造であった。そこで、RTD 周囲の側壁界面の欠陥を低減させるために、結晶性 CaF₂ に埋め込まれた構造を用いたところ低バイアス領域においてリーク電流の低減が観察された[2]。また n 型 RTD において、井戸層への n タイプドーピングによる欠陥準位の補償により、I-V 特性に現れる強いヒステリシスが抑制可能であることがわかった[3]。そこで今回、界面の結晶品質の向上を目的として、n 型 RTD ではじめて結晶性 CaF₂埋め込み構造を採用し、あわせて、RTD 側壁の CaF₂ 上の Si 歪補償層のエッチングプロセスの改善を行った。その結果、n 型 RTD 構造ではじめて、室温で NDR の繰り返し特性を安定的に観測したので報告する。

【実験方法】

作製した素子構造を図 1 に示す。n-Si(111) 0.1° off 基板を SPM 洗浄後、厚さ 40 nm の SiO₂ 熱酸化膜を形成し、ウェットエッチングにより 1 辺 200 μm の SiO₂ 窓を形成する。次に、基板を分子線エピタキシー結晶成長装置(MBE)内に搬入し、CaF₂ を成長温度 650 °C において 20 nm 結晶成長させ、その上に歪補償層として Si 層を 10 nm 結晶成長させる。MBE 装置から搬出後、Si をドライエッチング、CaF₂ をウェットエッチングにより直径 500 nm の RTD 用の細孔を形成し、再度 MBE により CaF₂(0.31 nm)/n-Si(1.55 nm)/CaF₂(0.31 nm)/n-Si(5 nm)の各層を結晶成長した。Si 成長時には As 分子照射(8×10²⁰ cm⁻³)を行った。最後に、Cr/Au 電極をリフトオフにより形成し素子完成となる。電流電圧測定には半導体パラメータアナライザ Keysight-4155C を

用いた。

【結果と考察】

今回作製した素子の室温における I-V 特性を図 2 に示す。室温において繰り返し NDR を観測した。ピーク電流密度は 6.40 MA/cm²、PVCR は 1.27 であった。リーク電流を差し引いた正味のピーク電流密度は約 1 MA/cm² と見積もられ、理論解析結果とよく一致している。また、印加電圧の繰り返し掃引によりピーク電圧が 1.26 V から 1.16 V へ徐々に推移したが、約 30 サイクルで安定した。従来プロセスで作製した素子と比較して安定した繰り返し特性が得られ、メモリ効果は観察されなかった。これは、Si 歪補償層により結晶性が改善したこと、井戸層へのドーピングによるトラップ準位補償が行われたことなどが原因と考えられる。

【参考文献】

- [1] 鈴木他, 第 83 回応物秋季学術講演会 22p-P14-2 (2022)
- [2] 伊藤他, 第 83 回応物秋季学術講演会 22p-P14-1 (2022)
- [3] 村上他, 第 84 回応物秋季学術講演会 22p-P09-2 (2023)

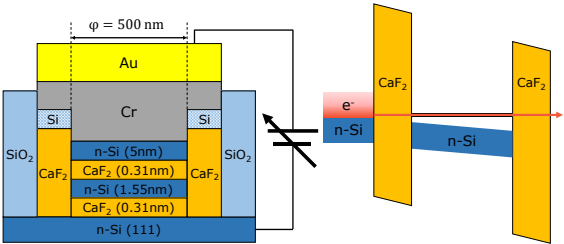


図 1 素子構造とバンド図

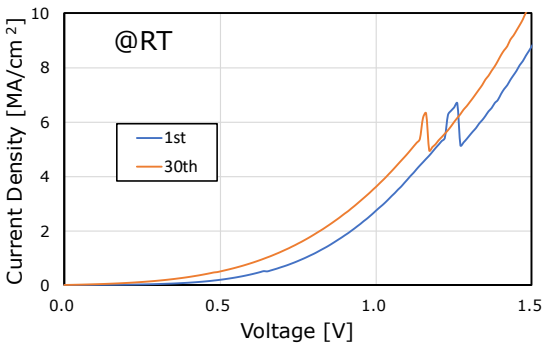


図 2 Si/CaF₂ 二重障壁 RTD の室温微分負性抵抗特性

反応性イオンエッチングによる微小孔中に形成した
Si/CaF₂ n 型二重障壁共鳴トンネルダイオードの室温微分負性抵抗特性
Room temperature negative differential resistance of Si/CaF₂ n-type double-barrier resonant tunnel diodes grown in SiO₂ holes formed using reactive ion etching

東京科学大学工学院 猪狩秀, 小林隆弘, 服部堅, 渡辺正裕
Institute of Science Tokyo S. Igari, T. Kobayashi, K. Hattori, M. Watanabe
E-mail: igari.s.27d8@m.isct.ac.jp

【はじめに】

シリコン(Si)/弗化カルシウム(CaF₂)ヘテロ構造は、結晶構造の類似性と格子定数の近さから、Si 基板上にエピタキシャル成長が可能である。さらに、CaF₂/Si 界面では 1~2 eV と大きい伝導帯バンド不連続が存在する。これらの特徴を活かし、応用上有意な MA/cm² オーダーの電流密度を確保しつつ、室温において大きな peak-to-valley 電流比(PVCR)を有する共鳴トンネルダイオード(RTD)を実証してきた[1-4]。従来、SiO₂ 膜に弗酸によるウェットエッチングを用いて RTD 結晶成長用の微小孔を形成していたが、孔径や形状制御性に課題があった。今後の微細化と高密度集積化に対応するためには、より高精度な反応性イオンエッチング技術の導入が重要である。そこで本研究では、結晶成長領域の微小孔形成に反応性イオンエッチングを適用して Si/CaF₂ 二重障壁共鳴トンネルダイオード(DBRTD)構造を形成し、電流電圧特性の評価を行ったので報告する。

【実験方法】

作製した素子構造を Fig. 1 に示す。n-Si(111) 0.1°off 基板を SPM 洗浄後、厚さ 40 nm の熱酸化膜を形成し、反応性イオンエッチングにより直径 2 μm, 500 nm, 100 nm の微小孔を形成する。その後分子線エピタキシー成長装置内に基板を搬入し、保護酸化膜除去後、イオンダメージを回復するためのバッファ層として n-Si(15 nm)を基板温度 Ts = 750°C で成長後、CaF₂(0.32 nm)/n-Si(1.6 nm)/CaF₂(0.32 nm)/n-Si(5 nm)の多層構造を Ts = 300°C で成長させた。Si 量子井戸層には、トラップ準位による電荷蓄積を抑制する効果が確認されている、10¹⁹cm⁻³ の As ドーピングを行った。Cr/Au 電極リフトオフにより形成し素子完成となる。電流電圧(I-V)特性は半導体パラメータアナライザ Keysight-4155C を用いた。

【結果と考察】

今回作製した素子の室温における I-V 特性を Fig2 に、走査型電子顕微鏡(SEM)を用いて観察した結晶成長用微小孔の直径のヒストグラムを Fig3 に示す。反応性イオンエッチングにより、孔径の広がりウェットエッチングに比べ抑制された。孔径 500 nm および 100 nm の設計寸法に対し、ウェットエッチングではそれぞれ平均径 616 nm, 181 nm であったのに対し、反応性イオンエッチングでは 548 nm, 114 nm であった。標準偏差の比較から孔径ばらつきの抑制も確認された。径 2 μm 素子の室温における I-V 特性において、ピーク電流密度 ~0.6 MA/cm², PVCR~1.06 程度の NDR を連続で複数回観測した。PVCR が小さいのは、Si 量子井戸へのドーピングにより貫通ピンホール欠陥が高導電性のリークパスになりやすいことが原因と考えており、これはウェットエッチングを用いて形成した素子でも同様に観察されることから、エッチングダメージによるものではないと考えている。適切なバッファ層成長を導入することにより、反応性イオンエッチングにより窓開した RTD は、ウェットエッチングを用いて形成した素子と同等の特性を示すことがわかった。今後、Si バッファ層及び Si 量子井戸層のドーピング濃度と結晶成長温度、成長後の高速アニール等のプロセス条件最適化により、PVCR 等の特性指標向上は可能と考えている。

ングでは 548 nm, 114 nm であった。標準偏差の比較から孔径ばらつきの抑制も確認された。径 2 μm 素子の室温における I-V 特性において、ピーク電流密度 ~0.6 MA/cm², PVCR~1.06 程度の NDR を連続で複数回観測した。PVCR が小さいのは、Si 量子井戸へのドーピングにより貫通ピンホール欠陥が高導電性のリークパスになりやすいことが原因と考えており、これはウェットエッチングを用いて形成した素子でも同様に観察されることから、エッチングダメージによるものではないと考えている。適切なバッファ層成長を導入することにより、反応性イオンエッチングにより窓開した RTD は、ウェットエッチングを用いて形成した素子と同等の特性を示すことがわかった。今後、Si バッファ層及び Si 量子井戸層のドーピング濃度と結晶成長温度、成長後の高速アニール等のプロセス条件最適化により、PVCR 等の特性指標向上は可能と考えている。

【参考文献】

- [1] Y. Kuwata et al., Appl. Phys. Express, **9**, 074001 (2016)
- [2] 鈴木他, 第 83 回秋季応物 22p-P14-2 (2022)
- [3] 伊藤他, 第 83 回秋季応物 22p-P14-1 (2022)
- [4] 村上他, 第 84 回秋季応物 22p-P09-2 (2023)

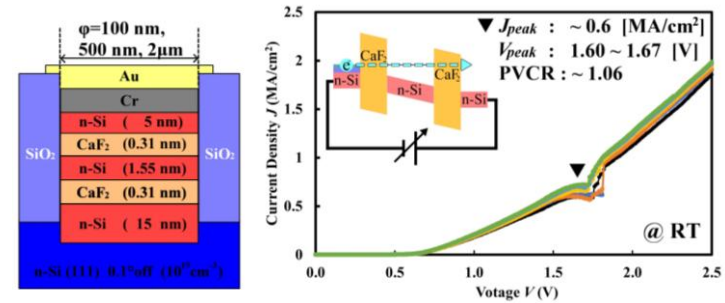


Fig.1 Device Structure Fig.2 Current-Voltage Characteristics

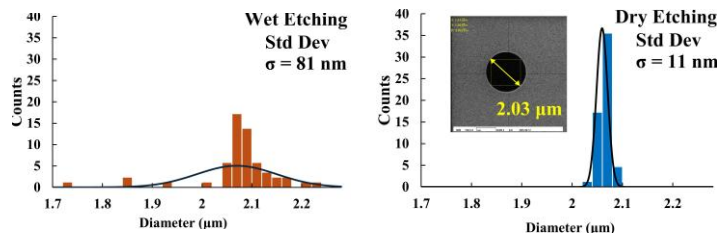


Fig.3 Histogram of growth window diameter (φ = 2 μm)

Yb 添加ファイバからの通信波長帯光子発生

Generation of telecom-band photons from Yb-doped fiber

日本大¹, 広島大² ○(M2) 武田 真奈¹, 景山 和真¹, 方波見 慎之介¹, 角田 琉騎¹,
後藤 秀樹², 俵 毅彦¹

Nihon Univ.¹, Hiroshima Univ.², °Mana Takeda, Kazuma Kageyama¹, Shinnosuke Katabami¹,

Ruki Tunoda¹, Hideki Gotoh², Takehiko Tawara¹,

E-mail: tawara.takehiko@nihon-u.ac.jp

近年、広域かつ秘匿性の高い広域量子情報通信の実現に向けた研究が進められている。この通信では、量子情報が単一光子に書き込まれ既存の光ファイバ網を利用し広域に伝送される。これまで様々な材料・構造で単一光子発生が実現されてきたが^[1]、その材料の特殊性・構造の複雑性・動作温度の制限など、広く普及するためには課題が山積しているのが実情である。一方、希土類であるエルビウム (Er) イオンは通信波長帯に光学遷移準位を有し、長距離情報通信における光増幅器としても利用されている。この Er イオンが希薄添加された光ファイバを作製できれば単一光子発生素子として機能することが期待される。我々はイッテルビウム (Yb) イオンが添加された光ファイバ (YDF) に不純物として意図せず含まれる微量の Er イオンに着目し、この Er イオンからの通信波長帯単一光子発生を目指している。本研究ではシングルモードファイバ (SMF) に短い YDF を融着した素子を作製し、光励起によりその素子から通信波長帯光子を発生させることを目指した。

Fig.1(a)は YDF 融着ファイバの構成を、Fig.1(b)は作製した YDF 融着ファイバ写真を示す。Er からの通信波長帯発光光子数の YDF の長さ依存性を評価するため、77 μm 、84 μm の低温下で動作可能なファイバ型素子を作製した。Fig.2 に冷凍機内に設置された YDF 融着ファイバを 980 nm のレーザで励起したときの、Er 発光波長 1.53 μm での光子カウント数の YDF 長さ依存性を示す。YDF の長さが短くなるにつれて、検出される光子カウント数が減少する傾向が確認された。このことから、YDF 内に不純物として Er イオンが存在し、YDF の長さが短くなることで Er イオン数も減少していることがわかる。この発光に対して強度相関測定を行ったところ (Fig.3)、強度相関関数 $g^{(2)}(0)$ は 1 に近い値を示し、明確なアンチバンチングは観測されなかった。そのため、今後は YDF 内の Er イオン数を減少させるためファイバのテーパー加工を行い、通信波長帯での単一光子発生を目指す。

謝辞：本研究は JSAP 科研費 JP23K26485 の助成を受けたものです。

[1] B. Lounis, M. Orit, Rep. Prog. Phys., **68** (2005) 1129.

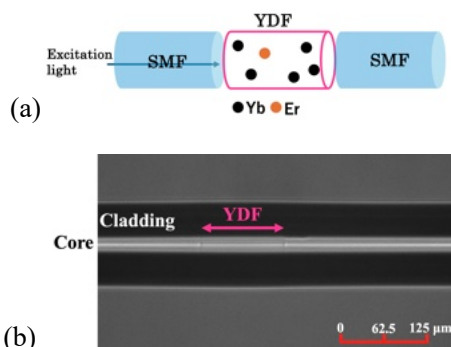


Fig.1 (a) Schematic and (b) microphotograph of YDF fusion spliced fiber.

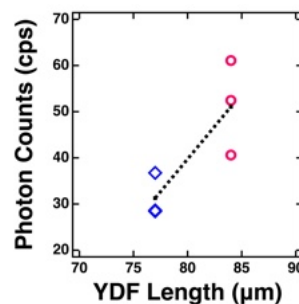


Fig.2 YDF length dependence of the number of emitted photons.

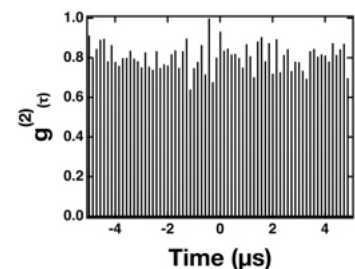


Fig.3. Second-order autocorrelation function in 1.5 μm emission.

多環芳香族アミンが配位した CsPbI₃ 量子ドットの分光物理

Spectroscopic physics in polyaromatic amine-ligated CsPbI₃ quantum dots

京大院エネ 〇(M1)中西 駿介, 佐川 尚

Graduate School of Energy Sci., Kyoto Univ., 〇Shunsuke Nakanishi, Takashi Sagawa

E-mail: sagawa.takashi.6n@kyoto-u.ac.jp

【諸言】CsPbI₃ ペロブスカイト型量子ドットはバンドギャップが小さく、低エネルギーの光を吸収できるため、効率的なエネルギー利用が期待されているが、表面にオレイン酸とオレイルアミンなどの長鎖のアルキル系配位子があるために、個々の量子ドットは孤立しており、吸収したエネルギーを効率よく外部へ取り出すのを困難にしている^[1]。本研究では、多環芳香族アミンの 2-ナフタレンメチルアミン (NMA) と 1-ピレンメチルアミン (PMA)を用いて、配位しているオレイルアミンの一部を置換し、CsPbI₃ 量子ドットへの光照射で生じた励起子の多環芳香族アミンへの高効率エネルギー移動と励起種の長寿命化を検討した。

【実験】ホットインジェクション法を用いて、オレイン酸とオレイルアミンが配位した CsPbI₃ 量子ドットを合成した。この量子ドットをヘキサンに分散させ、NMA と PMA のヘキサン溶液をそれぞれ添加し、配位子交換を行なった。その際、NMA あるいは PMA 添加量の変化に伴う紫外可視吸収、蛍光 (PL)、時間分解蛍光 (TRPL) スペクトルの変化を調べた。

【結果と考察】得られた CsPbI₃ 量子ドットの透過型電子顕微鏡観察、X 線回折測定、フーリエ変換赤外分光スペクトル測定を行い、平均粒子サイズ 9~10 nm の量子ドットにオレイン酸とオレイルアミンが配位し、一部 PMA や NMA に置換されていることを確認した。ヘキサン中に分散させた CsPbI₃ 量子ドットに PMA を添加したときの吸光度変化 (Fig.1) から、測定した濃度範囲では PMA に帰属される 345 nm の吸収ピーク強度が Lambert-Beer 則に従わず (量子ドットがないときの PMA の吸光度は Lambert-Beer 則に従うことから)、量子ドットの共存による吸光特性の変化を確認した。一方、675 nm にピークをもつ CsPbI₃ 量子ドット由来の蛍光発光 (励起波長 280 nm) は、PMA 添加量の増大と共に消光し (Fig.2a)、CsPbI₃ から PMA へのエネルギー移動が推測された。また、PMA を添加した CsPbI₃ 量子ドットに 280 nm LED 光源からのパルス光を照射したときの時間分解蛍光スペクトルの 675 nm における減衰曲線から、PMA の添加により 50 ns までは減衰が早まり (Fig.2b)、それ以降で減衰の遅延が観測された (Fig.2c)。すなわち、パルス光照射開始後 50 ns までは量子ドットから配位子へのエネルギー移動が起こり、それ以降では配位子から量子ドットへのエネルギー移動が起こることが示唆された。なお、NMA でも同様の結果が観測された。

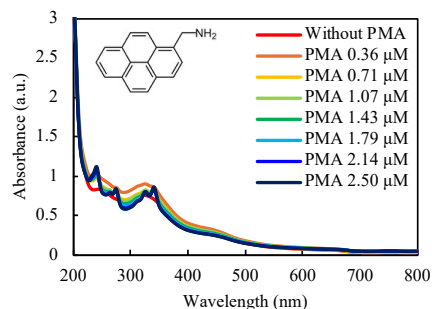


Fig.1 UV-vis absorption spectra of CsPbI₃ quantum dots dispersed in hexane (35 µg/mL) before and after the addition of PMA (0 - 2.5 µM)

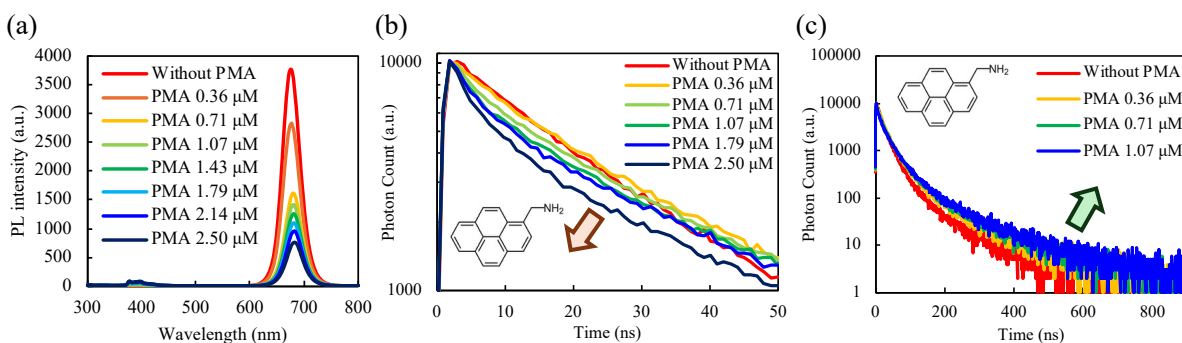


Fig.2 PL (a), TRPL (0~50 ns) (b), and TRPL (0~900 ns) (c) spectra of CsPbI₃ quantum dots dispersed in hexane (35 µg/mL) before and after the addition of PMA (0 - 2.5 µM)

【参考文献】 [1] Ling, X. *et al.*, *Acc. Mater. Res.* **2022**, 3, 866–878.

複合ナノ粒子の合成と発光特性評価

Synthesis and luminescence characterization of composite nanoparticles

龍谷大先端理工 [○]末次 大輝、山本 伸一

Ryukoku Univ. [○]D. Suetsugu, S.-I. Yamamoto

E-mail: shin@rins.ryukoku.ac.jp

はじめに

量子ドット(Quantum Dots : QDs)は、量子サイズ効果を持つ半導体微粒子である。また粒径を変化させることで量子サイズ効果が変わり、発光強度の向上が期待できる。以上の特性から QDs はディスプレイをはじめ様々な電子デバイスへの応用の可能性がある。本研究では、金属前駆体の作製直後に加熱攪拌することで従来作製法の QDs との発光強度差を調べた。

実験方法

酢酸銅 ($\text{Cu}(\text{OAc})_2$)、酢酸亜鉛 ($\text{Zn}(\text{OCOCH}_3)_2$)、酢酸インジウム ($\text{In}(\text{C}_2\text{H}_3\text{O}_2)_3$)、オレイン酸(OAC)を混合後、 200°C 、10 min.で加熱攪拌した。オクタデセン(ODE)を混合し、再度加熱攪拌を行い金属前駆体(銅)の作製を行った。次に金属前駆体の作製手順と同様にして酢酸銅($\text{Cu}(\text{OAc})_2$)を酢酸銀 ($\text{Ag}(\text{OAc})_2$)の粉末に変更し金属前駆体(銀)を作製した。また純硫黄(S)、オレイルアミン(OAm)を混合し 200°C 、30 min.で加熱攪拌し、S前駆体を作製した。金属前駆体(銅)と金属前駆体(銀)を混合比率($\text{Cu}:\text{Ag}$) = 0.3 : 1, 0.2 : 1, 0 : 1の体積比で混合した。その後、ドデカンチオール(DDT)を二口フラスコに入れ、混合後、S前駆体を入れ加熱攪拌した。さらに加熱攪拌中にてS前駆体の混合を行った。最後に、QDsを遠心分離によって有機溶媒から分離させ、シクロヘキサン中にQDsの分散液を作製した。作製した試料の発光特性を評価するため、 $\lambda_{\text{ex}} = 365 \text{ nm}$ で

PL測定を行った。

実験結果

金属前駆体作製後に加熱攪拌した試料の PL スペクトル(希釈倍率 : 40 倍)を Fig. 1 に示す。Ag と Cu の混合比率を大きく変化させることで長波長側(約 100nm)にシフトした。PL スペクトル(希釈倍率 : 40 倍) から最大発光の波長をまとめた。Fig. 2 に示す。全ての混合比率において複合ナノ粒子が単体ナノ粒子より長波長側にシフトした。

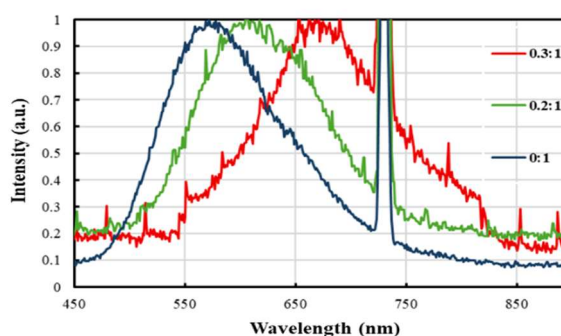


Fig. 1 PL measurements immediately after preparation of metal precursor

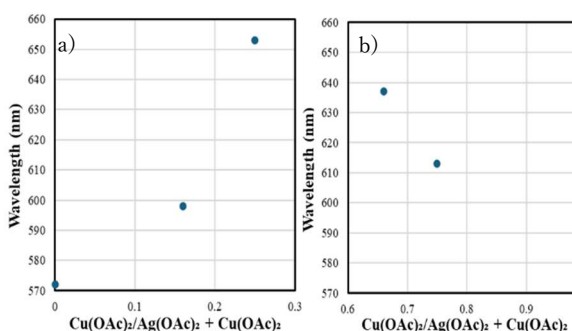


Fig. 2 PL peak wavelength immediately after preparation of metal precursor (a)0~0.3 (b)0.6~1

13 Semiconductors | Oral presentation : 13.7 Compound and power devices, process technology and characterization

[7a-N322-1~11] 13.7 Compound and power devices, process technology and characterization

[7a-N322-1]

Fabrication of 147 nm T-shaped submicron gate electrode for diamond MOSFETs by electron beam lithography

○(M1)Yoshiki Muta¹, Niloy Chandra Saha¹, Masanori Eguchi², Toshiyuki Oishi¹, Atsushi Tomiki³, Makoto Kasu^{1,4} (1.Dept. Electrical Electronic Eng., Saga Univ., 2.Synchrotron Light Application Center, Saga Univ., 3.ISAS/JAXA, 4.Diamond Semiconductor Co., Ltd)

[7a-N322-2]

Highest Maximum Frequency of Operation (f_{MAX})>120 GHz Diamond MOSFET

Niloy Chandra Saha¹, Masanori Eguchi², Yoshiki Muta¹, Toshiyuki Oishi¹, Atsushi Tomiki³, ○ Makoto Kasu^{1,4} (1.Dept. Electric Electronic Eng., Saga Univ., 2.Synchrotron Research Center, Saga Univ., 3.JAXA Institute of Space and Astronautical Science, 4.Diamond Semiconductor Co., Ltd.)

[7a-N322-3]

Impact of forming gas annealing on the interface and oxide traps in SiO₂/β-Ga₂O₃ MOS structures

○Kensei Maeda¹, Takuma Kobayashi¹, Masahiro Hara¹, Heiji Watanabe¹ (1.UOsaka)

[7a-N322-4]

Reduction of interface state density in Al₂O₃/β-Ga₂O₃ (001) MOS structures by employing O₃ as an oxidant for ALD process

○Atsushi Tamura¹, Hiroyasu Maekawa², Koji Kita^{1,2} (1.GSFS, The Univ. of Tokyo, 2.School of Eng., The Univ. of Tokyo)

[7a-N322-5]

Effect of annealing on MOS interface properties and donor density of SiO₂/β-Ga₂O₃ stacks

○Takumi Morita¹, Takuma Kobayashi¹, Kensei Maeda¹, Masahiro Hara¹, Heiji Watanabe¹ (1.UOsaka)

[7a-N322-6]

Hall Measurement of Highly Si-Doped *n*-Ga₂O₃ by Hot Ion Implantation

○(M2)Kotaro Yagi¹, Daisuke Matsuo², Shun Konno², Kosuke Usui², Yasunori Andoh³, Kohei Tanaka², Masataka Higashiwaki^{1,4} (1.Osaka Metropolitan Univ., 2.Nissin Ion Equipment, 3.Nissin Electric, 4.NICT)

[7a-N322-7]

Controlling the oxygen partial pressure of NiO films for β-Ga₂O₃ MPS diodes

○Yui Sasaki¹, Hironori Okumura¹, Aboulaye Traore², Yun Jia¹, Kota Nakano¹, Sakurai Takeaki¹ (1.Tsukuba Univ., 2.USPN)

[7a-N322-8]

Ab initio calculations of carbon-vacancy pairs in β-Ga₂O₃ for quantum applications

○(B)Ryota Yamada¹, Sosuke Iwamoto¹, Masahiro Hara¹, Heiji Watanabe¹, Takuma Kobayashi¹
(1.UOsaka)

[7a-N322-9]

Crystal growth of r-GeO₂ thin film on 4H-SiC substrate using buffer layer

○Toya Yagura^{1,2}, Yuri Shimizu¹, Akiyoshi Kudo¹, Toyosuke Ibi¹, Shinpei Matsuda¹, Kentaro Kaneko^{1,3} (1.Patentix Inc., 2.Col. of Sci. & Eng. Ritsumeikan Univ., 3.ROST Ritsumeikan Univ.)

[7a-N322-10]

Characterization of rutile-type GeO₂ using ion implantation process.

○Yuri Shimizu¹, Ai Kono¹, Toyosuke Ibi¹, Shinpei Matsuda¹, Kentaro Kaneko^{1,2} (1.Patentix Inc., 2.ROST Ritsumeikan Univ.)

[7a-N322-11]

Evaluation of physical properties of r-GeO₂ bulk crystals

○Kentaro Kawanishi¹, Yuri Shimizu¹, Toyosuke Ibi¹, Shinpei Matsuda¹, Kentaro Kaneko^{1,2}
(1.Patentix Inc., 2.ROST Ritsumeikan Univ.)

電子ビーム描画によるダイヤモンド MOSFET の 147 nm T 型サブミクロンゲート電極の作製

Fabrication of 147 nm T-shaped submicron gate electrode for diamond MOSFETs by electron beam lithography

佐賀大院理工¹ 佐賀大シンクロトロン² JAXA 宇宙科学研究所³ (株)ダイヤモンドセミコンダクター⁴

°(M1)牟田吉希¹, ニロイ チャンドラ サハ¹, 江口正徳², 大石敏之¹, 富木淳史³, 嘉数 誠^{1,4}

Dept. Electrical Electronic Eng., Saga Univ.¹, Synchrotron Light Application Center, Saga Univ.²,

Institute of Space and Astronautical Science, Japan Aerospace Exploration Agency³,

Diamond Semiconductor Co., Ltd⁴

°(M1)Yoshiki Muta¹, Niloy Chandra Saha¹, Masanori Eguchi², Toshiyuki Oishi¹, Atsushi Tomiki³,
and Makoto Kasu^{1,4}

E-mail: kasu@cc.saga-u.ac.jp

はじめに

ダイヤモンドは、5.47 eV のバンドギャップ、10 MV/cm 以上の絶縁破壊電界、22 W/cmK の熱伝導率など、パワー半導体に望まれる物性値を有している。そのため、大電力及び高周波用の次世代パワー半導体として期待されている。我々はこれまで、有能出力電力 875 MW/cm² や 10 ns 以下のスイッチング時間を示すダイヤモンド MOSFET を開発した[1][2]。しかし、マイクロ波、ミリ波帯増幅用の FET には、サブミクロン (1 μm 未満) のゲート長のゲート電極が必要であり、ゲート抵抗を抑制するために T 型ゲートが必須である。我々はダイヤモンドで世界最短レベルの 147 nm の T 型ゲートを電子ビーム描画で作製したので報告する。

実験方法

電子ビーム描画による 3 層レジストプロセスを用いて、ダイヤモンド基板上に T 型サブミクロンゲート電極を作製した。3 層レジストは下層に低感度のレジスト、中間層に高感度のレジスト、上層に中感度のレジストを使用した。電子ビーム露光装置 (JEOL 社製, JBX-8100FS) で、T 型電極パターンを、中心を高ドーズ量、次に中ドーズ量、外側を低ドーズ量に露光した。現像後にゲート金属を蒸着し、リフトオフで T 型ゲート電極を作製した。

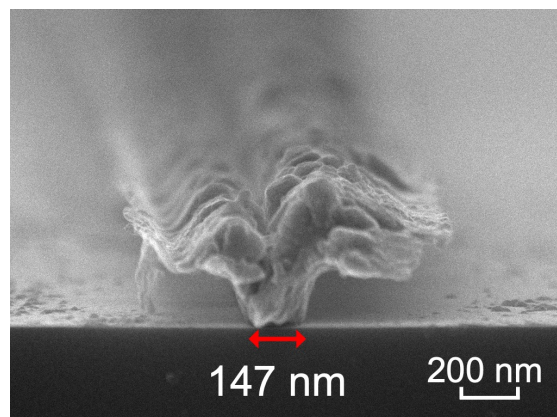


Fig. 1. SEM image of T-shaped gate with a gate length of 147 nm.

実験結果

作製した T 型電極の断面 SEM 像を Fig.1 に示す。ゲート長 147 nm の T 型電極が作製できていることを確認した。その T 型ゲート電極をもったダイヤモンド MOSFET で最大発振周波数 $f_{\text{max}} > 120$ GHz, 遷移周波数 $f_T = 23$ GHz を得た[3]。

結論

ダイヤモンド基板上に 147 nm のサブミクロン T 型ゲート電極を作製した。

謝辞

本研究の一部は、文科省宇宙開発利用加速化戦略プログラムによるものです。

参考文献

- [1] N. C. Saha, et al., IEEE EDL 43, 777 (2022).
- [2] N. C. Saha, et al., IEEE EDL 44, 793 (2023).
- [3] サハ, 江口, 牟田, 嘉数, 本学会予稿.

最大発振周波数(f_{MAX})>120 GHz ダイヤモンド MOSFET

Highest Maximum Frequency of Operation (f_{MAX})>120 GHz Diamond MOSFET

佐賀大院理工¹, 佐賀大シンクロトロン², JAXA 宇宙科学研究所³, (株)ダイヤモンドセミコンダクター⁴

ニロイ チャンドラ サハ¹, 江口正徳², 牟田吉希¹, 大石敏之¹, 富木淳史³, 〇嘉数 誠^{1,4}

Dept. Electric Electronic Eng., Saga Univ.¹, Synchrotron Research Center, Saga Univ.²,

JAXA Institute of Space and Astronautical Science³, Diamond Semiconductor Co., Ltd. ⁴

Niloy Chandra Saha¹, Masanori Eguchi², Yoshiki Muta¹, Toshiyuki Oishi¹, Atsushi Tomiki³,

and 〇Makoto Kasu^{1,4}

E-mail: kasu@cc.saga-u.ac.jp

1. Introduction Diamond possesses desired properties for high frequency transistors, such as a high bandgap of 5.47 eV, a high breakdown field of >10 MV/cm, and high thermal conductivity of 22 W/cmK. Previously, diamond FETs showed excellent RF characteristics with a maximum frequency of oscillation (f_{MAX}) of 120 GHz at a drain bias (V_{DS}) of -18 V [1]. In this study, diamond MOSFETs were fabricated for RF amplification in the microwave and millimeter wave range, and the MOSFET demonstrated an excellent high frequency characteristic with a f_{MAX} of >120 GHz at a high drain bias of -40 V and a high $f_{\text{MAX}}/f_{\text{T}}$ ratio of 8.

2. Growth and Fabrication A single crystal (001) CVD diamond (Element Six) is used as the substrate, and about 100-nm-thick diamond homo-epitaxial layer was grown on it. NO₂ p-type doping and a 16-nm-thick Al₂O₃ layer were used to fabricate the diamond MOSFET. Using electron beam (EB) lithography, a T-shaped submicron gate of 157 nm was formed.

3. Results and Discussion Fig. 1 (a) shows the DC output characteristics and the MOSFET exhibited a maximum drain current density of 553 mA/mm with an on-resistance of 26.73 Ω ·mm. The maximum transconductance was 37.11 mS/mm, and the gate leakage current density was $<5 \times 10^{-7}$ mA/mm. Fig. 1(b) shows the breakdown characteristics of the diamond MOSFET measured at V_{GS} of 15 V and the MOSFET exhibited a breakdown at 399 V. S-parameters were measured by applying a frequency range of 0.1 to 20 GHz. Current gain ($|h_{21}|^2$) and unilateral power gain (U) were obtained from S-parameters, and the measurement was performed varying gate voltages (V_{GS}) at drain voltage (V_{DS})

of -10 to -40 V. Fig. 2 shows the RF characteristics of the diamond MOSFET measured at a V_{GS} of 5.5 V and V_{DS} of -40 V. f_{T} and f_{MAX} were determined to be 15 and 120 GHz, respectively. Also, f_{MAX} values were found to be increased with V_{DS} of -10 to -40 V. The $f_{\text{MAX}}/f_{\text{T}}$ ratio was obtained as 8. Small RF drain conductance (g_{D}) is the possible reason for the high $f_{\text{MAX}}/f_{\text{T}}$ ratio. A high $f_{\text{MAX}}/f_{\text{T}}$ ratio is an important feature of diamond MOSFETs, which is preferred RF power devices.

Acknowledgements This work was supported by the MEXT, Strategic Program for Accelerating Research, Development and Utilization of Space Technology, and the JSPS Grants-in-aid for Scientific Research (No. 25K01682, 25K17641).

References

[1] K. Ueda, M. Kasu, et al., IEEE EDL 27, 570 (2006).

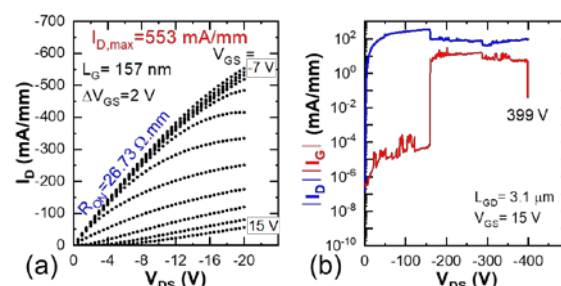


Fig. 1. (a) DC output characteristics and (b) breakdown characteristics of a diamond MOSFET.

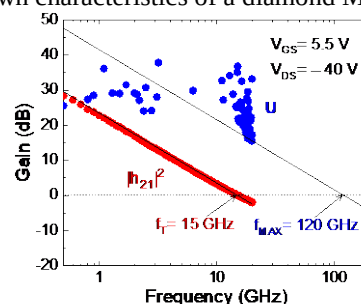


Fig. 2. RF characteristics of the diamond MOSFET measured at $V_{\text{GS}} = 5.5$ V and $V_{\text{DS}} = -40$ V.

SiO₂/β-Ga₂O₃ MOS 構造の界面及び膜中欠陥に対する希釈水素熱処理の効果

Impact of forming gas annealing on the interface and oxide traps in

SiO₂/β-Ga₂O₃ MOS structures

阪大院工 °前田兼成, 小林拓真, 原征大, 渡部平司

UOsaka, °Kensei Maeda, Takuma Kobayashi, Masahiro Hara, and Heiji Watanabe

E-mail: maeda@ade.prec.eng.osaka-u.ac.jp

【はじめに】β-Ga₂O₃は融液成長による安価な単結晶作製が可能であり、広いバンドギャップ (4.9 eV) と高い絶縁破壊電界 (8 MVcm⁻¹) を有することから、次世代パワー半導体材料として期待されている[1]。パワースイッチングデバイスの基本は MOSFET であり、その性能・信頼性向上には MOS 構造の欠陥低減が重要である。これまでに、酸素及び窒素雰囲気下での熱処理が SiO₂/Ga₂O₃ MOS 構造の欠陥低減に有効であると報告されているが[2,3]、最適な欠陥低減プロセスについては依然検討の余地がある。そこで、本研究では SiO₂/Si MOS 構造の欠陥パッシベーションに有効な、希釈水素雰囲気[4]での熱処理が、SiO₂/β-Ga₂O₃ MOS 構造に与える影響を評価した。

【実験および結果】n 型 β-Ga₂O₃(001)エピ基板 (実効ドナー濃度 $N_D = 1.0 \times 10^{16} \text{ cm}^{-3}$) をウェット洗浄後、プラズマ CVD 法により SiO₂ 膜を約 45 nm 堆積した。その後、1000°C の酸素及び窒素雰囲気下で絶縁膜堆積後熱処理 (PDA) を行った。本 PDA 条件では、Ga₂O₃ 中の初期ドナー濃度を維持しつつ、界面欠陥の低減が可能である[3]。続いて、表面に Ni 電極を蒸着後、400°C の H₂/N₂ 3% (FG) 雰囲気下で電極形成後熱処理 (PMA) を行った。最後に、裏面に Al 電極を蒸着して MOS キャパシタを作製した。まず、図 1 に MOS キャパシタの 1 MHz 双方向 C-V 特性を示す。PDA のみを行った試料 (O₂→N₂) では、堆積直後試料 (as-depo.) に比べてヒステリシスの低減が見られる一方、正の固定電荷生成により C-V 特性が理想特性 (ideal) に比べて負方向にシフトしている。この試料に対し、FG-PMA を行くと、ヒステリシスの更なる低減が見られただけでなく、負方向シフトも抑制された。これは、水素パッシベーションが界面の電子トラップだけでなく、固定電荷低減にも有効であることを示唆する。図 2 に High(1 MHz)-low 法により算出した界面準位密度のエネルギー分布を示す。伝導帯端近傍の典型的なエネルギー位置 ($E_c - E = 0.2 \text{ eV}$) における D_{it} 値は、PDA のみの試料 (O₂→N₂) では $1 \times 10^{11} \text{ eV}^{-1} \text{ cm}^{-2}$ 程度であったのに対し、FG-PMA 後は $4 \times 10^{10} \text{ eV}^{-1} \text{ cm}^{-2}$ にまで低減した。図 3 には、酸化膜電界約 4 MVcm⁻¹ の定電圧ストレス印加に伴うフラットバンド電圧シフト (ΔV_{FB}) の経時変化を示す。結果として as-depo. 試料、O₂→N₂ 試料、O₂→N₂→FG-PMA 試料の 2000 秒ストレス印加後の ΔV_{FB} はそれぞれ 7.8, 2.0, 0.6 V となり、FG-PMA により酸化膜の電子注入耐性も大幅に改善することが示された。以上の結果から、高品質 SiO₂/β-Ga₂O₃ MOS 構造の形成には、希釈水素熱処理が非常に有効であることが示された。

【謝辞】本研究の成果は、NEDO(国立研究開発法人新エネルギー・産業技術総合開発機構)の委託業務(JPNP22007)の結果得られたものです。

[1] M. Higashiwaki, *AAPPS Bull.* **32**, 3 (2022).

[3] T. Kobayashi et al., *Appl. Phys. Lett.* **126**, 012108 (2025).

[2] K. Kita et al., *ECS Transactions* **92**, 59 (2019).

[4] E. Cartier et al., *Appl. Phys. Lett.* **63**, 1510 (1993).

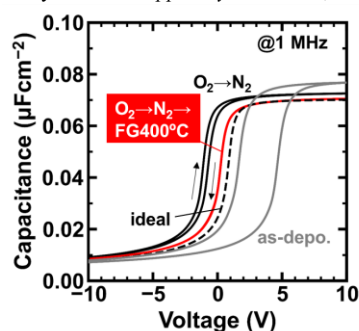


Fig. 1 Bidirectional C-V characteristics of Ga₂O₃ MOS structures measured at a probe frequency of 1 MHz.

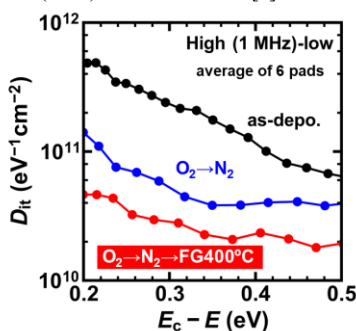


Fig. 2 D_{it} distributions of Ga₂O₃ MOS structures evaluated by a high (1 MHz)-low method.

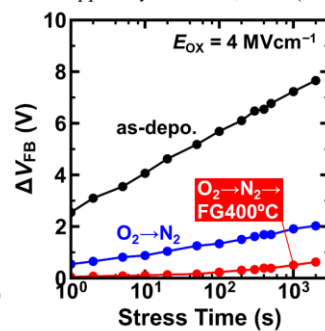


Fig. 3 Flatband voltage drift (ΔV_{FB}) as a function of stress time for Ga₂O₃ MOS structures.

O_3 を酸化剤に適用した原子層堆積法による $Al_2O_3/\beta\text{-Ga}_2O_3$ (001)

MOS 界面準位密度の低減効果

Reduction of interface state density in $Al_2O_3/\beta\text{-Ga}_2O_3$ (001) MOS structures

by employing O_3 as an oxidant for ALD process

¹ 東京大学大学院新領域創成科学研究科 物質系専攻, ² 東京大学大学院工学系研究科 マテリアル工学専攻

○田村 敦史¹, 前川 紘億², 喜多 浩之^{1,2}

¹ Dept. of Advanced Materials Science, The Univ. of Tokyo, ² Dept. of Materials Engineering, The Univ. of Tokyo

○Atsushi Tamura¹, Hiroyasu Maekawa², and Koji Kita^{1,2}

E-mail: a-tamura@edu.k.u-tokyo.ac.jp

【研究背景】 $\beta\text{-Ga}_2O_3$ MOS の界面特性は絶縁膜の製膜条件やアニール条件で大きく変化する。特に絶縁膜として SiO_2 膜を用いた場合、MOS 界面準位密度 (D_{it}) の低減には酸素雰囲気下の高温アニールが必須との指摘がある [1,2]。これは界面近傍の酸素欠損を取り除くことの重要性を強く示唆する。しかし、高温での過剰な酸化処理は Ga_2O_3 エピタキシャル基板内部の酸素欠損も取り除き、結果として、キャリア濃度が大きく減少させる効果があることも知られる [2,3]。そこで、低温での基板表面の選択的な酸化処理を加えれば、高温での酸化に頼らずに MOS 界面特性を向上させることが期待される。実際、既に我々は、原子層堆積(ALD)前に、 O_3 で Ga_2O_3 基板表面の酸化処理を 300°C にて行うだけで D_{it} の低減を実証している [4]。ALD 法は製膜時に異なる酸化剤を用いることで界面酸化の強さを調整できる。そこで、ALD- Al_2O_3 を絶縁膜とした場合の、ALD 製膜時の酸化剤の種類(O_3 , H_2O)による D_{it} の低減効果を検討した。

【実験方法】 n 型エピタキシャル膜($N_D \sim 1 \times 10^{16} \text{ cm}^{-3}$)を有する $\beta\text{-Ga}_2O_3$ (001) 基板を HF で洗浄後、ALD 法を用いて酸化剤を試料(A): O_3 、試料(B): H_2O として Al_2O_3 ゲート絶縁膜をそれぞれ 10~15 nm 製膜した。比較として、(C) O_3 を用いて 20 分間酸化処理の後、 $H_2O\text{-}Al_2O_3$ 膜を 20 nm 成膜した。 O_2 雰囲気下、 600°C で 5 分間成膜後アニール(PDA)を実施した後、表面に Au, 裏面に Ti/Au を蒸着し、MOS キャパシタを形成した。これら三種類の試料についての構造を

Fig.1 に示す。

【実験結果・考察】試料(A)の C-V 特性を Fig.2(a)に示す。 O_3 を酸化剤として用いることで、 H_2O の場合(試料(B))と比較してヒステリシスが抑制され、これは、酸化力が H_2O より強い O_3 を用いることで、界面近傍での酸素欠損の低減に有利であるためと考えられる。続いて、各試料の D_{it} を Conductance 法により評価した結果を Fig. 2(b)に示す。試料(B)と比較して試料(A)はどのエネルギー準位においても、約 2 桁の低減が観察された。また、表面酸化処理を施した試料(C)と比較しても、伝導帯端(E_C)から 0.3 eV 付近において約 1 桁低く、 $D_{it} \sim 2 \times 10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$ を達成した。一方で、試料(A)では V_{FB} の正方向への大きなシフトが観察され、絶縁膜中の電子捕獲が示唆された。これは今回用いた O_3 を酸化剤として製膜した ALD 膜質の問題であり、製膜条件の最適化により抑制されるものと考えられる。以上より、まだ製膜条件の最適化は必要であるものの、ALD 製膜時に酸化を十分に行うために O_3 を酸化剤として適用することで、低温 PDA (600°C) でも MOS 界面準位の低減が可能であることが示された。

【謝辞】この成果の一部は、NEDO (国立研究開発法人新エネルギー・産業技術総合開発機構) の委託業務 (JPNP22007) の結果得られたものです。

[1] K. Kita et al., ECS Trans. 92, 59 (2019).

[2] T. Kobayashi Appl. Phys. Lett. 126, 012108 (2025).

[3] A. Kuramata et al., Jpn. J. Appl. Phys. 55, 1202A2 (2016).

[4] 前川 他, 第 72 回応用物理学会春季学術講演会, 15a-K403-7 (2025)

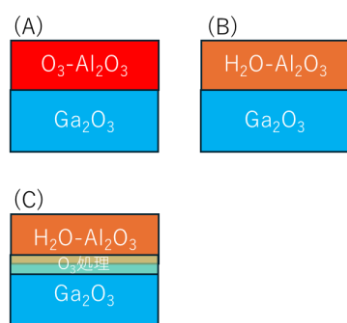


Fig.1 Schematic of $\beta\text{-Ga}_2O_3$ MOS capacitor for sample (A), (B) and (C).

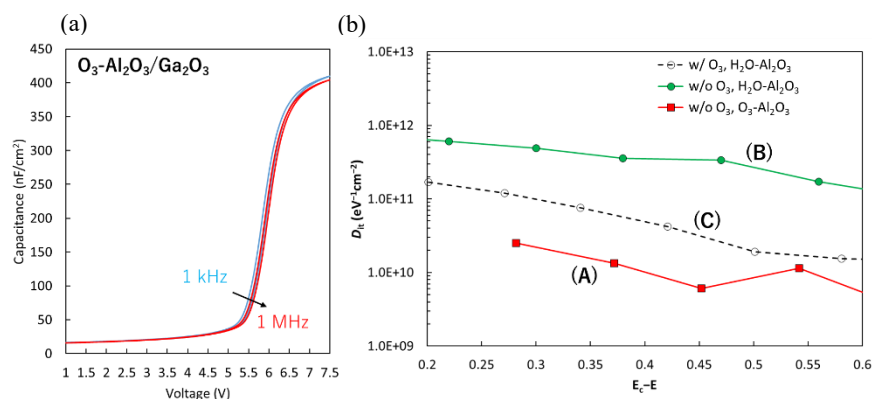


Fig. 2(a) C-V characteristics of (A) $O_3\text{-}Al_2O_3/\beta\text{-Ga}_2O_3$ MOS. (b) Energy distribution of D_{it} for sample (A), (B) and (C)

SiO₂/β-Ga₂O₃ 構造への熱処理が界面特性と基板ドナー密度に及ぼす影響

Effect of annealing on MOS interface properties and donor density of SiO₂/β-Ga₂O₃ stacks

阪大院工, °森田拓実, 小林拓真, 前田兼成, 原征大, 渡部平司

UOsaka, °Takumi Morita, Takuma Kobayashi, Kensei Maeda, Masahiro Hara, and Heiji Watanabe

E-mail: morita@ade.prec.eng.osaka-u.ac.jp

【はじめに】β-Ga₂O₃は広いバンドギャップ(4.9 eV)と高い絶縁破壊電界(8 MVcm⁻¹)を有することから、次世代パワー半導体材料として注目されている。しかし、伝導帯オフセットや熱耐性の観点で優位性のある SiO₂をゲート絶縁膜として用いた SiO₂/β-Ga₂O₃ MOS 構造に関する報告例は限られている[1,2]。一般に MOS 構造の欠陥低減には絶縁膜堆積後熱処理(PDA)が有効であるが、Ga₂O₃の場合は材料自体の不安定性に注意が必要である。例えば酸素熱処理は SiO₂/Ga₂O₃ MOS 構造の特性向上に有効であるが[1]、Ga₂O₃中のドナー密度(N_D)を低下させる[2]。そこで本研究では、異なる雰囲気及び温度条件での PDA が Ga₂O₃の MOS 界面特性と N_D 値に与える影響を調べた。

【実験および結果】本研究では、n型β-Ga₂O₃エピ層(N_D : 1×10^{16} cm⁻³)をウェット洗浄後、プラズマ CVD 法により SiO₂膜を約 40 nm 成膜した。その後、酸素あるいは Ar 熱処理、もしくはこれらを組み合わせた熱処理を施した。最後にゲート Ni 電極および裏面 Al 電極を真空蒸着することで MOS キャパシタを作製した。以降では試料を PDA 雰囲気および温度の組み合わせで表記する(例、O₂-1000°C)。まず、図 1 に 1 MHz で取得した MOS 構造の双方向 C-V 特性を示す。as-depo.では電子捕獲に伴う大きなヒステリシスが見られるが、PDA により大幅に改善することが見て取れる。一方で、熱処理条件によっては最小容量(C_{min})が変動することが分かる。具体的には、O₂-1000°C 試料では C_{min} が減少するが、Ar-1200°C 試料では逆に C_{min} が大幅に増加する。一方、O₂-1000°C→Ar-1000°C 試料では as-depo.試料と同等の C_{min} となっている。これらは熱処理による Ga₂O₃中の N_D 値の変化を示唆する[2]。実際に、図 2 に C-V 特性の空乏領域から評価した Ga₂O₃中の平均 N_D 値の熱処理条件依存性を示す。1000°C 以下の温度域において、酸素熱処理はドナー濃度を低下させる一方、Ar 熱処理では初期 N_D 値が維持される。さらに酸素熱処理後に Ar 熱処理を行うと N_D が回復する傾向が見て取れる。一方、1200°C まで温度を上げると、熱処理の雰囲気によらず N_D の大幅な増加が見られた。以上の結果から、O₂-1000°C→Ar-1000°C の条件では、結晶成長直後の Ga₂O₃中の N_D 値を維持できることがわかった。さらに図 3 に High(1 MHz)-low 法により算出した界面準位密度(D_{it})のエネルギー分布を示す。特に初期 N_D 値を維持可能な O₂-1000°C→Ar-1000°C 熱処理により、伝導帯近傍で $D_{it} = 1.0 \times 10^{11}$ eV⁻¹cm⁻²以下の高品質界面を実現できた。講演当日は、熱処理による Ga₂O₃中のドナー濃度の変動要因と高品質 MOS 界面特性の形成戦略について議論する。

【謝辞】本研究の成果は、NEDO(国立研究開発法人新エネルギー・産業技術総合開発機構)の委託業務(JPNP22007)の結果得られたものです。

[1] K. Kita et al., ECS Transactions **92**, 59 (2019).

[2] T. Kobayashi et al., Appl. Phys. Lett. **126**, 012108 (2025).

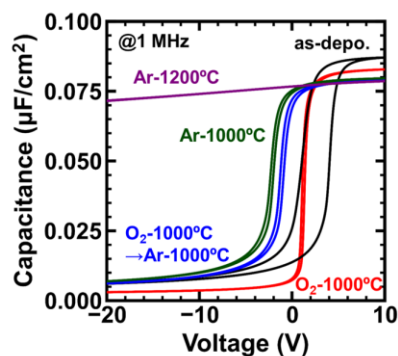


Fig. 1 Bidirectional C-V characteristics of Ga₂O₃ MOS capacitors measured at a probe frequency of 1 MHz.

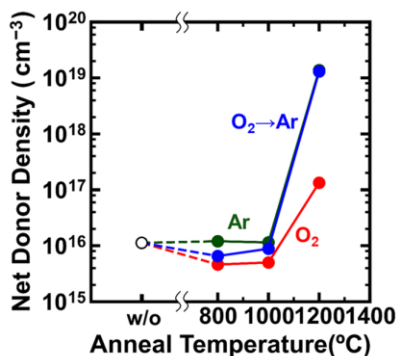


Fig. 2 Average of net donor density in Ga₂O₃ evaluated from the C-V characteristics of MOS capacitors.

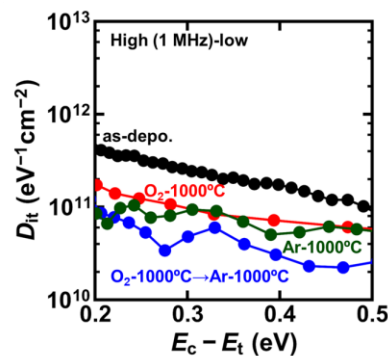


Fig. 3 D_{it} distributions of SiO₂/β-Ga₂O₃ MOS capacitors evaluated by a high(1 MHz)-low method.

加熱イオン注入による高濃度 Si ドープ n -Ga₂O₃ のホール測定

Hall Measurement of Highly Si-Doped n -Ga₂O₃ by Hot Ion Implantation

大阪公立大院工¹, 日新イオン機器², 日新電機³, 情通機構⁴ ○(M2) 八木 虎太郎¹, 松尾 大輔²,
金野 舜², 臼井 洸佑², 安東 靖典³, 田中 浩平², 東脇 正高^{1,4}

Osaka Metropolitan Univ.¹, Nissin Ion Equipment², Nissin Electric³, NICT⁴

○Kotaro Yagi¹, Daisuke Matsuo², Shun Konno², Kosuke Usui², Yasunori Andoh³, Kohei Tanaka²,
Masataka Higashiwaki^{1,4}

E-mail: sj24957i@st.omu.ac.jp

Ga₂O₃ への Si イオン注入プロセスに関して現在までに様々な報告がなされており、ドーパント活性化率は、注入後のアニール温度、時間、雰囲気に影響されることが確認されている [1-3]。我々は、Si > 1 × 10²⁰ cm⁻³ の高濃度ドーピング条件における加熱注入の有効性を確認した [4, 5]。本研究では、Ga₂O₃ に Si イオン加熱注入を行ったサンプルに対し van der Pauw 法による室温ホール測定を行い、電子濃度 (n) および移動度 (μ) を評価した。

半絶縁 Fe ドープ Ga₂O₃ (010) 基板の上に、厚さ 200 nm のノンドープ Ga₂O₃ 薄膜を分子線エビタキシー (MBE) 成長し、得られた Ga₂O₃ 薄膜に基板温度 300°C で Si イオン注入を行った。注入濃度は Si = 5 × 10¹⁹, 1 × 10²⁰, 2 × 10²⁰, 4 × 10²⁰, 8 × 10²⁰ cm⁻³ の 5 条件とし、表面から深さ 150 nm のボックスプロファイルを形成した。注入後、N₂ ガス雰囲気中、925°C で 20 分間活性化アニールを実施した。基板は 10 mm × 15 mm の長方形のため、BCl₃ RIE により 10 mm 角のメサ領域を形成し、四隅に Ti/Au オーミック電極を作製した。作製したサンプル構造の断面模式図を Fig. 1 に示す。

室温ホール測定により得られた n , μ の Si 濃度依存性を、それぞれ Fig. 2(a), (b) に示す。Si = 5 × 10¹⁹, 1 × 10²⁰, 2 × 10²⁰ cm⁻³ のサンプルでは、注入した Si のほぼ 100% がドナーとして活性化している。一方、Si = 4 × 10²⁰, 8 × 10²⁰ cm⁻³ では、それぞれ活性化率が 42, 20% となった。その結果、Fig. 2(a) に示すように $n \sim 2 \times 10^{20}$ cm⁻³ で飽和している。また、Si = 2 × 10²⁰ cm⁻³ のサンプルにおいて μ 最大値 68 cm²/Vs が得られた。これは、 $n > 10^{20}$ cm⁻³ の n -Ga₂O₃ としては非常に高い値である。以上の結果から、加熱イオン注入プロセスの超高濃度 Si ドーピングにおける有効性が確認された。

本研究は、総務省 ICT 重点技術の研究開発プロジェクト (JPMI00316) 「次世代省エネ型デバイス関連技術の開発・実証事業 (第二期) (環境省連携事業)」の委託を受け実施したものである。

[1] K. Sasaki *et al.*, Appl. Phys. Express **6**, 086502 (2013), [2] A. Sarder *et al.*, Appl. Phys. Lett. **121**, 262101 (2022), [3] K. R. Gann *et al.*, J. Appl. Phys. **135**, 015302 (2024), [4] 金野他, 第 72 回応用物理学会春季学術講演会, 15a-K403-3 (2025), [5] 八木他, 第 72 回応用物理学会春季学術講演会, 15a-K403-3 (2025).

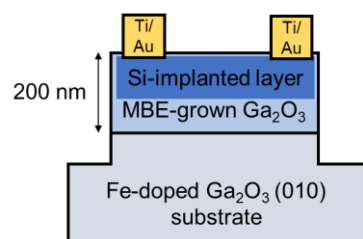


Fig. 1 Cross-sectional schematic of sample structure used for Hall measurement.

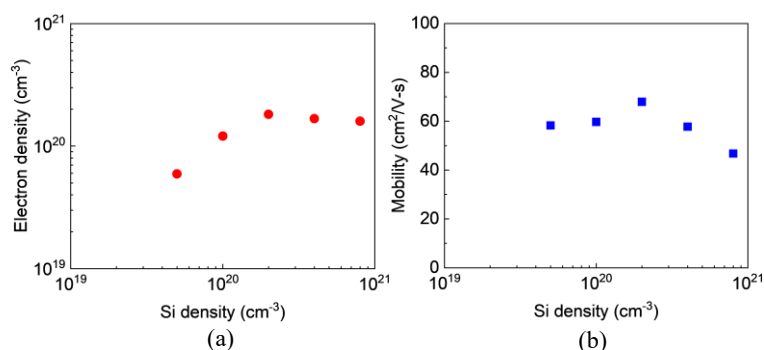


Fig. 2 (a) n and (b) μ as a function of implanted Si density.

β -Ga₂O₃ MPS ダイオードに向けた NiO 膜の酸素分圧制御

Controlling the oxygen partial pressure of NiO films for β -Ga₂O₃ MPS diodes

筑波大¹, USPN², °(M1) 佐々木 結衣¹, 奥村 宏典¹, Aboulaye Traore²,

Yun Jia¹, 中野 晃汰¹, 櫻井 岳暁¹

Tsukuba Univ.¹, USPN², °Yui Sasaki¹, Hironori Okumura¹, Aboulaye Traore²,

Yun Jia¹, Kota Nakano¹, Takeaki Sakurai¹

E-mail: s2520299@u.tsukuba.ac.jp

β -Ga₂O₃ は、高い絶縁破壊電界強度と融液バルク成長が可能であることから、低価格パワー素子用材料として着目されている。 β -Ga₂O₃ は P 型化が困難であるため、バンドギャップが比較的大きい P 型酸化物半導体 NiO に着目した。NiO は、成膜条件によって物性が大きく変化する。NiO/ β -Ga₂O₃ MPS ダイオード作製に向け、適切な成膜条件の検討のため、NiO 膜の物性評価と PN ダイオードを試作した。

NiO 膜の物性評価では、650 μ m 厚 Sn 添加 β -Ga₂O₃ (001)基板([Sn] = 2×10^{19} cm⁻³)上 10 μ m 厚 Si 添加 β -Ga₂O₃ 層([Si] = 2×10^{16} cm⁻³)に堆積した試料と、ガラス上に直接堆積した試料を用いた。スパッタリング法により、酸素分圧が 30 %~50 %の異なる条件で NiO を 100 nm 積んだ。PN ダイオードでは、Cold-wall MOCVD により Sn 添加 β -Ga₂O₃ (010)基板上に 10 μ m 厚無添加 Ga₂O₃ を成長した試料を用いた。 β -Ga₂O₃ には Ti/Au を、NiO には Pt を電極とした。ホール効果測定の結果から、酸素分圧の増加と共に正孔濃度が増加した。XPS 測定から、Ni³⁺の増加によるものと分かった(図 1)。NiO が、酸素過剰条件において Ni 空孔 (V_{Ni}) が形成されやすくなり[1]、電荷補償によって Ni²⁺が Ni³⁺に変化したと考えられる。酸素分圧の増加によって、試料が黒く変色した。Ni³⁺による CT 遷移が関連しており[2]、Ni³⁺の増加により黒く着色したと考えられる。酸素分圧の増大と共に透過率が低下し、光学バンドギャップが低減した。

酸素分圧を 30 %, 40 %, 50 %とした時の NiO/ β -Ga₂O₃ PN ダイオードの電流-電圧特性を図 2 に示す。酸素分圧 40 %で最も高い電流値が得られた。酸素分圧 30 %では正孔濃度が小さく、電流が小さくなったと考えられる。酸素分圧 50 %では Ni³⁺過剰により結晶構造の乱れが大きくなったと考えられる。MPS ダイオードには高濃度 p 層が求められることから、今回の条件では酸素分圧 40%が最適と言える。

[1] S. Lany, *et al.*: PRB **75**, 241203 (2007). [2] 小野瑞生ら, 第 64 回応物春季講演会 16-024.

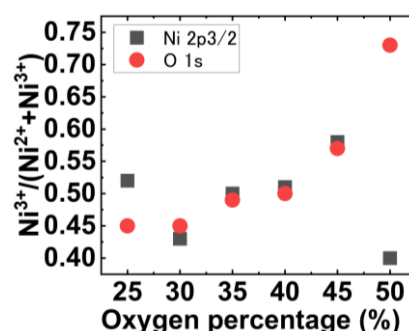


Fig. 1. Ni³⁺/Ni²⁺ ratio in NiO films

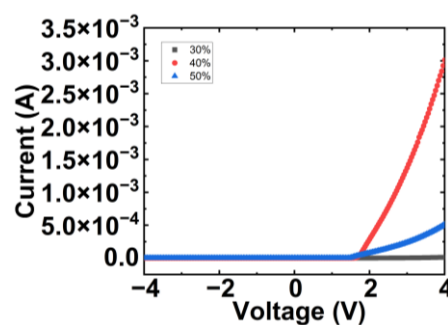


Fig. 2. I-V characteristics

量子技術への応用に向けた β -Ga₂O₃ 中炭素-空孔ペアの第一原理計算Ab initio calculations of carbon-vacancy pairs in β -Ga₂O₃ for quantum applications

阪大工・院工 °山田 亮太(B4), 岩本 蒼典, 原 征大, 渡部 平司, 小林 拓真

UOsaka, °Ryota Yamada, Sosuke Iwamoto, Masahiro Hara, Heiji Watanabe, and Takuma Kobayashi

Email: yamada@ade.prec.eng.osaka-u.ac.jp

【はじめに】半導体中の点欠陥は、スピン量子ビットや単一光子源として利用可能であり、量子技術への応用が期待されている。最も研究されているのはダイヤモンド中の NV センター[1]であるが、その他のワイドギャップ半導体を含めた量子欠陥の探索は未だ不十分である。我々はこれまで、計算科学のアプローチに基づき、4H-SiC 中の多数の不純物-空孔ペアが量子技術応用に有望であることを示してきた[2]。本研究では、高品質な単結晶基板が入手可能であり、近年パワーデバイス応用に向けた研究開発が加速している β -Ga₂O₃ を対象としている。まずは量子欠陥の一例として β -Ga₂O₃ の炭素-空孔ペアを取り上げ、その安定性と電子物性、光学特性についての議論を行う。

【計算方法と結果】計算には VASP コード[3]を用いた。交換相関汎関数には HSE 汎関数[4]を用い、 β -Ga₂O₃ のバンドギャップを再現するために混合パラメータを 0.35 と設定した。160 原子 β -Ga₂O₃ スーパーセル中に欠陥を導入し、帯電した欠陥の形成エネルギー計算では点電荷補正を適用した。炭素関連欠陥として、C_{Ga1}、C_{O1}、C_{Ga1}V_{O1}、C_{O1}V_{Ga1} に対する構造緩和計算を実施した。ここで、添え字の 1 は β -Ga₂O₃ 中の区別できる格子サイトの 1 つに対応し、論文[5]に倣って番号を割り当てている。Fig. 1 に炭素関連欠陥と V_{O1}、V_{Ga1} の形成エネルギーを示す。ここで、V_{Ga1} は p 型条件で $q=+1$ の荷電状態をとり、総スピン $S=1$ をとるが[5]、Ga₂O₃ は本質的に p 型化が困難であるため、量子欠陥としての実現可能性が低い。それに対し、今回調査した欠陥の中で、C_{O1}V_{Ga1} はフェルミ準位がミッドギャップ近傍に位置する $q=-1$ の荷電状態で $S=1$ となった。Fig. 2 に C_{Ga1}V_{O1} と C_{O1}V_{Ga1} の結合エネルギーを示しているが、ミッドギャップ近傍のフェルミ準位条件で C_{O1}V_{Ga1} の結合エネルギーは C_{Ga1}V_{O1} よりも高く、形成頻度が高いと期待できる。Fig. 3 に C_{O1}V_{Ga1}¹⁻ の一電子準位を示す。バンドギャップ中に欠陥由来の HOMO-LUMO 軌道が確認され、軌道間の遷移に伴う発光が期待できる。実際に遷移双極子モーメントの計算により輻射寿命を算出したところ、70 ns となり、許容遷移であることを確認している。講演当日は Si を含む他の不純物-空孔ペアも取り上げ、量子技術への応用可能性について議論を行う。

【謝辞】本研究成果は、大阪大学 D3 センターの SQUID を利用して得られた。

【参考文献】[1] A. Gruber *et al.*, Science **276**, 1212 (1997). [2] 岩本他, 第 85 回応用物理学会秋季学術講演会, 19p-C41-12 (2024). [3] G. Kresse and J. Furthmüller, Phys. Rev. B **54**, 11169 (1996). [4] J. Heyd *et al.*, J. Chem. Phys. **118**, 8207 (2003). [5] J. B. Verley *et al.*, Appl. Phys. Lett. **97**, 142106 (2010).

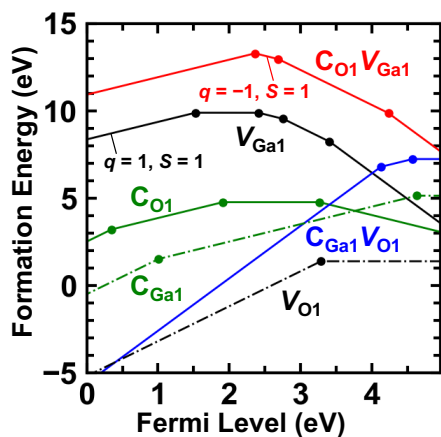


Fig. 1 Formation energies of vacancies (V_{Ga1} and V_{O1}) and carbon-related defects (C_{Ga1} , C_{O1} , $C_{\text{Ga1}}V_{\text{O1}}$, and $C_{\text{O1}}V_{\text{Ga1}}$) in β -Ga₂O₃.

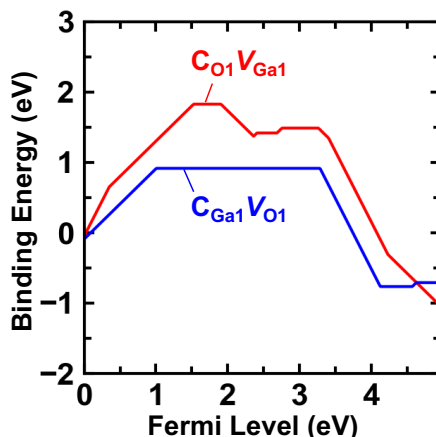


Fig. 2 Binding energies of $C_{\text{Ga1}}V_{\text{O1}}$ and $C_{\text{O1}}V_{\text{Ga1}}$ defects.

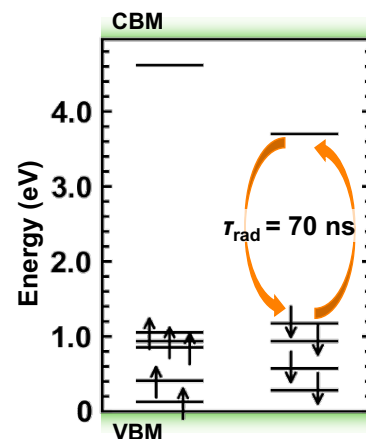


Fig. 3 Single particle energy levels of $C_{\text{O1}}V_{\text{Ga1}}^{1-}$.

r-GeO₂ 薄膜の 4H-SiC 基板上への結晶成長

Crystal growth of r-GeO₂ thin film on 4H-SiC substrate using buffer layer

Patentix 株式会社¹, 立命館大理工², 立命館大総研³,

°矢倉 藤也^{1,2}, 清水 悠吏¹, 工藤 昭吉¹, 衣斐 豊祐¹, 松田 慎平¹, 金子 健太郎^{1,3}

Patentix Inc.¹, Col. of Sci. & Eng. Ritsumeikan Univ.², ROST Ritsumeikan Univ.³

°Toya Yagura^{1,2}, Yuri Shimizu¹, Akiyoshi Kudo¹, Toyosuke Ibi¹, Shinpei Matsuda¹, Kentaro Kaneko^{1,3}

E-mail: t.yagura@patentix.co.jp

ルチル構造二酸化ゲルマニウム(r-GeO₂)は、巨大なバンドギャップ(4.74eV)をもち^[1]、ドーピングによる p 型・n 型の電気伝導制御が可能であることが理論的に予測されている^[2]。そのため、Normally-off 型 MOSFET などの汎用的な電力素子への応用が可能であるため注目されている。しかし、汎用基板であるサファイアは熱伝導率に課題があり^[3]、r-TiO₂ 基板は大面積化が困難である^[4]。そこで、熱伝導率に優れ大口径基板が容易に入手可能な 4H-SiC に着目した。しかしながら、結晶構造が異なる 4H-SiC 上への r-GeO₂ の成長は困難であり、バッファ層の導入が重要となるため、同じルチル構造をもつ r-SnO₂ との混晶である r-(Sn,Ge)O₂^[5]をバッファ層に用いて r-GeO₂ の成長を行った。

成長手法として、r-GeO₂ 成長に適している酸素分圧の高い成長法である大気圧 CVD 法を用いて行った^[6]。図 1 に示す模式図のように、r-SnO₂、r-(Sn,Ge)O₂、r-GeO₂ を順に 4H-SiC 基板上へ成長させた。r-(Sn,Ge)O₂ 層は、r-SnO₂ と r-GeO₂ 間の a 軸で約 7%、c 軸で約 10%の格子ミスマッチを緩和するために成長している。図 2 に X 線回折測定(XRD) 2θ/ω スキャンプロファイルを示す。低角側から 4H-SiC(004) 面、r-SnO₂(200) 面、r-(Sn,Ge)O₂(200) 面、r-GeO₂(200)面に由来する 4 つの結晶ピークが確認でき、r-GeO₂ を 4H-SiC 基板上に製膜する事が出来た。また、応力を考慮せずにベガード則から r-(Sn,Ge)O₂ の Sn 組成を算出すると約 55%であり、4H-SiC 基板直上の r-SnO₂ 薄膜と r-GeO₂ のおよそ中間の混晶比であった。

[1] H. Takane, *et al.*, APL. 125, 212102 (2024).

[2] S. Chae *et al.*, APL. 114, 102104 (2019).

[3] S. Chae, *et al.*, APL. 117, 072105 (2020).

[4] H. Takane *et al.*, APL. 119, 062104 (2021).

[5] H. Takane *et al.*, PRM. 6, 084604 (2022).

[6] T. Yagura, *et al.*, IEEE Xplore 2024 IEEE CPMT Symposium Japan (ICSJ) pp.240-243 (2024).

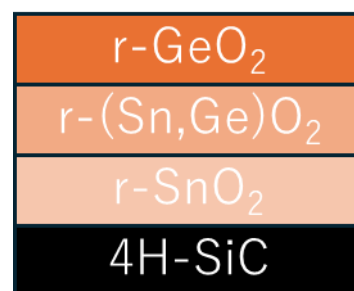


Fig.1 A schematic image of sample structure.

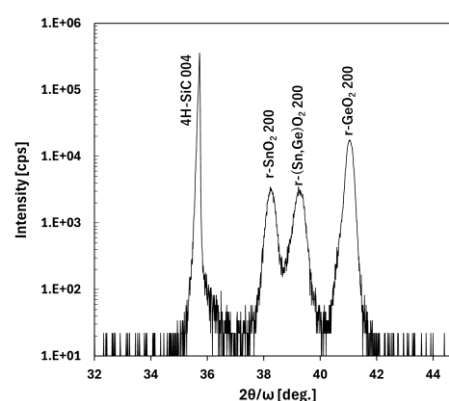


Fig.2. XRD 2θ/ω scanning profile of r-GeO₂ thin film grown on r-(Sn,Ge)O₂ buffer layers and 4H-SiC substrate.

イオン注入プロセスを用いた ルチル構造二酸化ゲルマニウム(r-GeO₂)の特性評価

Characterization of rutile-type GeO₂ using ion implantation process.

清水悠吏¹, 河野愛¹, 衣斐豊祐¹ 松田慎平¹, 金子健太郎^{1,2}

Patentix 株式会社¹, 立命館大学総合科学技術研究機構²

Y. Shimizu¹, A. Kono¹, T. Ibi¹, S. Matsuda¹, K. Kaneko^{1,2}

Patentix Inc.¹, ROST Ritsumeikan Univ.²

E-mail: y.shimizu@patentix.co.jp

GaN や SiC 以上のバンドギャップをもつウルトラワイドバンドギャップ半導体が注目されている。r-GeO₂は実測値にて 4.85~5.2 eV という巨大なバンドギャップをもち^[1]、p 型 n 型両伝導の作製が理論的に可能とされているため、normally-off 型 MOSFET などの電力変換素子への応用が期待できる^[2]。これまで r-GeO₂ は r-GeO₂ と二酸化スズ(r-SnO₂)との混晶薄膜によるショットキーバリアダイオード(SBD)や^[3]、n+ r-GeO₂ 層と n- r-GeO₂ 層の 2 層の単相膜を用いた疑似縦型ショットキーバリアダイオード(SBD)^[4]、導電性の二酸化チタン基板上に傾斜バッファ層を用いた縦型 SBD^[5]の作製が報告されている。しかしながら、n⁻ r-GeO₂ のキャリア濃度の制御が困難であるといった課題があった。そこで本研究では r-GeO₂ 単相膜に、不純物ドーピングの位置精度が高く、注入深さの制御が可能であるイオン注入プロセスを行ったため、その物性評価について報告する。

絶縁性の二酸化チタン(r-TiO₂)(001)基板上に、大気圧 CVD 法を用いて r-GeO₂ 膜の結晶成長を行った。X 線回折測定法の 2θ/ω測定より r-TiO₂(001)基板由来のピーク以外に r-GeO₂ 002 のピークを確認した。なお、r-GeO₂ 002 におけるロッキングカーブ測定における半値幅(FWHM)は 345 arcsec であり、配向性が高い薄膜であった。r-GeO₂ 膜への Sb の注入濃度は、 $1.0 \times 10^{15} / \text{cm}^3$ とし、注入エネルギーは 250 keV の条件で Sb イオン注入を行い、回復アニールを実施した。図 1 にサンプルの表面観察画像と光干渉膜厚計による膜厚の分布を示す。注入前後での膜厚分布に大きな変化は見られなかった。発表当日は、詳細な電気特性評価と構造評価結果について言及する予定である。[1] Z. Galazka, et al. Phys. Status Solidi B 2400326(2024).[2] S. Chae, et al. Appl. Phys. Lett. 114, 102104 (2019).[3] H.Takane, et al. Appl. Phys. Express 17,011008 (2024).[4] 清水悠吏 他, 第 72 回応用物理学会春学期学術講演会, 15a-K403-11(2025) [5] K.Kanegae, et al. Appl. Phys. Express 18, 041001 (2025).

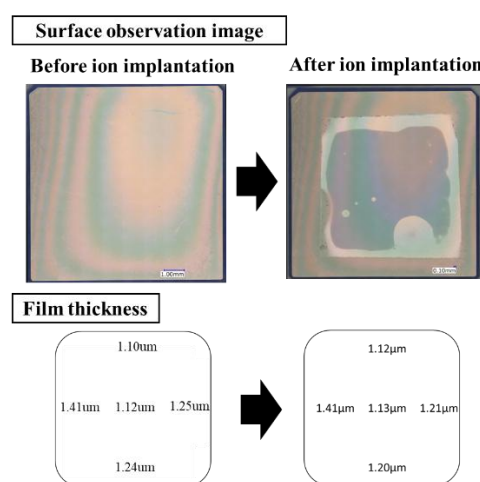


Fig.1 Surface images and thickness distribution of r-GeO₂ thin films on r-TiO₂ substrates before and after ion implantation.

r-GeO₂ バルク結晶の物性評価

Evaluation of physical properties of r-GeO₂ bulk crystals

川西健太郎¹, 清水悠吏¹, 衣斐豊祐¹, 松田慎平¹, 金子健太郎^{1,2}

Patentix 株式会社¹, 立命館大学総合科学技術研究機構²

K. Kawanishi¹, Y. Shimizu¹, T. Ibi¹, S. Matsuda¹, K. Kaneko^{1,2}

Patentix Inc.¹, ROST Ritsumeikan Univ²

E-mail: k.kawanishi@patentix.co.jp

ルチル型二酸化ゲルマニウム(r-GeO₂)は、理論的に 4.44 ~ 4.68 eV の直接バンドギャップをもつと予測され^{[1][2]}、実測では 4.85 ~ 5.2 eV の報告もある^[3]。また、p 型 n 型の両伝導性が理論的に予測されている^[2]ため、Normally-off 型の MOSFET 等重要なパワー半導体デバイスへの応用が期待される。

デバイスの高性能化のためには、転位密度を低減できる材料が同じ基板と薄膜のホモエピタキシャル成長を用いたデバイスが最も有効な手段である。しかし、r-GeO₂ バルク結晶は融液成長が困難である。GeO₂ の高温安定相はβ-石英型で、r-GeO₂ は低温領域で結晶化した場合の安定相であり、β-石英型から r-GeO₂ に転位させるためには添加物を加え融点を下げる必要があるからである^[4]。現在、Flux 法と Top Seeded Solution Growth(TSSG)法といった溶液法で作製する方法が研究されており、結晶サイズはそれぞれ 5 mm、50 mm 程度のものが得られているという報告がある^{[2][5]}。本研究ではFlux法で作製したr-GeO₂のバルク結晶に対し構造評価などの物性評価を行ったので報告する。

図 1 は当研究グループで作製した r-GeO₂ の結晶である。表面に Flux が残留した様子が確認され、また成長方向に対して平行に成長していた。図 2 に粉末 X 線回折法による測定結果を示す。ほとんどのピークが r-GeO₂ に由来するものであったが、一部で r-GeO₂ に由来していない回折ピークが確認された。これらの回折ピークは Flux 材料と GeO₂ の混晶物のピークであると思われる。また、結晶側面のファセット面を X 線回折測定法で構造評価を行ったところ(110)面であることがわかった。(110)面に対しビッカース硬度測定を行ない、r-GeO₂ (110) 面は 1610 HV であることがわかった。1610 HV は Si より硬く、SiC より柔らかいことを示している。

発表当日は、r-GeO₂(110)面の物性(透過率、ヤング率、熱膨張係数等)について言及する予定である。

[1] K. A. Mengle, *et al.* Appl. Phys. Lett. 126, 085703 (2019).

[2] S. Chas, *et al.* Appl. Phys. Lett. 114, 1021104(2019)

[3] Z. Galazka, *et al.* Phys. Status Solidi B 2400326(2024)

[4] 功刀 雅長, 日本材料学会, 22, 235(1973)

[5] S. Chae, *et al.* J. Vac. Sci. Technol. A 40, 050401(2022)



Fig.1 A photograph of r-GeO₂ bulk crystal grown by Flux method.

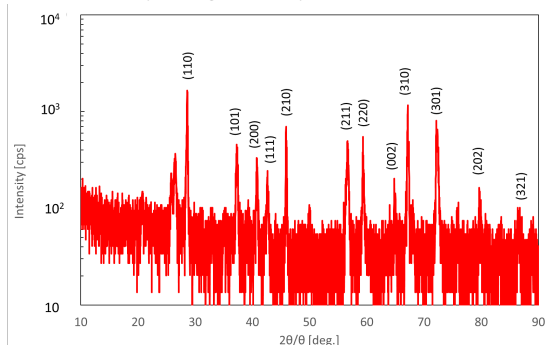


Fig.2 X-ray diffraction profile of r-GeO₂ bulk crystal.

13 Semiconductors | Oral presentation : 13.7 Compound and power devices, process technology and characterization

[8a-N322-1~9] 13.7 Compound and power devices, process technology and characterization

[8a-N322-1]

High-Speed 3D Imaging of Laser-Induced Strain in a GaN Free-Standing Substrate by Stimulated Raman Scattering Microscopy

○Yusuke Wakamoto¹, Shun Takahashi¹, Atsushi Tanaka², Takuya Maeda¹, Yasuyuki Ozeki¹ (1.UTokyo, 2.Nagoya Univ.)

[8a-N322-2]

Determination of band splitting and hole effective mass of valence band of GaN by angle-resolved photoemission spectroscopy

○AKihira Munakata¹, Seishu Arikawa¹, Yoshinori Nakagawa², Masaki Kobayashi¹ (1.Univ. of Tokyo, 2.Nichia Corporation)

[8a-N322-3]

Characterization of traps in quartz-free hydride vapor phase epitaxy-grown high-purity n-type GaN by capacitance transient spectroscopy

○Yusuke Hirayama¹, Masahiro Horita^{1,2}, Jun Suda^{1,2}, Shota Kaneki³, Hajime Fujikura³ (1.Nagoya Univ., 2.Nagoya Univ. IMaSS, 3.Sumitomo Chemical)

[8a-N322-4]

Effect of GaO_x interfacial layer on barrier heights of n-type GaN Schottky junctions

○Ryo Sakai¹, Masahiro Hara¹, Mikito Nozaki¹, Takuma Kobayashi¹, Heiji Watanabe¹ (1.UOsaka)

[8a-N322-5]

Investigation of *I*-*V* Characteristics of GaN Needle-Contact Schottky Barrier Diodes

○Riku Ando¹, Ryota Akaike^{1,2}, Hiroki Yasunaga^{2,3}, Takao Nakamura^{1,2}, Yoriko Suda⁴, Narihiko Maeda⁴, Hideto Miyake^{1,2} (1.Grad. Sch. of Eng. Mie Univ., 2.IC-SDF, 3.ORIP, 4.Tokyo Univ. of Technology)

[8a-N322-6]

Characterization of Interface Properties in Al₂O₃/n-GaN MOS Structures with Mist-CVD Fabricated Al₂O₃ Thin Film

○Hadirah Radzuan¹, Ryota Ochi², Yusui Nakamura¹, Takemoto Sato², Zenji Yatabe¹ (1.Kumamoto Univ., 2.Hokkaido Univ.)

[8a-N322-7]

Reduction of hole traps in SiO₂/GaN MOS structures with a thin Mg-based interlayer

○Yuichi Sakagami¹, Masahiro Hara¹, Mikito Nozaki¹, Takuma Kobayashi¹, Heiji Watanabe¹ (1.Osaka Univ.)

[8a-N322-8]

Reduction of hole traps near SiO₂/p-GaN MOS interfaces by high-pressure oxygen annealing

○Masahiro Hara¹, Mikito Nozaki¹, Takuma Kobayashi¹, Heiji Watanabe¹ (1.UOsaka)

[8a-N322-9]

All Ion-implanted Vertical GaN Planar-Gate MOSFETs Fabricated on 4-inch Substrates

○Nao Suganuma¹, Katsunori Ueno¹, Ryo Tanaka¹, Tsurugi Kondo¹, Hirohisa Hirai², Akira Nakajima², Shinsuke Harada², Shinya Takashima¹ (1.Fuji Electric, 2.AIST)

誘導ラマン散乱顕微法による GaN 自立基板中レーザー誘起歪みの高速三次元イメージング High-Speed 3D Imaging of Laser-Induced Strain in a GaN Free-Standing Substrate by Stimulated Raman Scattering Microscopy

○若本裕介¹, 高橋俊¹, 田中敦之², 前田拓也¹, 小関泰之¹

東京大学¹, 名古屋大学²

Y. Wakamoto¹, S. Takahashi¹, A. Tanaka², T. Maeda¹, Y. Ozeki¹

The University of Tokyo¹, Nagoya University²

E-mail: wakamoto@wbg.t.u-tokyo.ac.jp

GaN 自立基板のレーザースライス技術は、基板上に作製したデバイスを薄く切り出し残った基板の再利用を可能にすることで、GaN デバイスの低コスト化に貢献する技術として期待されている[1, 2]。基板の再利用効率を高めるためには、基板への損傷を抑えたスライス技術の確立が不可欠であり、レーザー照射部周辺に生じる内部歪み応力の評価が求められている。ラマン散乱測定は格子振動の周波数シフトから内部歪み応力を非破壊・非接触で評価することが可能な手法である。しかしラマン信号は非常に微弱であるため、イメージングには膨大な時間を要することが問題であった。この問題に対し誘導ラマン散乱(SRS)顕微法は、ポンプ光とストークス光を同時入射してストークス光の誘導放出を起こすことにより信号を増大させ、高速イメージングを可能にした[3]。本研究では、SRS 顕微法を用いて GaN 自立基板へのレーザー照射により生じた内部歪み応力の高速三次元イメージングに成功したので報告する。

SRS に必要な 2 色のピコ秒光パルスとして、波長 795 nm のポンプ光と波長 832–836 nm の波長可変ストークス光を使用し[4]、試料面での光パワーはそれぞれ 11 mW に設定した。測定対象の GaN 自立基板には、内部のある深さの平面上において、格子状に並んだレーザー照射痕が一部に存在している。図 1 に照射領域から離れた点で測定した E_2^H モードの SRS スペクトルを示す。2 cm^{-1} ごとに SRS 信号を取得し、ガウシアンフィッティングによりピーク周波数を得た。図 2 (a)に照射面におけるピークシフトの 2D マッピング画像を示す。測定時間は約 1.5 分であった。各ピクセルに対し SRS スペクトルおよびピーク周波数を取得し、 E_2^H モードの周波数シフトを得た。白色領域は、レーザー照射時に GaN が熱分解して析出した Ga により光が透過せず信号が得られなくなった打痕部を示している。打痕部の間に注目すると、レーザーの走査方向である横方向においては負に 0.3 cm^{-1} ほどシフトし約 70 MPa の引張歪みが生じている一方、走査方向とは垂直の縦方向においては正に 0.3 cm^{-1} ほどシフトし約 70 MPa の圧縮歪みがかかっていることがわかる。図 2 (a)中の点線に沿って取得したピークシフトの深さ方向イメージングを図 2 (b)に示す。照射平面まわりでのみ約 70 MPa の圧縮歪みが生じており深さ方向においても歪み応力を評価できている。

本研究では、SRS 顕微法により GaN 自立基板中の高速三次元歪みイメージングに成功した。SRS 顕微法は半導体結晶に対する有用な評価技術である。

謝辞 本研究の一部は、JSPS 科研費(23H00271, 23KJ0729), JST-CREST(JPMJCR2331), Quantum Leap Flagship Program of MEXT (JPMXS0118067246)の助成を受けて実施された。

参考文献 [1] A. Tanaka *et al.*, *Sci. Rep.* **11**, 17949 (2021). [2] A. Tanaka *et al.*, *Sci. Rep.* **12**, 7363 (2022).

[3] Y. Ozeki *et al.*, *Nat. Photonics* **6**, 845 (2012). [4] S. Takahashi *et al.*, *Opt. Express* **33**, 3890 (2025).

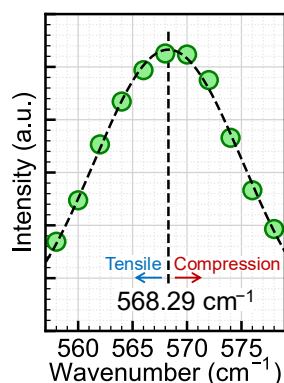


Fig. 1. SRS spectrum of the E_2^H mode of GaN at a pixel distant from the laser irradiation spots.

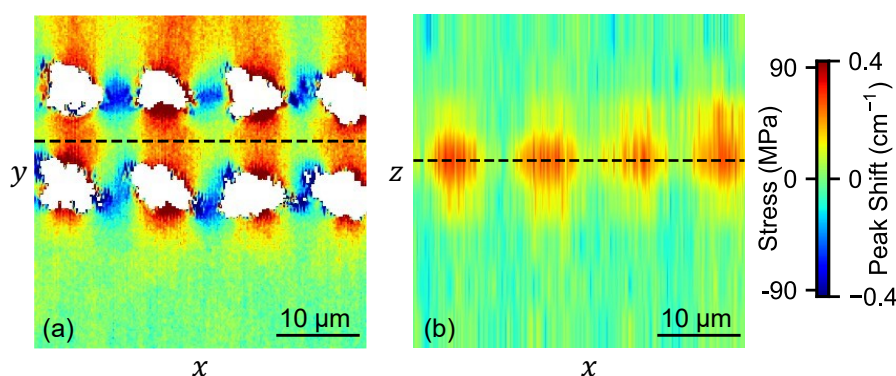


Fig. 2. (a) Top view of the SRS image showing the E_2^H peak shift around the laser irradiation spots. (b) Depth profile of the peak shift along the dashed line in (a). The dashed line in (b) shows the plane corresponding to (a).

角度分解光電子分光による GaN 価電子帯バンド分裂と正孔有効質量の決定

Determination of band splitting and hole effective mass of valence band of GaN by
angle-resolved photoemission spectroscopy

東大院工¹, 日亜化学² ○棟方 晟啓¹, 有川 世修¹, 中河義典², 小林正起¹

Univ. of Tokyo¹, Nichia Corporation²,

°Akihira Munakata¹, Seishu Arikawa¹, Yoshinori Nakagawa², and Masaki Kobayashi¹

E-mail: makki@g.ecc.u-tokyo.ac.jp

半導体のバンド構造を特徴付ける物理量(バンドパラメータ)として, バンド分裂 Δ や正孔有効質量 m^* などが挙げられる. これらのバンドパラメータは, 半導体の光学的・電気的特性に影響を及ぼすため, バンド構造を詳細に明らかにすることで, 材料の物性を深く理解することができる. ワイドギャップ半導体である窒化ガリウム(GaN)は, パワーデバイス材料として期待されており, これまで活発に研究が行われてきた. 図 1(a)は GaN のブリルアンゾーンを, 図 1(b)は GaN のバンド構造の概形を示す. GaN の価電子帯は重い正孔(HH), 軽い正孔(LH), 結晶場分裂正孔(CH)バンドの3つから構成される. GaN の価電子帯における Δ や m^* を推定するために実験や理論計算が行われてきたが, 報告された Δ や m^* の値は一致しておらず, 未だ正確な値の決定には至っていない[1-3]. 本研究では, 高分解能な角度分解光電子分光(ARPES)測定で得られた GaN の価電子帯構造から, Γ 点における各バンド間の分裂 Δ , Δ' (図 1(b))と Γ -A 方向における各バンドの正孔有効質量 m^* を実験的に決定したので報告する.

実験には, ハライド気相成長(HVPE)法で成長したSiドープ GaN 単結晶を用いた. 清浄表面を得るためサンプルは真空中で劈開しており, 劈開面は m 面である. 測定は図 1(a)の Γ -A 方向について行った. ARPES 測定は放射光を用いて, 高エネルギー加速器研究機構光子ファクトリーの BL-28 で実施した. 入射光には円偏光, 直線偏光(垂直, 水平)を用いており, それぞれ c , s , p 偏光に対応する. 測定は 10^{-8} 以下の超高真空中, 30 K で行い, エネルギー分解能は 21 meV であった.

c 偏光で測定した ARPES スペクトルでは, HH, LH, CH の 3 つのバンドが全て観測された. 表面状態は観測されておらず, ARPES スペクトルは主にバルクの電子状態を反映している. 一方, s 偏光で測定したスペクトルには HH と CH が, p 偏光で測定したスペクトルには LH と CH が観測された. 図 2 に, これらのうち s 偏光で測定した ARPES スペクトルを示す.

s 偏光(HH, CHを検出)と p 偏光(LH, CHを検出)で測定した ARPES スペクトルから Γ 点におけるエネルギー分布曲線(EDC)を抽出し, EDC の価電子帯上端付近のエネルギー差から HH と LH の間のバンド分裂 Δ を求めた. また, 各バンドを放物線でフィッティングし, 各バンドの m^* と, HH と CH の間のバンド分裂 Δ' を見積もった. 以上のように, 本研究では, 高分解能 ARPES で測定した GaN の価電子帯構造から精密なバンドパラメータを直接決定することに初めて成功した. 本研究で得られた GaN 価電子帯の Δ と m^* の値は p-GaN におけるオーミック接合が困難である理由を部分的に説明しうるものであり, また, デバイスシミュレーションに有用であると考えられる.

[1] A. Punya *et al.*, *Phys. Rev. B* **86**, 195147 (2012). [2] W. Shan *et al.*, *Phys. Rev. B* **54**, 23 (1996). [3] M. Franz *et al.*, *Phys. Rev. B* **99**, 195306 (2019).

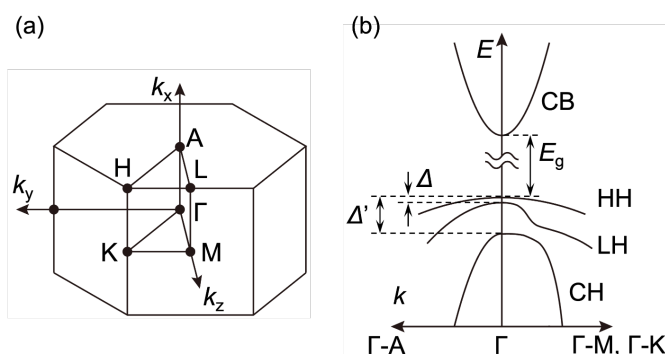


Fig. 1. Band structure of GaN. (a) Bulk Brillouin zone of GaN. (b) Schematics of band structure for GaN. CB and E_g are the conduction band and the band gap. Δ (Δ') means the band splitting between the HH and LH (HH and CH) bands at Γ point.

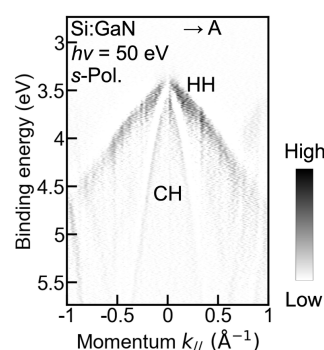


Fig. 2. The ARPES spectrum of GaN in the Γ -A symmetry line taken at $h\nu = 50$ eV with s -polarization. Energy (E)-momentum (k) plots are obtained by the second derivative ARPES image along the momentum direction.

過渡容量分光法による Quartz-free-HVPE 成長 高純度 n 型 GaN のトラップ評価

Characterization of traps in quartz-free hydride vapor phase epitaxy-grown
high-purity n-type GaN by capacitance transient spectroscopy

名大院工¹, 名大未来研², 住友化学³

○平山 祐輔¹, 堀田 昌宏^{1,2}, 須田 淳^{1,2} 金木 奨太³, 藤倉 序章³

Nagoya Univ.¹, Nagoya Univ. IMASS², Sumitomo Chemical³

○Yusuke Hirayama¹, Masahiro Horita^{1,2}, Jun Suda^{1,2}, Shota Kaneki³, Hajime Fujikura³

E-mail: hirayama.yusuke.d7@s.mail.nagoya-u.ac.jp

GaN 縦型パワーデバイスには、低ドーパかつ厚膜の n 型ドリフト層が不可欠である。HVPE 法は 100 $\mu\text{m/h}$ を超える高速成長が可能で、かつ原料にアクセプター準位を形成する炭素を含まないため、ドリフト層成長に適している。しかし、従来の HVPE 法は石英部品由来のドナー性不純物（シリコンや酸素）の混入により、低ドーパの制御が困難であった。2017 年に藤倉らは石英部品を排除した Quartz-free-HVPE (QF-HVPE)法によって残留ドナーの大幅な低減が可能であることを報告した[1]。近年、QF-HVPE 成長炉の改良の成果により、6 インチ基板への均一かつ高純度な GaN 結晶成長が実現し、室温バルク移動度は世界最高値である 1591 cm^2/Vs に達した[2]。本研究では、QF-HVPE 成長 n 型 GaN に対してショットキーバリアダイオード（SBD）を用いた過渡容量分光法による測定を行い、QF-HVPE の成長炉の改良によるトラップの変化を評価した。

n⁺型 GaN (0001)自立基板上に従来炉および改良炉を用いて QF-HVPE 法で Si ドープ GaN エピタキシャル成長を行った。容量-電圧 (C-V)測定より、従来炉および改良炉でそれぞれ $N_{\text{d,net}}$ は $1.0 \times 10^{16} \text{ cm}^{-3}$ 、 $4.7 \times 10^{14} \text{ cm}^{-3}$ であった。これらのサンプルに対し、DLTS および ODLTS 測定を用いたトラップ評価を実施した。

図 1 に DLTS 測定によって得られた電子トラップ密度を示す。改良炉で成長させた GaN では、従来炉で成長させたものと比較して、E3 が $5.2 \times 10^{12} \text{ cm}^{-3}$ と約 1/3 程度に低減している。E3 の減少は、その起源である Fe_{Ga} が減少したことを示しており、これは炉の改良によって Fe の混入が抑制された結果である。一方、Ex は改良炉で成長させた GaN で増加している。その起源については調査中である。図 2 に 390 nm の光を用いた ODLTS 測定によって得られた正孔トラップ密度を示す。改良炉で成長させた GaN では、従来炉で成長させたものと比較して、窒素サイト炭素 (C_{N}) による深いアクセプターである H1 が $5.7 \times 10^{12} \text{ cm}^{-3}$ と大幅に低減している。これも E3 と同様に炉の改良によって C の混入が抑制された結果である。二次イオン質量分析法 (SIMS)より、改良炉で成長させた GaN では $[\text{C}] < 1.0 \times 10^{14} \text{ cm}^{-3}$ であり、ODLTS 測定の結果と一致する。

この成果は、NEDO (国立研究開発法人新エネルギー・産業技術総合開発機構)の助成事業 (JPNP21005)の結果得られたものである。

[1] H. Fujikura, *et al.*, *Jpn. J. Appl. Phys.* **56**, 085503 (2017).

[2] S. Kaneki, *et al.*, *Appl. Phys. Express* **18**, 055502 (2025).

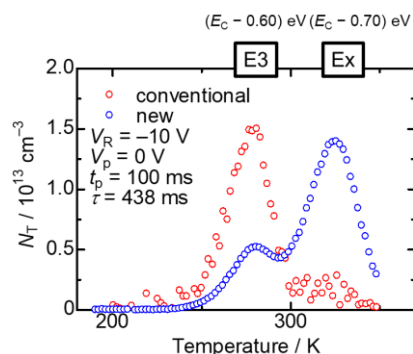


Fig.1. DLTS spectra for the QF-HVPE GaN Schottky barrier diodes.

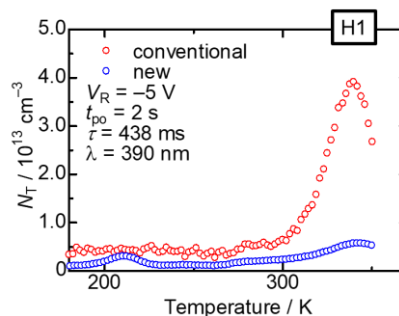


Fig.2. ODLTS spectra for the QF-HVPE GaN Schottky barrier diodes.

GaO_x 界面層挿入が n 型 GaN ショットキー接合の障壁高さに与える影響

Effect of GaO_x interfacial layer on barrier heights of n-type GaN Schottky junctions

阪大院工, °坂居 瞭, 原 征大, 野崎 幹人, 小林 拓真, 渡部 平司

UOsaka, °R. Sakai, M. Hara, M. Nozaki, T. Kobayashi, and H. Watanabe

Email: sakai@ade.prec.eng.osaka-u.ac.jp

【はじめに】金属/半導体接合の障壁高さ制御は、ショットキー障壁ダイオード(SBD)およびオーミック接合の設計において重要である。金属/Ge 界面においては、極薄の酸化層(GeO₂)を挿入することで、フェルミレベルピンングを緩和し障壁高さを制御できると知られている[1]。近年、GaN においても、大気中での熱処理により基板を酸化後に Ti 電極を形成した場合に、障壁高さが低下するという報告があるが[2]、そのメカニズムは十分に理解されていない。本研究では、n 型 GaN 基板を表面酸化後に様々なショットキー電極金属を形成することで、極薄 GaO_x 層の挿入が障壁高さに与える影響を詳細に調べた。

【実験及び結果】n 型 GaN(0001)エピ基板(ドナー濃度: $2 \times 10^{16} \text{ cm}^{-3}$)をウェット洗浄し、酸素雰囲気中で 200–800°C、30 分の熱処理を施した。表面酸化後の GaN 表面に対する X 線光電子分光分析(XPS)により、GaO_x 層の形成を評価した。その後、真空蒸着により Ni、Al、Au ショットキー電極を形成し、最後に裏面 Al 電極を蒸着することで SBD を作製した。これらの試料に対して室温で電流–電圧(I – V)測定および容量–電圧(C – V)測定を行い、障壁高さを算出した。図 1 に、XPS により得られた O 1s 内殻準位スペクトルを示す。表面酸化温度が 200°C のとき、表面酸化を施していない試料と同程度の信号強度であったのに対し、400°C 以上においては GaO_x 層の形成に伴うピーク強度の増加がみられた。図 2 に、ショットキー電極として Ni、Au を用いた SBD (表面酸化なし: w/o ox., 800°C 表面酸化: ox. 800°C)の I – V 特性を示す。全ての試料で n 値は 1.00–1.05 であり、熱電子放出(TE)理論に従う理想的な I – V 特性が得られた。Ni/GaN SBD において、表面酸化温度が 200°C のとき I – V 特性が w/o ox. 試料と一致し、400–800°C の表面酸化を施した試料では、温度によらず順方向電流が増加したことを確認した。Al/GaN SBD においても表面酸化による I – V 特性の変化が見られた一方、Au/GaN SBD では、表面酸化の有無によらず I – V 特性は変化しなかった。図 3 に、TE モデルに基づいて I – V 特性から算出した障壁高さをショットキー電極ごとに示す。Ni、Al 電極では、GaO_x 界面層の挿入により障壁高さが 0.2–0.4 eV 低下し、Ti/GaN 界面に関する先行研究[2]と同様の傾向が得られた。一方、Au 電極では、界面層の有無に関わらず障壁高さは変化しなかった。GaO_x 界面層の挿入により障壁高さが大幅に変化した Ni、Al、Ti 電極はいずれもイオン化傾向が比較的大きく、容易に酸化される一方、Au 電極はイオン化傾向が小さく酸化が生じにくい。このことから、金属/GaN ショットキー接合への極薄 GaO_x 層挿入による障壁高さの変化は、Ge 半導体などで知られるフェルミレベルピンング緩和の効果だけでなく、GaO_x 層の還元(反応層の形成)に伴う電極の仕事関数の変化の影響を強く受ける可能性が示唆された。

本研究は、文部科学省「革新的パワーエレクトロニクス創出基盤技術研究開発」事業(JPJ009777)および JSPS 科研費(25K17640)の助成を受けたものである。

[1] T. Nishimura *et al.*, *Appl. Phys. Express* **1**, 051406 (2008). [2] S. Xie *et al.*, *ACS Appl. Electron. Mater.* **7**, 2709 (2025)

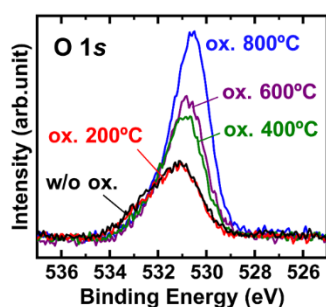


Fig. 1: O 1s spectra taken from GaN surfaces thermally oxidized at 200–800°C.

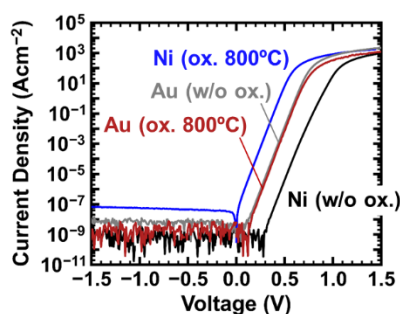


Fig. 2: Experimental current-voltage characteristics of the GaN SBDs.

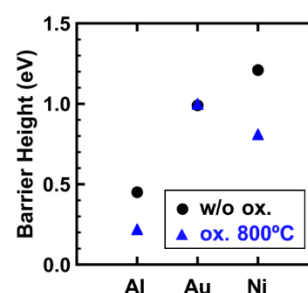


Fig. 3: Schottky barrier height of the GaN SBDs with Ni, Al, and Au Schottky electrodes.

GaN 針接触型ショットキーバリアダイオードの I - V 特性検討Investigation of I - V Characteristics of GaN Needle-Contact Schottky Barrier Diodes三重大 院工¹, 半導体・デジタル未来創造センター², 研究基盤推進機構³ 東京工科大学⁴°(D1)安藤 陸¹, 赤池 良太^{1,2}, 安永 弘樹^{2,3}, 中村 孝夫^{1,2}, 須田 順子⁴, 前田 就彦⁴, 三宅 秀人^{1,2}Grad. Sch. of Eng.¹, IC-SDF², ORIP³, Mie Univ., Tokyo Univ. of Technology⁴R. Ando¹, R. Akaike^{1,2}, H. Yasunaga^{2,3}, T. Nakamura^{1,2}, Y. Suda², N. Maeda², H. Miyake^{1,2}

E-mail: 425d001@m.mie-u.ac.jp

近年エネルギーの有効利用等の観点からレクテナ等の小電力技術が注目されており、低しきい値電圧(V_{th})なショットキーバリアダイオード(SBD)が必要不可欠である。針接触型の Ge SBD と一般的な接合型 Ge SBD の I - V 特性を比較した結果、針接触型 Ge SBD の V_{th} が接合型 Ge SBD よりも低いことを確認し、微小なショットキー電極を有する針接触型 Ge SBD のモデルを提案してきた[1]。本研究ではワイドギャップ半導体 GaN について針接触型 SBD を作製し、低 V_{th} な SBD 実現に向け、 I - V 特性の解析から針接触型 SBD のモデルを検討した。

本研究で作製した接合型および針接触型 GaN SBD にはハイドライド気相成長(HVPE)法によって成長された厚さ 0.5 mm の n-GaN 自立基板を使用した。- c 面にオーミック電極(Ti/Al/Ni/Au)を電子ビーム(EB)蒸着で成膜し、+ c 面にはショットキー電極を形成した。ショットキー電極については接合型電極(Ni/Au)は EB 蒸着で成膜し、針電極は 10 % HCl 水溶液で洗浄した Ni 線を接触した。n-GaN 基板の室温でのキャリア密度は Hall 効果測定より $1.0 \times 10^{17} \text{ cm}^{-3}$ であった。針接触型 SBD の室温の I - V 特性を Fig. 1 に示す。低リークなショットキー特性が得られていることがわかる。 I - V 特性について式 (1), (2)を用いたフィッティング解析を実施した。

$$I = I_0 [\exp(eV/nkT) - 1] \quad (1)$$

$$I_0 = A^{**} T^2 S \cdot \exp(-e\Phi_b/kT) \quad (2)$$

式(1), (2)は熱電子放出モデルに面積 S のパラメータを加えた式である。ここで、 I は電流、 e は電気素量、 V は電圧、 n は理想係数、 T は温度、 Φ_b はバリア高さ、 A^{**} はリチャードソン定数である。本式を用いるとフィッティングから $S \cdot \exp(-e\Phi_b/kT)$ が $1.1 \times 10^{-24} \text{ m}^2$ と求められた(Fig. 2)。したがって、面積 S の異なるダイオードや温度依存性を測定することで、針接触型 SBD のバリア高さを評価できることが明らかになった。

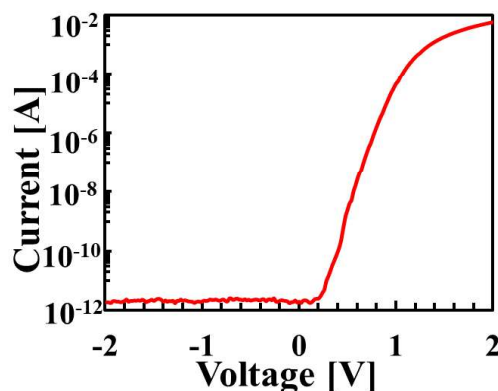
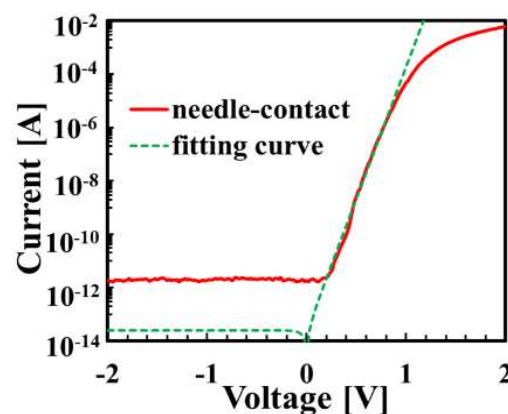
Fig. 1 I - V characteristics of a needle contact GaN SBD.

Fig. 2 The fitting result by the thermal emission model.

[1] R. Ando *et al.*, Jpn. J. Appl. Phys. **63**, 020908 (2024).

【謝辞】本研究の一部は、JST 次世代研究者挑戦的研究プログラム(JPMJSP213), JSPS 科研費(25K01680)、JST-SICORP(JPMJSC22C1)、NEDO「官民による若手研究者発掘支援事業」(21502153-0)、NEDO「先導研究」の支援により行われた。

ミスト CVD 法により堆積した Al_2O_3 ゲート絶縁膜を有する $\text{Al}_2\text{O}_3/\text{n-GaN}$ 構造の MOS 界面評価

Characterization of Interface Properties in $\text{Al}_2\text{O}_3/\text{n-GaN}$ MOS Structures with Mist-CVD Fabricated Al_2O_3 Thin Film

熊本大¹, 北大量集センター² ○ラズアン ハディラ¹, 越智 亮太², 中村 有水¹,
佐藤 威友², 谷田部 然治¹

Kumamoto Univ.¹, RCIQE, Hokkaido Univ.², ○Hadirah Radzuan¹, Ryota Ochi², Yusui Nakamura¹,
Taketomo Sato², Zenji Yatabe¹

E-mail: hadirah@st.cs.kumamoto-u.ac.jp; yatabe@cs.kumamoto-u.ac.jp

【はじめに】優れた GaN 系 MOS デバイスの実現には低界面準位密度、低リーク電流、高寿命や高安定動作が要求される。本研究では $\text{n}^+\text{-GaN}$ 基板上にエピタキシャル成長した n-GaN 層上に低コストで酸化物薄膜が形成可能なミスト CVD 法により堆積した Al_2O_3 ゲート絶縁膜を有する $\text{Al}_2\text{O}_3/\text{n-GaN}$ キャパシタを作製し Al_2O_3 堆積速度、界面特性の評価を行ったので報告する。

【実験】図 1 にミスト CVD 法により堆積した Al_2O_3 ゲート絶縁膜を有する mist- $\text{Al}_2\text{O}_3/\text{n-GaN}$ on $\text{n}^+\text{-GaN}$ MOS キャパシタの構造を示す。転移密度 $5 \times 10^6 \text{ cm}^{-2}$ 以下の自立 GaN 基板上に MOCVD 法により n-GaN 層を成長した試料を用いた。 Al_2O_3 ゲート絶縁膜厚は 35 nm で堆積速度約 30 nm/min であった。また作製したキャパシタは 300 °C で PMA 処理を行った。

【結果と考察】図 2 に作製した PMA 前後の mist- $\text{Al}_2\text{O}_3/\text{n-GaN}$ キャパシタの容量-電圧(C - V)特性を示す。作製した mist- $\text{Al}_2\text{O}_3/\text{n-GaN}$ キャパシタの容量は絶縁膜容量値まで達しており、特に PMA 後はヒステリシスも少ない比較的良好な C - V 特性であった。図 3 にターマン法(w/o PMA)とコンダクタンス法(w/ PMA)により算出した界面準位密度(D_{it})と ALD 法により作製した ALD- $\text{Al}_2\text{O}_3/\text{n-GaN}$ の文献値の D_{it} を示す。ミスト CVD 法で形成した $\text{Al}_2\text{O}_3/\text{n-GaN}$ 界面は ALD 法で形成した界面と、ほぼ同等で比較的に低い $10^{10} \text{ cm}^{-2}\text{eV}^{-1}$ 台の良好な D_{it} であった。

[1] T. Hashizume et al., Appl. Phys. Express **11**, 124102 (2018). [2] Y. Ando et al., Appl. Phys. Lett. **117**, 102102 (2020). [3] E. Schilirò et al., AIP Adv. **14**, 105109 (2024).

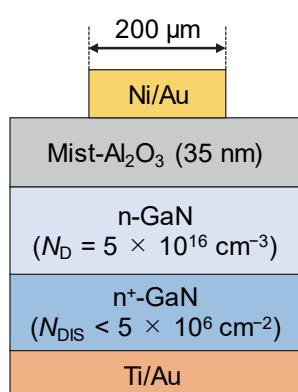


Fig. 1 Mist- $\text{Al}_2\text{O}_3/\text{n-GaN}$ capacitor.

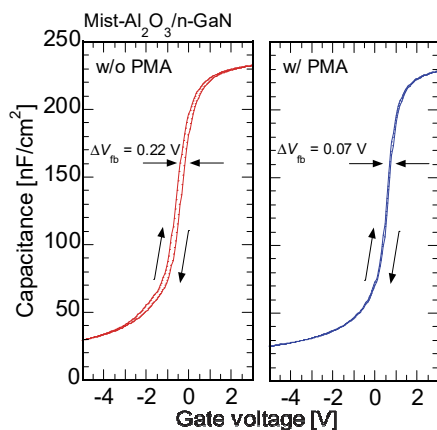


Fig. 2 High frequency (1 MHz) C - V hysteresis.

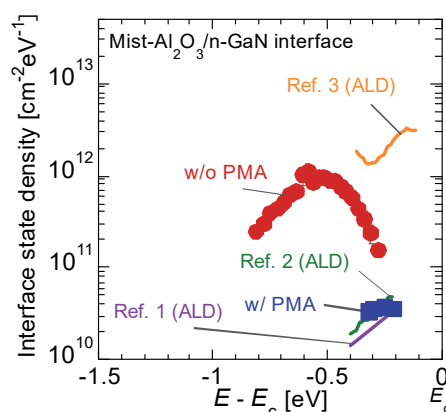


Fig. 3 Interface state density (D_{it}) distributions.

SiO₂/GaN 界面への Mg 含有薄膜導入による正孔トラップ低減

Reduction of hole traps in SiO₂/GaN MOS structures with a thin Mg-based interlayer

阪大院工, °阪上 優一, 原 征大, 野崎 幹人, 小林 拓真, 渡部 平司

UOsaka, °Y. Sakagami, M. Hara, M. Nozaki, T. Kobayashi, and H. Watanabe

Email: sakagami@ade.prec.eng.osaka-u.ac.jp

【はじめに】縦型 GaN MOSFET は、高耐圧・大電流を扱うことができるパワーデバイスとして有望である。しかし、GaN MOS 構造中に存在する多量の正孔トラップが GaN MOSFET の信頼性劣化の要因となるため、その低減が重要な課題である。近年我々は、高 Mg 濃度 GaN 基板を用いて作製した p 型 GaN MOS 構造において極めて低い正孔トラップ密度を報告した[1, 2]。また、他の先行研究では、MgO をゲート絶縁膜とした p 型 GaN MOS 構造における正孔蓄積挙動が報告されている[3]。以上より、MOS 界面近傍の Mg 原子が正孔トラップ低減に有効であることが示唆される。本研究では、SiO₂成膜前の Mg 薄膜堆積と後熱処理が MOS 界面の正孔トラップに与える影響を系統的に調査した。

【実験方法・結果】Fig. 1 に本実験での Mg 原子導入プロセスの概略図を示す。実験には、高濃度 n 型 GaN 自立基板上に成長した p 型 GaN エピ層 ([Mg]~1×10¹⁷ cm⁻³) を用いた。試料をウェット洗浄後、真空蒸着により Mg 薄膜を約 5 または 20 nm 堆積した。続いて、GaN 基板への Mg の拡散または MgO 形成のために、N₂ または O₂ 雰囲気中で 800°C の熱処理を 30 分間行った（試料名：Evap+N₂ または Evap+O₂）。その後、プラズマ CVD 法により SiO₂ 膜を約 20 nm 堆積し、O₂ 雰囲気中で 400–800°C の堆積後熱処理（O₂-PDA）を 30 分間行った。最後に、表面に Ni ゲート電極、裏面に Al 電極を蒸着することで、MOS キャパシタを作製した。

Fig. 2 に Mg 膜厚を 5 nm としして作製した Evap+N₂ 試料の双方向 C-V 特性を示す。我々の過去の報告より、Mg 原子を導入しない場合、高温での O₂-PDA を施した試料の C-V 特性では、フェルミ準位のピンニングに起因した容量停滞（ハンプ）が見られ、最大容量まで正孔は蓄積せず、顕著なヒステリシスも観測される[4]。一方、Evap+N₂ 試料の C-V 特性では、すべての試料で正孔蓄積挙動が観測され、C-V 曲線にハンプは見られなかった。しかし、Evap+N₂ 試料では、O₂-PDA 温度が 600°C 以下の場合、イオンドリフトによる時計回りの C-V 曲線が得られた上に、SiO₂ の絶縁性が低下することがわかった。Fig. 3 に、Mg 膜厚を約 20 nm とした Evap+O₂ 試料の C-V 特性を示す。Evap+O₂ 試料では、ハンプがなく、イオンドリフトの影響も見られなかった上に、Mg 膜厚の増加に伴ってヒステリシスが低減することがわかった。特に、初期の Mg 堆積膜厚が 20 nm の Evap+O₂ 試料に対して 600°C での O₂-PDA を施した場合、空乏から蓄積への掃引時の実験値は理想 C-V 曲線によく一致しており、Mg 含有界面層の導入による正孔トラップ密度の低減を確認できた。

【謝辞】本研究は、文部科学省「革新的パワーエレクトロニクス創出基盤技術研究開発」事業(JPJ009777)および JSPS 科研費(25K17640)の助成を受けたものである。[参考文献] [1] Y. Wada *et al.*, *Appl. Phys. Lett.* **120**, 082103 (2022). [2] H. Mizobata *et al.*, *Appl. Phys. Express* **16**, 105501 (2023). [3] L. Ko-Tao *et al.*, *IEEE Electron Device Letters* **32**, 306 (2011). [4] K. Tomigahara *et al.*, *Appl. Phys. Express* **17**, 081002 (2024).

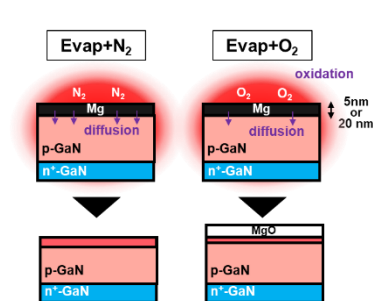


Fig. 1: Schematic illustrations of the sample preparation processes in this study.

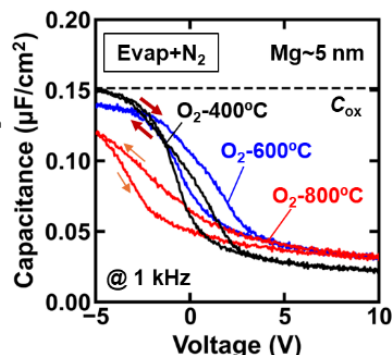


Fig. 2: Bidirectional C-V characteristics of Evap+N₂ samples (Mg thickness: ~5 nm) with O₂-PDA (400–800°C) measured at 1 kHz.

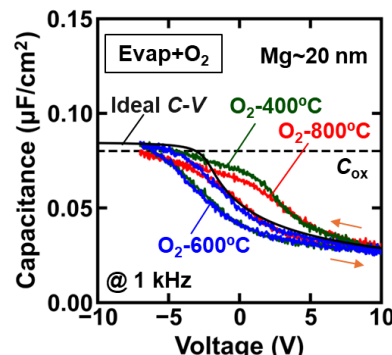


Fig. 3: Bidirectional C-V characteristics of Evap+O₂ samples (Mg thickness: ~20 nm) with O₂-PDA (400–800°C) measured at 1 kHz.

高圧酸素熱処理による SiO₂/p 型 GaN MOS 界面の正孔トラップ低減 Reduction of hole traps near SiO₂/p-GaN MOS interfaces by high-pressure oxygen annealing

阪大院工, °原 征大, 野崎 幹人, 小林 拓真, 渡部 平司

UOsaka, °M. Hara, M. Nozaki, T. Kobayashi, and H. Watanabe

E-mail: hara@prec.eng.osaka-u.ac.jp

GaN MOS 構造中の正孔トラップの起源解明と低減は, 高信頼性 GaN MOS デバイス実現に向けた喫緊の課題である. 過去の理論研究では, 絶縁膜/GaN 界面の酸化ガリウム(GaO_x)層中の酸素空孔(V_O)が正孔トラップの起源の候補であると予測されている[1, 2]. 我々の近年の報告では, GaO_x 界面層に由来し熱により生成する正孔トラップの存在を見出したが[3, 4], V_O がその起源であるという実験実証は成されていない. 高圧下では, 熱脱離による空孔型欠陥の生成が抑制できると期待されることから, 本研究では, 酸素熱処理時の圧力が GaN MOS 構造の正孔トラップに与える影響を詳細に調べた.

p 型 GaN エピ層試料([Mg] $\sim 1 \times 10^{17} \text{ cm}^{-3}$)をアセトンおよび 50% HF で洗浄後, 窒素雰囲気中で 800°C, 20 分の脱水素熱処理を行った. 試料の再洗浄後, PECVD (基板温度: 400°C)により SiO₂膜を 23–25 nm 堆積した. その後, 熱処理温度を 200–800°Cの範囲で変化させ, 希釈酸素雰囲気(O₂/Ar: 20%), 100 MPa での高圧熱処理(HPA)を施した. 一部の試料に対しては, HPA 前に純酸素雰囲気, 常圧, 800°Cでの熱処理(O₂-NPA)を施した. 最後に, Ni ゲート電極, 裏面 Al 電極を形成し, MOS キャパシタを作製した.

図 1 に, 200–800°Cでの HPA を施して作製した p 型 GaN MOS キャパシタの双方向 C–V 特性を示す. 過去に我々は, 純酸素または窒素雰囲気中で常圧熱処理を施した場合には, 熱処理温度の上昇に伴って SiO₂/GaN 界面極近傍の正孔トラップが増加し, 容量停滞が生じる電圧範囲(ΔV_{hump})が顕著に増大することを報告している[3, 4]. 一方, HPA を施した試料では, 熱処理温度によらず正孔蓄積に伴う酸化膜容量(C_{ox})までの容量増加が見られ, ΔV_{hump} の増加は見られなかった. 図 2 に, 800°Cでの O₂-NPA を施した後に, 様々な温度で HPA を施した試料の双方向 C–V 特性を示す. 既報告の通り, O₂-NPA のみでは顕著な容量停滞が見られる一方, 追加で HPA を施すことにより, 温度によらず ΔV_{hump} が減少し, 正孔蓄積が見られた. 以上の結果から, HPA には高温での正孔トラップ生成を抑制する効果だけでなく, 一度生成した正孔トラップを減少させる効果があることが明らかになった. これにより, 空孔型欠陥に由来する正孔トラップが界面極近傍の正孔トラップの主要な起源であることが示唆された. 一方, いずれの試料でも C–V 特性に顕著なヒステリシスが見られたことから, 界面極近傍の欠陥とは起源の異なる正孔トラップが HPA を施してもなお多量に存在することがわかった.

本研究は, 文部科学省「革新的パワーエレクトロニクス創出基盤技術研究開発」事業(JPJ009777)および JSPS 科研費(25K17640)の助成を受けたものである.

[1] T. Kobayashi *et al.*, *Appl. Phys. Express* **12**, 091001 (2019). [2] S. Hattori *et al.*, *Appl. Phys. Lett.* **125**, 161601 (2025).

[3] K. Tomigahara *et al.*, *Appl. Phys. Express* **17**, 081002 (2024). [4] M. Hara *et al.*, *Appl. Phys. Lett.* **126**, 022113 (2025).

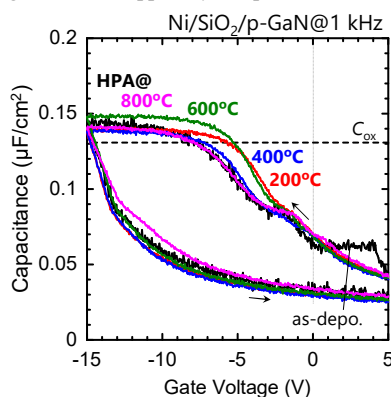


Fig. 1. C–V characteristics of the SiO₂/p-GaN MOS capacitors fabricated with HPA at various temperatures (200–800°C).

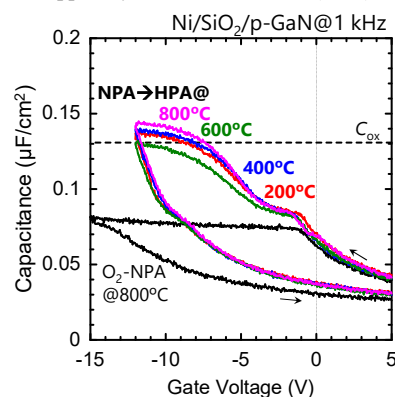


Fig. 2. C–V characteristics of the SiO₂/p-GaN MOS capacitors fabricated by combining NPA at 800°C and HPA at various temperatures (200–800°C).

4 インチ GaN 基板上のイオン注入縦型 GaN プレーナゲート型 MOSFET

All Ion-implanted Vertical GaN Planar-Gate MOSFETs Fabricated on 4-inch Substrates

富士電機¹, 産業技術総合研究所² ○菅沼 奈央¹, 上野 勝典¹, 田中 亮¹, 近藤 剣¹

平井悠久², 中島昭², 原田信介², 高島 信也¹

Fuji Electric¹, AIST.² ○Nao Suganuma¹, Katsunori Ueno¹, Ryo Tanaka¹, Tsurugi Kondo¹

Hirohisa Hirai², Akira Nakajima², Shinsuke Harada², Shinya Takashima¹

E-mail: suganuma-nao@fujielectric.com

【背景】GaN は次世代高性能パワーデバイス材料として注目され、横型 GaN デバイスが既に商業利用されているが、高電圧・高電流密度用途では縦型デバイスが望まれる。縦型 GaN MOSFET の実用化に向け、我々はイオン注入プロセス (I/I) を用いた 1200V 耐圧と $2.78 \text{ m}\Omega\text{cm}^2$ の低オン抵抗を持つ縦型 MOSFET を作製したが[1]、出力電流が小さくスイッチング性能評価ができていない。今回、大面積設計に対応するため、4 インチ基板を用いて積層電極構造プロセスを適用した縦型 GaN プレーナゲート型 MOSFET を作製し、静特性および動特性の確認を行った。

【実験方法】4 インチの+c 面 n-GaN 自立基板上に I/I プロセスにより p ウェル、JFET、ソース領域を形成し、AlN 保護膜を用いた 1300°C 活性化熱処理を行った後、酸化膜や積層電極を形成し、縦型 MOSFET を作製した。活性領域の設計は、チャンネル長 $1 \mu\text{m}$ 、セルピッチ $6.6 \mu\text{m}$ の微細構造であり、活性面積は最大 0.019 cm^2 (チップ面積 2mm^2) とした。

【結果】作製した縦型 MOSFET の V_d - I_d 特性を図 1 に示す。正常な FET 動作をしており、オン抵抗 $2.94 \text{ m}\Omega\text{cm}^2$ であった。チャンネル長 $100 \mu\text{m}$ の横型 MOSFET から求められるチャンネル移動度は $140 \text{ cm}^2/\text{Vs}$ であり、GaN の高移動度によって低オン抵抗が実現した。図 2 にターンオフ波形、図 3 にターンオフ時の I-V 軌跡(2mm , 1mm^2)を示すが、チップ面積 2mm^2 では $9.5 \text{ A}/250 \text{ V}$ のターンオフ動作を示し、さらに、チップ面積 1mm^2 の MOSFET で $3600 \text{ A}/\text{cm}^2$ ($V_{\text{bus}}=100 \text{ V}$) の高電流密度下のターンオフ動作でも破壊なきことを確認した。これらの成果は縦型 GaN パワーデバイスの実用化に向けた大きな進歩である。

[謝辞] 本研究の一部は、産業技術総合研究所(TPEC)の協力で実施されました。

[1] R. Tanaka et al., Jpn. J. Appl. Phys. **.59**, SGGD02 (2020).

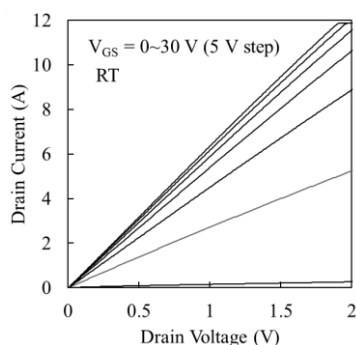


Fig.1 I_d - V_d characteristics of the GaN MOSFET. The chip size was 2mm^2 .

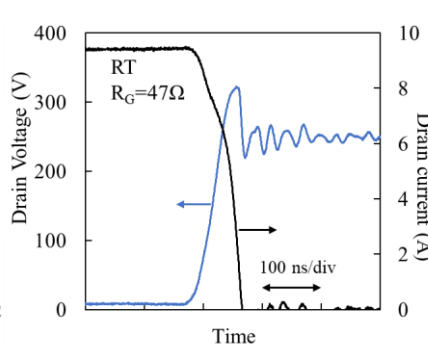


Fig.2 Turn-off waveforms of fabricated $2\text{mm} \times 1\text{mm}$ size GaN MOSFET at $9.5 \text{ A}/250 \text{ V}$ measured.

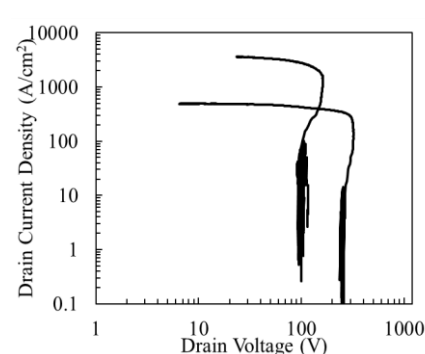


Fig.3 Current-voltage trajectories during the turn-off switching of the GaN MOSFET.

13 Semiconductors | Oral presentation : 13.7 Compound and power devices, process technology and characterization

[8p-N322-1~17] 13.7 Compound and power devices, process technology and characterization

[8p-N322-1]

[Fellow International 2025 Special Lecture] Unlocking the Potential of GaN Power Integration
○Kevin Jing Chen¹ (1.The Hong Kong University of Science and Technology)

[8p-N322-2]

Method of ringing noise reduction for GaN-HEMT switching circuits

○Toshihide Ide¹, Takahiro Gotow¹, Ryosaku Kaji¹, Katsumi Furuya¹, Hisashi Yamada¹ (1.AIST)

[8p-N322-3]

Temperature-dependence of barrier height in AlN SBDs obtained by *I-V* and *C-V*

○Issei Sasaki¹, Masanobu Hiroki², Kazuhide Kumakura², Kazuyuki Hiramata², Yoshitaka Taniyasu², Takuya Maeda¹ (1.UTokyo, 2.NTT-BRL)

[8p-N322-4]

Comparison between experimental and device simulation data for Low-frequency Y_{21} and Y_{22} signals in GaN HEMTs

○Toshiyuki Oishi¹, Shiori Takada¹, Ken Kudara², Yutaro Yamaguchi², Shintaro Shinjo², Koji Yamanaka² (1.Saga Univ., 2.Mitsubishi Electric)

[8p-N322-5]

Contactless-photoelectrochemical (CL-PEC) Etching of AlGaIn/GaN Heterostructures and its self-stopping phenomenon

○Naoki Shiozawa¹, Tokachi Katsumata¹, Haruki Okano¹, Taketomo Sato¹ (1.RCIQE, Hokkaido Univ.)

[8p-N322-6]

Evaluation of a surface conductive layer on etched u-GaN by C-V characteristics for charge balance evaluation of polarization superjunction GaN FETs

○(D)Eito Kokubo¹, Hirotaka Watanabe², Manato Deki³, Atsushi Tanaka², Yoshio Honda^{2,3,4}, Hiroshi Amano^{2,3,4} (1.Nagoya Univ., 2.IMaSS Nagoya Univ., 3.D center Nagoya Univ., 4.IAR Nagoya Univ.)

[8p-N322-7]

High-Temperature Electrical Characterization of Mg-Doped AlN Layers

○(M2)Fuga Miyazawa¹, Hironori Okumura¹, Masataka Imura² (1.Tsukuba Univ, 2.NIMS)

[8p-N322-8]

Suppression of the gate leakage current in N-polar GaN-channel HEMTs on Al₂O₃

○Yuki Yoshiya¹, Takuya Hoshi¹, Taro Sasaki¹, Hiroki Sugiyama¹, Fumito Nakajima¹ (1.NTT Device Technology Labs)

[8p-N322-9]

Thermal transportation analysis of GaN channel layer in N-polar GaN HEMT using universal machine learning interatomic potential

○Shigeki Yoshida¹, Takuji Yamamura¹, Junji Kotani¹, Kozo Makiyama¹, Ken Nakata¹ (1.SEI)

[8p-N322-10]

Suppression of current collapse in N-polar GaN HEMTs with recessed gate structures

○Akihiro Hayasaka¹, Shigeki Yoshida¹, Junya Yaita¹, Akira Mukai¹, Junji Kotani¹, Kozo Makiyama¹, Ken Nakata¹ (1.Sumitomo Electric)

[8p-N322-11]

Impact on Drain Current Transient in N-polar GaN HEMTs

○Junya Yaita¹, Shigeki Yoshida¹, Akihiro Hayasaka¹, Akira Mukai¹, Yuki Imazeki¹, Junji Kotani¹, Kozo Makiyama¹, Ken Nakata¹ (1.Sumitomo Electric)

[8p-N322-12]

Shubnikov-de Haas Oscillation of 2DEG in ScAlN/AlGaN/AlN/GaN Heterostructure

○Yusuke Wakamoto¹, Koei Kubota¹, Takahiko Kawahara², Shigeki Yoshida², Kozo Makiyama², Ken Nakata², Atsushi Kobayashi³, Takuya Maeda¹ (1.UTokyo, 2.Sumitomo Electric Industries, Ltd., 3.Tokyo Univ. of Science)

[8p-N322-13]

Transport Property of 2DEG in ScAlN/GaN Heterostructures Grown by Plasma-Assisted Molecular Beam Epitaxy

○Koei Kubota¹, Yusuke Wakamoto¹, Takahiko Kawahara², Shigeki Yoshida², Kozo Makiyama², Ken Nakata², Ryosho Nakane¹, Takuya Maeda¹ (1.UTokyo, 2.Sumitomo Electric Industries, Ltd.)

[8p-N322-14]

Electrical characterization of ScAlN thin film grown on GaN/sapphire substrate

○Kosuke Joya¹, Sawaki Sato², Atsushi Kobayashi², Takuya Maeda¹ (1.UTokyo, 2.TUS)

[8p-N322-15]

Modeling and analysis of fully-recessed Ohmic contact resistances to AlGaIn/GaN heterostructures

○Kazuya Uryu^{1,2}, Junewoo Choi², Yuchen Deng², Toshi-kazu Suzuki² (1.Advantest Corp., 2.JAIST)

[8p-N322-16]

Effect of AlN interlayer in AlGaIn/GaN heterostructures on both the reduction of strain-induced defects in GaN channel and the improvement of two-dimensional carrier transport

○Masatomo Sumiya¹, Yoshitaka Nakano², Yasutaka Imanaka¹ (1.NIMS, 2.Chubu Univ.)

[8p-N322-17]

Effects of indium on the gate leakage current in an InAlGaIn HEMT

○Atsushi Yamada¹, Toshihiro Ohki¹ (1.Fujitsu Ltd.)

GaN-HEMT スwitchング回路におけるリングングノイズ低減手法

Method of ringing noise reduction for GaN-HEMT switching circuits

産総研¹, °井手 利英¹, 後藤 高寛¹, 鍛冶 良作¹, 古屋 克己¹, 山田 永¹

AIST¹, °Toshihide Ide¹, Takahiro Gotow¹, Ryosaku Kaji¹, Katsumi Furuya¹, and Hisashi Yamada¹

E-mail: t-ide@aist.go.jp

GaN を主とした窒化物半導体はバンドギャップや飽和ドリフト速度等の物性値から高速スイッチング素子として有用である。2次元電子ガスをチャネル層に用いた GaN-HEMT は、ターンオン/オフ時間が短くスイッチング損失が低いため、スイッチング周波数を従来の kHz を超えて MHz まで上昇させることが可能である。しかし、電圧・電流波形の時間変化が速いということはリングングノイズの増大につながる。リングングノイズが大きくなると素子耐圧を超えたスパイク電圧を発生させ、素子破壊につながる懸念もある。本研究では GaN-HEMT スwitchング回路においてリングングノイズを容量を付与するのみの簡便な手法で抑制することが出来たので報告する。

実験には EPC 社製の評価ボードを用いた。リングングノイズはスイッチング素子の出力容量 C_{oss} と出力端に接続される配線の寄生インダクタンスの直列共振で発生することが解っている[1]。そこで、その配線に対して C_{oss} の約 2 倍となる容量 C_{thr} を付与した。付与した回路を図 1 に示す。等価回路上では図 2 に示すように容量成分が付与されたことになる。この評価ボードを入力電圧 12V、負荷抵抗 8Ω、スイッチング周波数 1MHz にてスイッチング動作させて電圧波形を調べた。図 3 に C_{thr} ありと無しでのスイッチング波形を示す。ドレインソース間電圧のリングング電圧を見ると、ピークの高さが C_{thr} 無しでは 18.2V であったが、付与することで 17.1V まで抑制された。

参考文献[1] 第 66 回応用物理学会春季学術講演会、11p-PB3-21

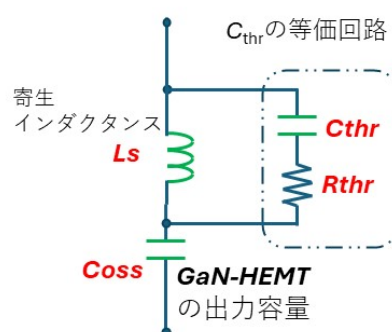


Figure 1: Photograph of GaN-HEMT evaluation board.

Figure 2: Equivalent circuit model of C_{thr} .

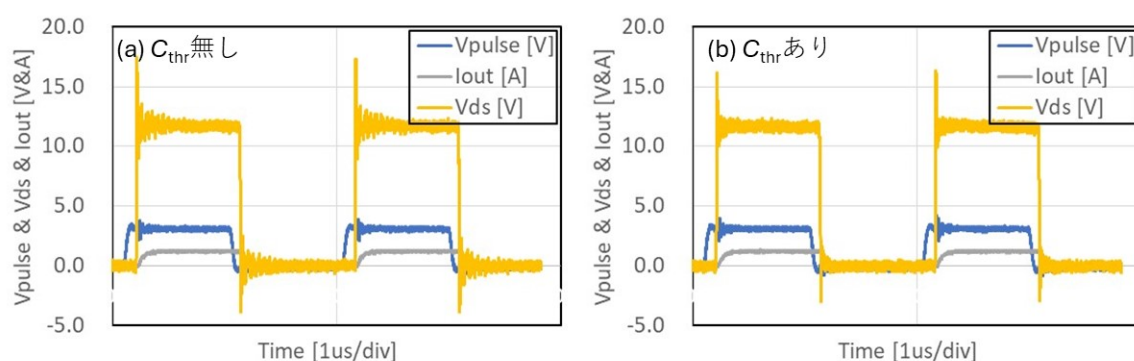


Figure 3: Switching waveforms of GaN-HEMT evaluation board. (a) without C_{thr} , (b) with C_{thr} .

I-V, C-V 測定から求めた AlN ショットキーバリアダイオードの障壁高さの温度依存性
Temperature-dependence of barrier height in AlN SBDs obtained by I-V and C-V
 佐々木一晴¹, 廣木正伸², 熊倉一英^{2*}, 平間一行², 谷保芳孝², 前田拓也¹
 I. Sasaki¹, M. Hiroki², K. Kumakura², K. Hirama², Y. Taniyasu², T. Maeda¹
 University of Tokyo¹, NTT Basic Research Lab. NTT Co.² (*現所属: 北海道大学)
 E-mail: isasaki@wbgt.u-tokyo.ac.jp

AlN は、非常に大きいバンドギャップ(6.0 eV)と高い絶縁破壊電界(> 10 MV/cm)を有しており、高耐圧・高温動作可能な電子デバイス材料として期待を集めている。これまで我々は、AlN ショットキーバリアダイオード(SBD)の電気的特性を詳細に評価し、多くの素子では障壁高さの局所低下に起因したショルダーリーク電流が見られるものの[1]、中にはほぼ理想的な特性を示す素子が複数見られ、その特性が熱電子電界放出(TFE)で説明できることを報告した[2]。本研究では、AlN 基板上 AlN SBD のうち、ほぼ理想的な特性を示す素子について、その容量-電圧(C-V)特性、電流-電圧(I-V)特性の温度依存性を測定・解析し、障壁高さの温度依存性を調べたので報告する。

図 1 にデバイス構造を示す。半絶縁性 AlN 基板上に有機金属気相成長法(MOVPE)によってアンダードープ AlN、Si ドープ AlN ($[\text{Si}] = 1.3 \times 10^{18} \text{ cm}^{-3}$)、Si ドープ組成傾斜 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層($x = 1.0 \rightarrow 0.2$)を成長させた。その後、ドライエッチングにより部分的に傾斜 AlGa_xN 層を除去して Si ドープ AlN 層を露出させ、傾斜 AlGa_xN 層にオーミック電極、Si ドープ AlN 上にショットキー電極として Ni/Au 電極を蒸着した[2]。作製した AlN SBD に対し、298-573 K の範囲で容量-電圧(C-V)特性の温度依存性を測定したところ、プロットの傾きは同じだが、温度上昇につれてプロットが負側にシフトし、拡散電位が低下することが確認された。伝導帯底と Fermi 準位のエネルギー差(概ねドナー準位~260 meV に相当)を考慮し、障壁高さの温度依存性を求めたところ、温度上昇につれて障壁高さはわずかに低下し、その温度係数は -0.38 meV/K と求まった。図 2 に 298-573 K における AlN SBD の順方向 I-V 特性を示す。サブスレショルド領域および直列抵抗支配領域ともに、温度上昇につれて電流値が増大している。障壁高さをパラメータとして電子の熱分布とトンネル確率から熱電子電界放出(TFE)電流を数値計算した。なお、解析において鏡像力効果による障壁高さの低下を考慮した。図 2 に各温度における TFE 電流の計算結果を点線で示す。実験値と計算値は良く一致している。図 3 に I-V, C-V から求めた障壁高さの温度依存性を示す。順方向 I-V 特性を TFE モデルに基づいて解析することで得られた温度係数は -0.40 meV/K となり、C-V 特性から得られた結果(-0.38 meV/K)と良好に一致する結果が得られた。この値は、他のワイドギャップ半導体材料の温度係数(GaN: -0.20 meV/K [3], $\beta\text{-Ga}_2\text{O}_3$: -0.49 meV/K [4])と比較して同程度の値であり、バンドギャップの温度依存性 (250–300 K の範囲で -0.68 meV/K 程度) [5]よりやや小さく、温度上昇に伴う伝導帯底の低下を反映していると考えられる。これらの結果は、AlN 電子デバイスの温度依存性を考慮する上で有用な知見である。

謝辞

本研究の一部は東レ科学振興会 2024 年度研究助成および矢崎科学技術振興財団 2024 年度研究助成の支援を受けて実施されました。

参考文献

- [1] I. Sasaki *et al.*, ICNS 2025. [2] T. Maeda *et al.*, IEDM 2024 Technical Digest.
 [3] T. Maeda *et al.*, *Appl. Phys. Express* **10**, 051002 (2017). [4] A. Munakata *et al.*, EMC 2024.
 [5] E. Silveira *et al.*, *J. Cryst. Growth* **310**, 4007 (2008).

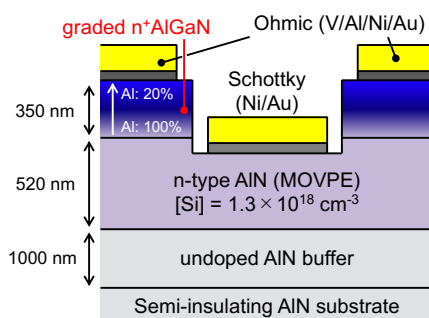


Fig.1. Schematic cross section of an AlN SBD on an AlN substrate with Si-doped graded AlGaIn contact layer.

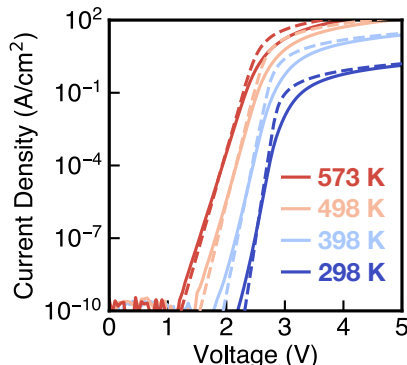


Fig.2. Temperature dependence of I-V characteristics at 298, 398, 498 and 573 K. The calculated curves are shown as the broken lines.

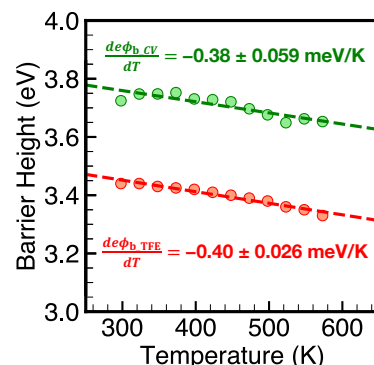


Fig.3. Temperature dependence of barrier height obtained by C-V and I-V (the TFE analysis).

GaN HEMT の低周波 Y_{21} と Y_{22} 信号に対する 実験とデバイスシミュレーション結果の比較

Comparison between experimental and device simulation data for Low-frequency Y_{21} and Y_{22} signals in GaN HEMTs

佐賀大学¹、三菱電機(株)² [○]大石 敏之¹、高田 栞¹、久樂 顕²、山口 裕太郎²、新庄 真太郎²、山中 宏治²
Saga Univ.¹, Mitsubishi Electric Corp., [○]Toshiyuki Oishi¹, Shiori Takada¹, Ken Kudara², Yutaro Yamaguchi², Shintaro Shinjo², Koji Yamanaka²
E-mail: oishi104@cc.saga-u.ac.jp

1. はじめに

絶縁破壊電界や飽和電子速度が高い GaN 半導体を用いた GaN HEMT (High Electron Mobility Transistor) などのトランジスタは、高周波やパワーエレクトロニクス分野の電子デバイスとして様々な回路に適用されている。回路設計を効率的に行うためには電気的特性を正確に再現できるデバイスモデルが必要となる。特にトラップに対するモデルが重要であり、我々は等価回路と整合性の良い低周波領域の二端子対回路パラメータを検討している。これまで、 Y パラメータ (Y_{22} 、 Y_{21}) のドレイン電圧 (V_{DS}) 依存性を実験[1]、デバイスシミュレーション[2]のそれぞれで評価を進めてきた。今回、デバイスシミュレーションにより実験結果を比較的良く再現できたので、報告する。

2. 実験方法とシミュレーション方法

図 1 に測定方法と GaN HEMT の構造模式図を示す。GaN HEMT は SiC 基板上に Fe ドープ GaN 層と AlGaIn 層からなる一般的な構造である。測定は GSG プローバを使い、オンウエハで GaN HEMT とベクトルネットワークアナライザ (キーサイト E5061B) を接続した。入力電力は非常に小さい値 (−20 dBm) を用いることで、DC バイアスの変動をできるだけ抑制した。S パラメータの周波数依存性 (10 Hz ~ 1 MHz) を測定した後、 Y パラメータに変換した。今回、ゲート電圧 V_{GS} 0 V、 V_{DS} 8 ~ 30 V の範囲 (2 次元電子ガスが形成されているオン状態の飽和領域) を検討した。また、ピークを持つ信号が現れた Y_{21} と Y_{22} 虚部に注目し、結果を比較した。なお、 Y パラメータの数字 1 がゲート、2 がドレインを示す。

デバイスシミュレーションは実験と同じ構造(図 1)を採用し、GaN 層と AlGaIn 層にそれぞれ、アクセプタ型とドナー型のトラップを配置した。GaN トラップの活性化エネルギーと捕獲断面積は 0.68 eV、 3.0×10^{-15} cm²、AlGaIn

トラップは 0.4 eV、 2.0×10^{-22} cm² とした。なお、自己発熱効果を考慮して、計算した。

3. 実験結果とデバイスシミュレーションの比較

図 2 に $V_{DS}=20$ V における Y_{21} 虚部と Y_{22} 虚部の周波数依存性の比較を示す。 Y_{21} 虚部と Y_{22} 虚部とも実験結果の特徴を比較的良く再現したシミュレーション結果が得られた。 Y_{21} 虚部の実験データでは、25、13k、5.4MHz の 3 か所に明確なピークがあり、シミュレーションでもその付近にピークが発生している。一方、 Y_{22} 虚部では 36k、6.5MHz の 2 つの明確なピークを再現できている。

図 3 は Y_{21} 虚部に対するピーク周波数の V_{DS} 依存性を示す。なお、図中の記号は図 2 と対応させた。ピーク A、B、C とともに実験データとシミュレーションで同じ傾向を示している。また、シミュレーションでは、 Y_{22} 虚部にもピーク A が現れた(図示せず)。図 2 に示すように、このピークの強度は非常に低く、実験では観察が難しいと考えられる。シミュレーションからピーク A は AlGaIn トラップに対応するピークであり、この特徴を使うことで、GaN と AlGaIn トラップの判別が可能である。

4. まとめ

GaN HEMT のオン状態の飽和領域における低周波 Y_{21} と Y_{22} 虚部について、実験とデバイスシミュレーションを比較した。その結果、GaN と AlGaIn のトラップから信号が発生していることがわかった。

参考文献

- 大石他 応物学会 2023 秋, 22a-B201-7.
- 大石他 応物学会 2023 秋, 22a-B201-8.

謝辞

本研究は JSPS 科研費 JP24K07577 の助成を受けたものです。

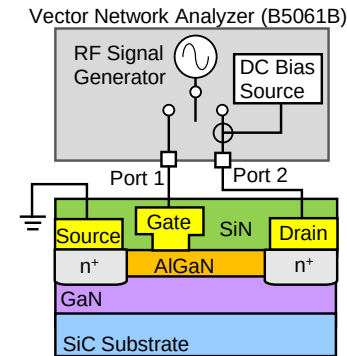


Fig.1 Measurement method for low-frequency S-parameter and GaN HEMT structure.

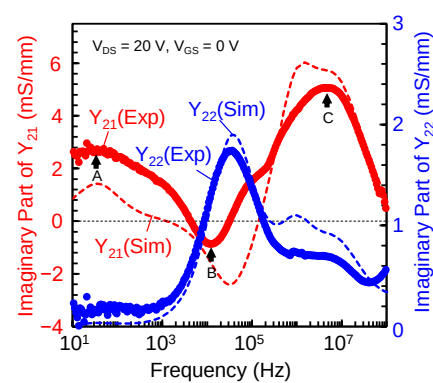


Fig.2 Comparison between experimental and device simulation for $\text{Im}(Y_{21})$ and $\text{Im}(Y_{22})$.

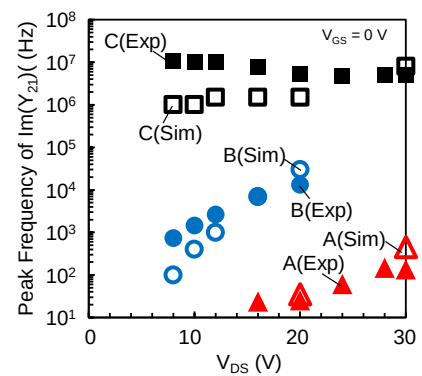


Fig.3 Peak frequency of $\text{Im}(Y_{21})$ and $\text{Im}(Y_{22})$ depending on V_{DS} .

AlGaIn/GaN ヘテロ構造の CL-PEC エッチングと自己停止現象

Contactless-photoelectrochemical (CL-PEC) Etching of
AlGaIn/GaN Heterostructures and its self-stopping phenomenon

北大量集センター 塩澤 直生、勝又 十勝、岡野 陽樹、佐藤 威友

RCIQE, Hokkaido Univ. N. Shiozawa, T. Katsumata, H. Okano, and T. Sato

E-mail: shiozawa.naoki.k4@elms.hokudai.ac.jp

【はじめに】 AlGaIn/GaN 高電子移動度トランジスタ (HEMT) は、高い耐圧と優れた電子輸送特性から、パワーデバイスや高周波高出力デバイス分野で広く応用が期待されている。これまでに我々は、コンタクトレス光電化学 (CL-PEC) エッチングをゲートリセス加工に適用し、ある条件下では AlGaIn 層内でエッチングが自己停止する現象を見出し、それが素子間のしきい値電圧のばらつき抑制に効果的であることを明らかにした[1]。本研究では、AlGaIn 表面に形成するカソードの違いが CL-PEC エッチングの反応速度と自己停止現象に与える影響について調査した。

【実験方法】 初期膜厚 40 nm の AlGaIn 層を持つ試料表面に Ti/Al/Ti/Au オーミックカソードと Ti ショットキーカソードを形成し、K₂S₂O₈ 水溶液中にて中心波長 260nm の UV 光を照射しながらエッチングを行った。10 分間エッチングを行ったのち、オーミックカソード部分のみをワックスで覆い、Ti カソードのみでエッチングを続けた。

【結果と考察】 オーミックカソードと Ti カソードを用いた場合、AFM 段差測定で得られるエッチング深さは時間とともに線形的に増大し、そのエッチングレートは 2.3 nm/min であった。両電極を利用してエッチングを進めると、AlGaIn 層から下地の GaN 層に到達するまでエッチングが進行した。一方、途中から Ti カソードのみ使用するとエッチングレートが低下し、AlGaIn 層内でエッチングが自己停止する現象が確認できた。Ti カソードのみを使用した場合、AlGaIn 界面に形成される電位障壁が、エッチング面の陽極酸化反応では消費されない“不要となった電子”を溶液中に受け渡すことを妨げ、系全体の反応を律速していることを示唆している。

【謝辞】 本研究は、JSPS 科研費 JP23K26131, JP24K00934 および文部科学省マテリアル先端リサーチ事業課題(課題番号 JPMXP1225HK0027)として北海道大学の支援を受けて実施されました。

[1] M. Toguchi et al., J. Appl. Phys. 130, 024501 (2021)

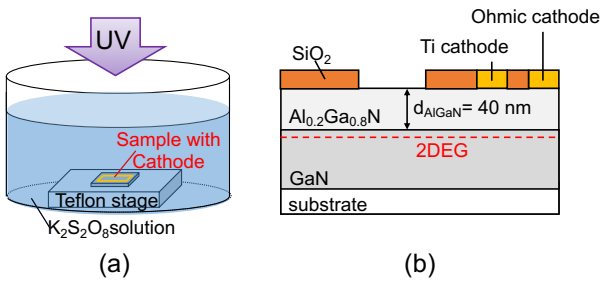


Fig. 1 CL-PEC etching setup and sample structure. (a) The sample is placed in a K₂S₂O₈ solution and exposed to UV light of 260 nm wavelength. (b) The sample contains both Ti and Ohmic cathodes.

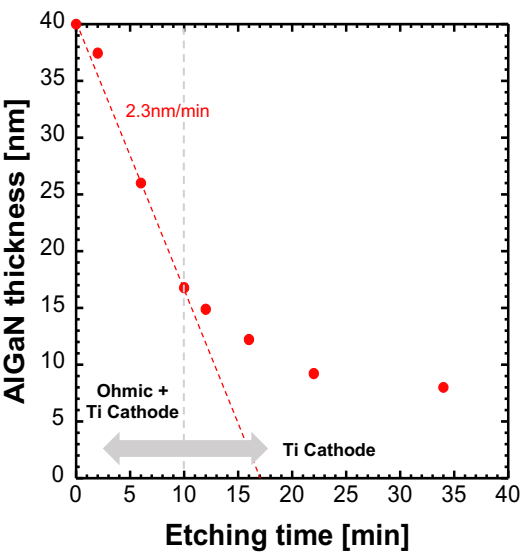


Fig. 2 The relation between AlGaIn thickness measured by AFM and the CL-PEC etching time.

GaN Polarization Superjunction FET の電荷バランス評価に向けた C-V 特性によるエッチング後 u-GaN 表面伝導層の評価

Evaluation of a surface conductive layer on etched u-GaN by C-V characteristics for charge balance evaluation of polarization superjunction GaN FETs

名大院工¹, 名大 IMaSS², 名大 D センター³, 名大高等研究院⁴

○(D2)小久保 瑛斗¹, 渡邊 浩崇², 出来 真斗³, 田中 敦之², 本田 善央^{2,3,4}, 天野 浩^{2,3,4}

Nagoya Univ.¹, IMaSS Nagoya Univ.², D center Nagoya Univ.³, IAR Nagoya Univ.⁴

Eito Kokubo¹, Hirotaka Watanabe², Manato Deki³, Atsushi Tanaka²,

Yoshio Honda^{2,3,4}, Hiroshi Amano^{2,3,4}

E-mail: kokubo.eito.k3@s.mail.nagoya-u.ac.jp

【背景】GaN 分極超接合 (PSJ) FET は横型デバイスながら 1200V 以上の高い絶縁破壊電圧を実現できるため、高耐圧パワーデバイスの候補として注目されている^[1]。SJ 構造では p 領域と n 領域の電荷量をそろえることが非常に重要であり、そのバランスが崩れると耐圧が低下することが報告されている^[2]。本発表では、PSJ 構造の表面状態が C-V 特性に及ぼす影響の解明を目的とする。

【実験内容】作製した PSJFET の構造を Fig. 1 に示す。デバイス構造は MOVPE 法を用いて半絶縁 GaN 基板上に成長した。複数回の ICP-RIE によりメサ構造の形成を行い、p-GaN へのオーミック電極として Ni/Au, 2DEG へのオーミック電極として Ti/Al/Mo/Au を蒸着し、表面を Al₂O₃ と SiO₂ により保護することでデバイス作製を完了した。その後測定周波数 100kHz でゲートドレイン間容量(C_{GD})の C-V 特性を測定した。

【結果及び考察】C-V 特性を測定した結果、容量が階段状に減少する特性が得られた。PSJ 領域の影響を調べるために PSJ 領域の長さ (L_{PSJ}) を変化させた PSJFET で C-V 特性を測定した結果を Fig. 2 に示す。L_{PSJ} を変化させた場合、高バイアス側の容量は変化せず、低バイアス側の容量のみが増加した。そのため、低バイアス側の容量は PSJ 構造に起因するものと考えられる。エッチング後の GaN 表面は窒素空孔等により n 型になる^[3]ため、表面 5nm がダメージによって n-GaN 層になっていると仮定して TCAD シミュレーションを行った結果、Fig. 3 のようにダメージを想定した層のドナー濃度に応じて低バイアス側の閾値が変化した。測定値から求めた表面のドナー濃度は 3.5×10¹⁸ cm⁻³ 程度と見積もられた。これらの結果は PSJ 構造における C-V 測定がエッチングにより導入される表面伝導層の電荷量を非破壊かつ簡便に評価できる手法であることを示している。

【参考文献】[1] H. Kawai, *et al.*, *Phys. Status Solidi A* **214**, No. 8, 1600834 (2017) [2] J. T. Kemmerling *et al.*, *IEEE Elec.*

Dev. Lett., **43**, 5, 701-704 (2022) [3] S. Yamada *et al.*, *Appl. Phys. Express.*, **13**, 106505 (2020)

【謝辞】本研究は、国立研究開発法人科学技術振興機構 (JST) 先端国際共同研究推進事業 (ASPIRE), JPMJAP2311

及び科研費 JP22H00213 の支援を受けたものである。

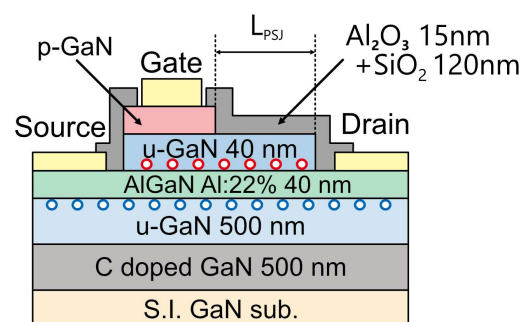


Fig. 1 Device structure of PSJ FET

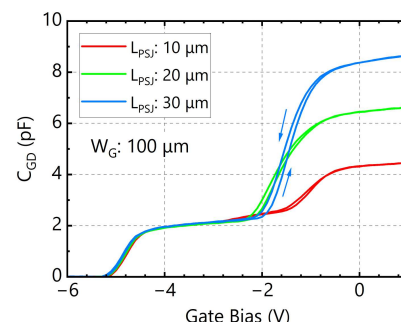


Fig. 2 C-V characteristics of PSJ FET

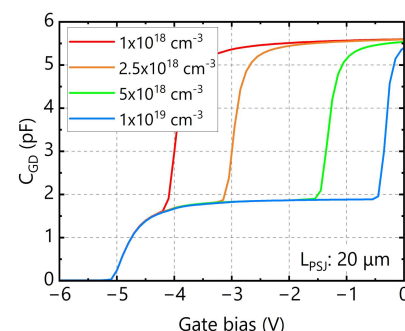


Fig. 3 Effect of N_D on C-V characteristics

高濃度 Mg 添加 AlN 層の高温下での電気特性評価

High-Temperature Electrical Characterization of Mg-Doped AlN Layers

筑波大数理¹, NIMS² ○宮沢 風我¹, 井村 将隆², 奥村 宏典¹

Univ. of Tsukuba¹, NIMS² ○Fuga Miyazawa¹, Masataka Imura², Hironori Okumura¹

E-mail: s2420319@u.tsukuba.ac.jp

AlN は、6.1 eV のバンドギャップを持ち、絶縁破壊強度が大きいことから、高温パワー素子用材料として有力である。AlN 層の主なアクセプタ不純物として Mg が使われる[1]。AlN 層中の Mg アクセプタはイオン化エネルギーが大きく、室温での正孔濃度が低い[2]。また、Mg 添加 AlN 層と電極の間のショットキ障壁が大きく、室温でのオーミック性接触実現が困難である。高温にすることで正孔濃度と接触抵抗の課題軽減が期待できるが、300 °C 以上の測定報告は稀有である。本研究では、室温から 600 °C において、CTLM 法を用いて Mg 添加 AlN 層の電気的特性を調べた。

4 度オフ n 型 4H-SiC (0001) 基板上に、MOCVD 装置を用いて 1000 °C、13 kPa で Mg 添加 AlN 層を 320 nm 程度成長した。AlN 層上に高濃度 Mg 添加 GaN 層をコンタクト層として 100 nm 程度成長させることで、接触抵抗の低減を行った。AlN 層と GaN 層の Mg 濃度は、それぞれ 5×10^{19} 、 $2 \times 10^{20} \text{ cm}^{-3}$ である。結晶成長後、電気的活性化処理のため N_2 雰囲気下 $3 \times 10^4 \text{ Pa}$ で 30 分間 900 °C の熱処理を行った。GaN 層上に Ni (25 nm)/Au (25 nm) を電子線蒸着装置により堆積し、 O_2 雰囲気 $3 \times 10^4 \text{ Pa}$ で 10 分間 600 °C の熱処理を行った。

電極間距離 12 μm において Mg 添加 AlN 層の I - V 測定を行ったところ、測定温度が上がるにつれて電流が増大した(Fig. 1)。熱励起により正孔濃度が増大したと考えられる。Mg 添加 GaN 層のお陰で、ほぼオーミック性接触が得られたことから、CTLM 法を用いて抵抗成分を解析した。測定温度とシート抵抗(R_s)及び接触抵抗率(ρ_c)の関係を Fig. 2 に示す。測定温度の増大と共に R_s が減少した。p-AlN 層の正孔濃度増大が主因と考えられる。 ρ_c は測定温度に大きな依存性がなかった。

[1] Y. Taniyasu *et al.*, Nature **441**, 325 (2006). [2] R. Ishii *et al.*, Phys. Rev. B, **108**, 035205 (2023).

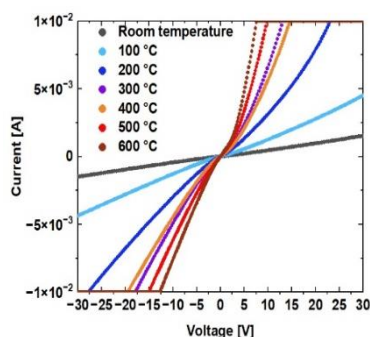


Fig. 1 I - V characteristics of a heavily doped p-GaN/Mg doped AlN structure measured with an electrode spacing of 12 μm under various temperatures from room temperature to 600 °C

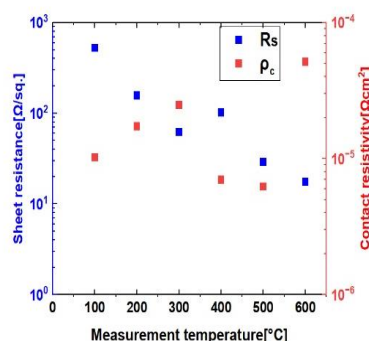


Fig. 2 Temperature dependence of sheet resistance and contact resistivity measured under various temperatures from room temperature to 600 °C

サファイア基板上 N 極性 GaN HEMT におけるゲートリークの抑制

Suppression of the gate leakage current in N-polar GaN-channel HEMTs on Al₂O₃

NTT 先端集積デバイス研, °吉屋 佑樹, 星 拓也, 佐々木 太郎, 杉山 弘樹, 中島 史人

NTT Device Technology Labs, NTT Corporation,

°Yuki Yoshiya, Takuya Hoshi, Taro Sasaki, Hiroki Sugiyama, and Fumito Nakajima

E-mail: yuki.yoshiya@ntt.com

【はじめに】

N 極性 GaN HEMT は、AlGaN バックバリアによってシートキャリアを誘起するため、Ga 極性 HEMT と比較して表面側の構造的制約が緩和され、短チャネル効果の影響を受けにくいことから、縦方向スケールリングによる高周波性能向上に有利である。以前我々は、炭素ドープ高抵抗 GaN バッファ上に、ゲート長 700 nm の N 極性 GaN HEMT を作製し、約 100 GHz の最大発振周波数を報告した^[1]。本デバイスにおいては、大きなバッファリーク・ゲートリークによって、相互コンダクタンス(g_m)が制限されていることが明らかとなっており、さらなる高周波化に向けて、これらリーク電流の抑制は喫緊の課題である。我々は N 極性 GaN HEMT エピ表面のヒロック密度とバッファリークの関係について調査し、結晶の高品質化によってバッファリークが低減可能であることを報告した^[2]。今回はゲートリークに着目し、エピタキシャル成長・デバイスプロセスが、ゲートリークに及ぼす影響を調査し、リーク抑制のための構造設計指針について報告する。

【実験結果と考察】

図 1 に作製した N 極性 GaN HEMT の断面構造および上面図を示す。AlGaN バックバリア下への二次元正孔ガス誘起を抑制するための Si ドープ層の有無が異なる 2 水準の構造について実験を行った。デバイスはメサ形成による素子分離後に、オーミック電極を形成し、酸化膜・窒化膜を成膜、リセスした上でゲート電極を形成した。ゲート長(L_g)100 nm の典型的な伝達特性を図 2 に示す。Si ドープ層を有するデバイスではゲートリーク電流が大きく、 g_m は最大でも 10 mS/mm 程度であった。一方で、Si ドープ層のないデバイスでは、ゲートリークが低減され、閾値以下の電圧において、ドレイン電流が 2 桁程度低減した。その結果、最大 g_m は 37 mS/mm 程度まで向上した。メサ形成による素子分離を行った結果、側壁に露出した Si ドープ層とゲート電極の接触によりリーク電流が増大したものと考えられる。以上の結果は、N 極性 HEMT において、側壁に絶縁膜を成膜する等の、側壁を保護する構造がさらなる特性向上に重要であることを示唆する。

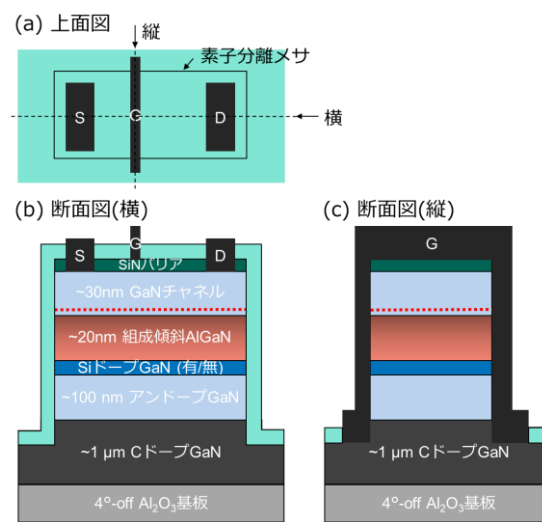


図 1 N 極性 GaN HEMT の
上面図と断面図

- [1] 吉屋ら, 第 70 回春季応用物理学会, 18a-A301-9
- [2] 吉屋ら, 第 72 回春季応用物理学会, 17p-K301-8

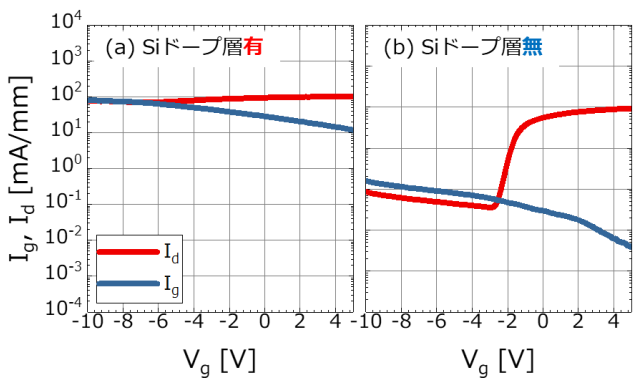


図 2 N 極性 GaN HEMT(L_g =100 nm)の伝達特性

汎用機械学習ポテンシャルを用いた N 極性 GaN HEMT の熱輸送特性の解析

Thermal transportation analysis of GaN channel layer in N-polar GaN HEMT

using universal machine learning interatomic potential

住友電工 ○吉田 成輝, 山村 拓嗣, 小谷 淳二, 牧山 剛三, 中田 健

Sumitomo Electric Industries, Ltd., °Shigeki Yoshida, Takuji Yamamura, Junji Kotani,

Kozo Makiyama, Ken Nakata

E-mail: yoshida-shigeki1@sei.co.jp

N 極性 GaN HEMT はそのエピ構造から高周波・高出力化に有利であり、W 帯で Ga 極性 GaN HEMT を上回る出力電力が報告されている[1]。一方で、高出力動作時には発熱量も多くなり、デバイス特性の劣化が懸念される。そのため、N 極性 GaN HEMT の熱輸送特性の計算はデバイス設計にとって重要である。そこで、本研究では汎用機械学習ポテンシャルを用いた非平衡分子動力学法によって、発熱源であるチャンネル層の熱伝導率とチャンネル層とバリア層、パッシベーション層との間の界面熱抵抗を計算した。

AlN バリア層、 β -Si₃N₄ パッシベーション層をもつ N 極性 GaN HEMT を想定し、計算モデルを作成した。また、AlN バリア層は GaN バッファ層に格子整合していると仮定した。図 1 に計算モデルと計算方法の模式図を示す。計算では、モデルの下部領域で最も運動エネルギーが大きい原子と中央領域で最も運動エネルギーが小さい原子を交換することで、温度勾配を発生させた。系の温度は 300 K に設定し、計算時間は 1 fs/step, 200000 step 計算した。また、原子の交換は 50 step 毎に実施した。

図 2 に計算の結果得られた温度勾配を示す。計算結果から、GaN, AlN, β -Si₃N₄ の熱伝導率は 18.1, 59.6, 4.83 W/mK と算出された。また、GaN/AlN 界面および GaN/ β -Si₃N₄ 界面の界面熱抵抗はそれぞれ、 1.25×10^{-9} , 1.50×10^{-9} Km²/W と求まった。GaN チャンネル層の熱伝導率は GaN バルクの熱伝導率よりも低く、チャンネル層の膜厚がフォノンの平均自由工程よりも薄いことが原因と考えられる。今回の計算結果から、チャンネル層から熱が逃げにくいことが示され、各層との界面熱抵抗の低減、高熱伝導率材料との組合せが N 極性 GaN HEMT の特性向上に重要となる。

[1] B. Romanczyk, et. al, IEEE Trans. Electron. Devices, **65**, 45 (2018).

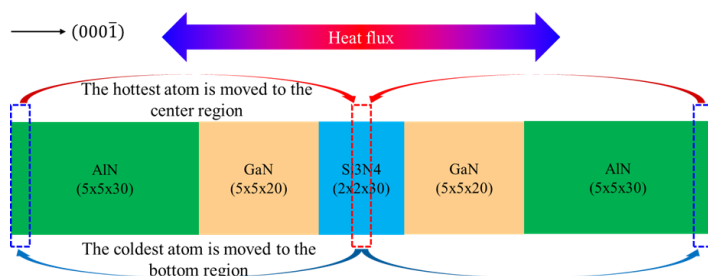


Fig.1 Schematic image of the super cell used for the simulation.

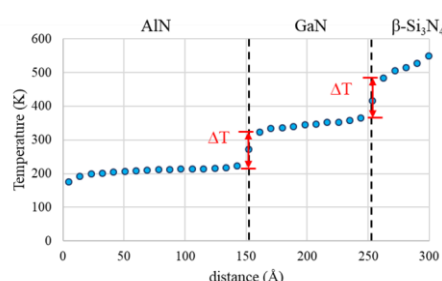


Fig.2 Temperature profile of left sided of the super cell after the simulation.

【謝辞】この成果は、NEDO（国立研究開発法人新エネルギー・産業技術総合開発機構）の助成事業「ポスト 5 G 情報通信システム基盤強化研究開発事業」（JPNP 20017）の結果得られたものです。

リセスゲート構造による N 極性 GaN HEMT の電流コラプス抑制

Suppression of current collapse in N-polar GaN HEMTs with recessed gate structures

住友電工, °早坂 明泰, 吉田 成輝, 矢板 潤也, 向井 章, 小谷 淳二, 牧山 剛三, 中田 健

Sumitomo Electric, °Akihiro Hayasaka, Shigeki Yoshida, Junya Yaita, Akira Mukai,

Junji Kotani, Kozo Makiyama, Ken Nakata

E-mail : hayasaka-akihiro@sei.co.jp

GaN HEMT は無線通信向けの高周波パワーデバイスとして広く使用されており、5.5G や 6G に向け特性向上が求められている。しかし、Ga 極性 GaN HEMT は短ゲート構造において電子がバッファ側に回り込みリーク電流が増加する課題がある。そこでバックバリアにより電子の回り込みを抑制できる N 極性 GaN HEMT が注目されている。しかし、N 極性 GaN HEMT は Ga 極性 GaN HEMT と比べ、結晶表面がダメージを受けやすく界面準位が形成されやすい、また、チャネルが表面側に位置するため絶縁膜/半導体界面に電子が到達しやすいなどの理由により、電流コラプスが課題である。そこで本研究では、電流コラプスの抑制が期待されるリセスゲートを有する N 極性 GaN HEMT を作製し、リセスゲートと電流コラプスの関係を調査した。

MOCVD 法により cap 層が AlGaIn 単層と AlGaIn/GaN/AlGaIn 積層の N 極性 GaN HEMT 構造を成長した。SiN パッシベーション膜、HfSiO_x ゲート絶縁膜、オーミック電極、ゲート電極を形成し、Lg 400 nm のプレーナゲートとリセスゲートの N 極性 GaN HEMT を作製した(Fig. 1)。Van der Pauw 法により測定したプレーナゲートとリセスゲートのアクセス領域における 2DEG 密度と移動度はそれぞれ $1.9 \times 10^{13} \text{ cm}^{-2}$, $1150 \text{ cm}^2/\text{Vs}$ および $1.8 \times 10^{13} \text{ cm}^{-2}$, $1120 \text{ cm}^2/\text{Vs}$ であった。

パルス IV 測定の結果、プレーナゲートおよびリセスゲートの $I_{dq} = 8 \text{ mA/mm}$ 、 $V_d = 40 \text{ V}$ ストレスによる電流低下率はそれぞれ 19% および 4% であり、リセスゲートによる電流コラプスの抑制に成功した(Fig. 2)。プレーナゲートでは捕獲電子による表面電位の上昇が直接チャネルに影響する。一方リセスゲートでは、表面電位の上昇が GaN cap を介してチャネルに作用するため、チャネルの電位上昇が抑制された可能性がある。さらに、チャネルと絶縁膜/epi 界面の間に AlGaIn cap が 2 層挟まれているため、絶縁膜/epi 界面に到達する電子数が減少した可能性なども考えられる。cap 層のバンド設計が N 極性 GaN HEMT の特性向上に重要な役割を果たすことが示唆された。

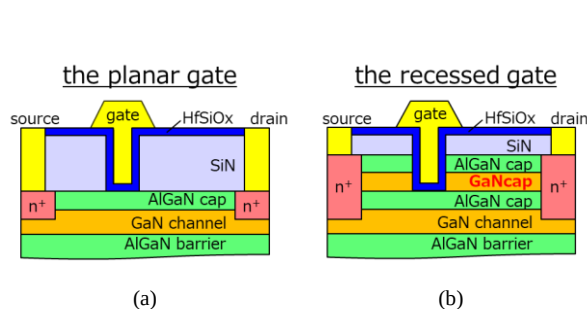


Fig. 1 Schematic cross-section of the N-polar GaN HEMTs (a) with the planar gate and (b) with the recessed gate.

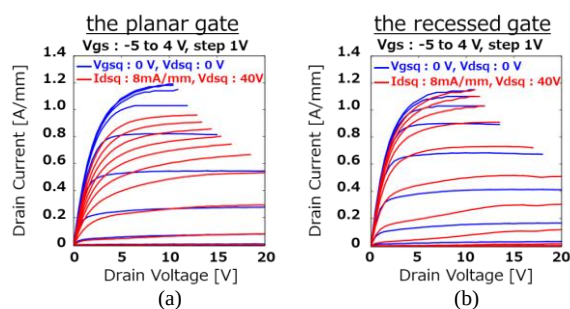


Fig. 2 Pulsed I-V characteristics of the N-polar GaN HEMTs (a) with the planar gate and (b) with the recessed gate.

【謝辞】この成果は、NEDO（国立研究開発法人新エネルギー・産業技術総合開発機構）の助成事業「ポスト 5 G 情報通信システム基盤強化研究開発事業」（JPNP 20017）の結果得られたものです。

N 極 GaN HEMT におけるドレイン電流変動に対する影響

Impact on Drain Current Transient in N-polar GaN HEMTs

住友電工, °矢板潤也, 吉田成輝, 早坂明泰, 向井章, 今関祐貴, 小谷淳二, 牧山剛三, 中田健

Sumitomo Electric, °Junya Yaita, Shigeki Yoshida, Akihiro Hayasaka, Akira Mukai,

Yuki Imazeki, Junji Kotani, Kozo Makiyama, Ken Nakata

E-mail: yaita-junya@sei.co.jp

【はじめに】 GaN HEMT は無線通信向け高周波パワーデバイスとして広く使用されており、さらなる高周波帯での特性向上が求められている。高周波動作に必要な短チャネル構造では、DIBL の影響によりピンチオフが悪くなる。これを抑制するために Fe などのアクセプタを導入した高絶縁 buffer によりピンチオフが良くなるが、Buffer トラップ増加によりドレイン電流変動が悪化してしまうというトレードオフ関係にある。N 極性 GaN HEMT は、GaN channel の下に AlGaIn barrier 層が配置されるため、Buffer 上に高い ΔE_c が存在することで、高絶縁 Buffer 層を用いなくてもリーク電流の抑制が期待できる。これにより、ピンチオフ特性とドレイン電流変動特性のトレードオフ関係を改善することが期待できる。そこで本報では、Ga 極性および N 極性のピンチオフ特性とドレイン電流変動特性の関係について調査した結果を報告する。

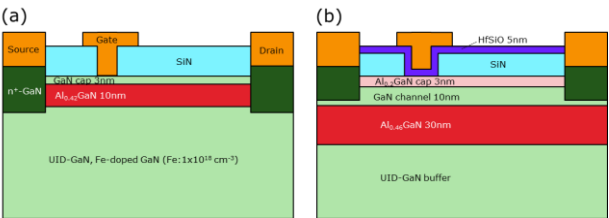


Fig. 1 Schematic illustrates of (a) Ga-polar and (b) N-polar GaN HEMTs.

【実験方法】 Ga 極性および N 極性のデバ

イス構造を図 1 に示す。Ga 極性と N 極性 GaN HEMT の 2DEG 濃度および As-grown 表面からの 2DEG 位置が一致するようにエピタキシャル構造を設計した。N 極性デバイスでは、ゲートリーク電流を抑制するために HfSiO 絶縁膜を用いた。ゲート長は 300 nm ですべて統一した。

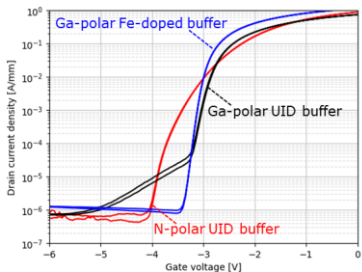


Fig. 2 Transfer curve characteristics of Ga-polar and N-polar HEMTs with drain voltage of 10V.

【結果】 UID buffer を用いた Ga 極性 HEMT では、DIBL の影響によりピンチオフ回りの特性が悪くなる一方で Fe dope 品及び UID buffer の N 極性 HEMT でも良好なピンチオフ特性が得られている(図 2)。一方で、 $I_d=20$ mA/mm から電圧ストレス印加後のドレイン電流変動特性(図 3)から、Fe-dope を行った Ga 極性 HEMT では、Fe 起因と想定される Drain-lag が見られるのに対し、N 極性 HEMT は Ga 極性の UID と比較しても良好な特性を得ることができ、N 極性 GaN HEMT でピンチオフ特性とドレイン電流変動特性のトレードオフ関係を改善する結果が得られた。

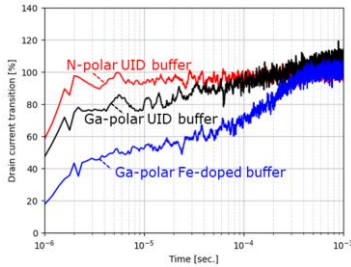


Fig. 3 Drain current transitions of Ga-polar and N-polar HEMTs. The applied stress voltage is (Vgs, Vds) = (-5, 50) V.

【謝辞】この成果は、NEDO（国立研究開発法人新エネルギー・産業技術総合開発機構）の助成事業「ポスト 5 G 情報通信システム基盤強化研究開発事業」（JPNP 20017）の結果得られたものです。

ScAlN/AlGa_{0.78}N/AlN/GaN ヘテロ構造における 2DEG の Shubnikov-de Haas 振動 Shubnikov-de Haas Oscillation of 2DEG in ScAlN/AlGa_{0.78}N/AlN/GaN Heterostructure

○若本裕介¹, 久保田航瑛¹, 河原孝彦², 吉田成輝², 牧山剛三², 中田健², 小林篤³, 前田拓也¹
東京大学¹, 住友電気工業株式会社², 東京理科大学³

Y.Wakamoto¹, K.Kubota¹, T.Kawahara², S.Yoshida², K.Makiyama², K.Nakata², A.Kobayashi³, T.Maeda¹
The University of Tokyo¹, Sumitomo Electric Industries, Ltd.², Tokyo University of Science³
E-mail: wakamoto@wbg.t.u-tokyo.ac.jp

ScAlN は大きな自発分極を有し, GaN との格子不整合率が小さいため, GaN とのヘテロ界面に誘起される二次元電子ガス(2DEG)の密度を増大させることができ, GaN HEMT の新規バリア層材料として期待されている. これまで我々は, スパッタ法を用いて AlGa_{0.78}N/AlN/GaN 上に ScAlN をエピタキシャル成長させることに成功し, その 2DEG 特性を Hall 効果測定や C-V 特性等により明らかにしてきた[1, 2]. 本研究では, 低温強磁場測定による Shubnikov-de Haas (SdH)振動の観測に成功し, より詳細なキャリア輸送解析を行ったので報告する.

図 1 にサンプル構造を示す. 半絶縁性 SiC 基板上に Al_{0.22}Ga_{0.78}N (3 nm)/AlN (1 nm)/GaN ヘテロ構造を有機金属気相成長法(MOVPE)により成長させ, その後 Sc_{0.09}Al_{0.91}N (10 nm)をスパッタ法により成長させた. その後 Hall bar 構造を作製し, Physical Property Measurement System (PPMS, Quantum Design)を用いて 2 K から 10 K の極低温範囲において最大 14 T の強磁場を面直方向に印加し抵抗値を測定した. 図 2 に 2 K における縦抵抗 R_{xx} とホール起電圧と電流の比からなる横抵抗 R_{xy} (挿入図)の磁場依存性を示す. 横抵抗は Hall 効果により磁場に対し比例し, 傾きから求まるシート密度 n_s は $1.41 \times 10^{13} \text{ cm}^{-2}$ であった. ScAlN 再成長により 2DEG が高濃度化している. 縦抵抗については 10 T を超えたあたりから SdH 振動が現れ, 次第にその振幅が増加した. 図 3 に 2 K から 10 K まで抵抗の振動成分を磁場の逆数に対してプロットしたものを示す. 全温度において振動成分は磁場の逆数に対し周期的であった. そして周期 $3.55 \times 10^{-3} \text{ T}^{-1}$ から計算されるシート密度 n_s は $1.36 \times 10^{13} \text{ cm}^{-2}$ であり, ホール効果測定から得られた結果と非常によく一致した. これはキャリア伝導が AlN/GaN 界面における 2DEG のみのシングルチャネルから成っていることを決定づけている. 振幅の温度・磁場依存性を解析することにより有効質量および量子緩和時間を見積もることができる. 有効質量は $0.25 \pm 0.01 m_0$ の値が得られた. これはよく用いられる値($0.20\text{--}0.22 m_0$)よりも大きい. 伝導帯の非放物線性および有効質量の磁場依存性[3, 4]を反映したものと思われる. 量子緩和時間は $52 \pm 7 \text{ fs}$ の値が得られ, これは移動度から得られる運動量緩和時間の 1/8.9 倍であった. これは散乱が異方的であり, 界面ラフネス散乱だけでなくクーロン散乱等の影響があることを示唆している.

謝辞 本研究の一部は, 科学技術振興機構(JST)創造的研究推進事業 ACT-X (JPMJAX22KH)および創発的研究支援事業(JPMJFR234D), 文部科学省マテリアル先端リサーチインフラ事業 ARIM (JPMXP1225UT0140)の支援を受けて実施された. 本研究の一部のデバイス作製は, ARIM (JPMXP1225UT1184)の支援を受けて, 東京大学武田先端スーパークリーンルーム微細加工拠点において実施された.

参考文献 [1] T. Okuda *et al.*, *Appl. Phys. Lett.* **126**, 052105 (2025). [2] K. Kubota *et al.*, *ICNS-15* (2025).

[3] D. R. Hang *et al.*, *Appl. Phys. Lett.* **79**, 66 (2001). [4] N. Tang *et al.*, *Appl. Phys. Lett.* **88**, 172115 (2006).

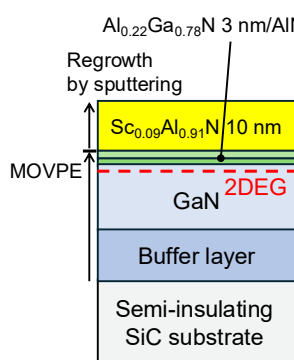


Fig. 1. The sample structure of ScAlN/AlGa_{0.78}N/AlN/GaN used in this study.

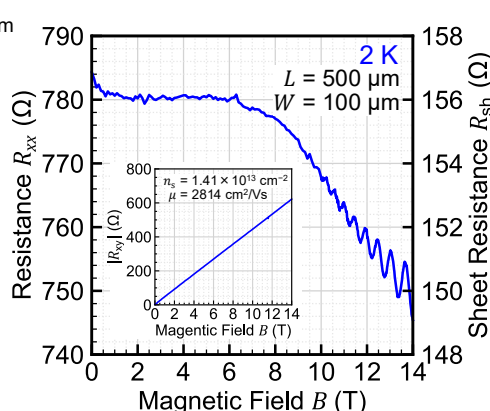


Fig. 2. Magnetic field dependence of resistance measured using a Hall bar structure at 2 K.

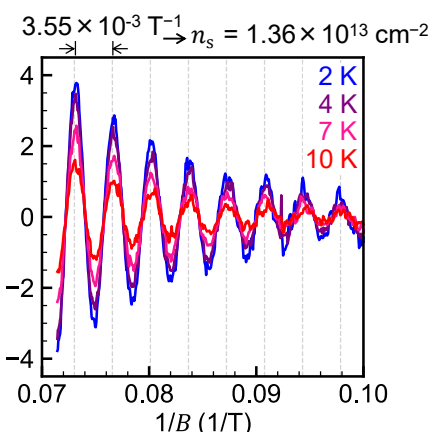


Fig. 3. Oscillating components of resistance plotted against $1/B$, exhibiting periodicity in $1/B$.

PA-MBE 成長 ScAlN/GaN ヘテロ接合における二次元電子ガスの輸送特性

Transport Property of 2DEG in ScAlN/GaN Heterostructures

Grown by Plasma-Assisted Molecular Beam Epitaxy

久保田航瑛¹, 若本裕介¹, 河原孝彦², 吉田成輝², 牧山剛三², 中田健², 中根了昌¹, 前田拓也¹
 東京大学¹, 住友電気工業株式会社²

K. Kubota¹, Y. Wakamoto¹, T. Kawahara², S. Yoshida², K. Makiyama², K. Nakata², R. Nakane³, T. Maeda¹
 The University of Tokyo, EEIS¹, Sumitomo Electric Industries, Ltd.²

E-mail: kubota@wbgt.t.u-tokyo.ac.jp

ScAlN は強い分極を有しており, GaN 上に擬格子整合してエピタキシャル成長可能であるため, GaN HEMT の新規バリア層として期待されている. しかし, ScAlN/GaN ヘテロ接合における 2DEG の移動度は低く, その散乱機構は未解明である[1, 2]. 本研究では, プラズマ援用分子線エピタキシー(PA-MBE)法により ScAlN/GaN ヘテロ接合を成長させ, その 2DEG の輸送特性を Hall 効果測定によって詳細に調べたので報告する.

PA-MBE 法により, GaN/SiC テンプレート基板上に GaN cap/ScAlN/GaN ヘテロ構造を成長させた. 成長温度は 650°C 程度である. ScAlN 層の Sc 組成を 3–17%, 膜厚を 4–6.6 nm の範囲で変化させた 4 種類のサンプルを用意した. Sc 組成は EDS, 膜厚は XRR で評価を行った. 成長中 in-situ 観察した [12 $\bar{1}$ 0] 方位の RHEED パターンは, 成長前後で細く鋭いストリークが保たれ間隔が変化せず, 平坦な表面を保ってコヒーレント成長していることが確認された. AFM より求めた二乗平均平方根粗さは 0.36 nm であり原子レベルで平坦な表面が確認された.

各サンプル上に Hall bar 構造を作製し室温 Hall 効果測定を行った. 図 1 に得られたシート電子密度(n_s)の ScAlN 層膜厚依存性を示す. 分極の理論値[3]を用いて Poisson-Schrödinger 計算から求めた n_s [4, 5]を実線で示す. n_s は Sc 組成に大きく依存せず 2.0–3.1 $\times 10^{13}$ cm $^{-2}$ であり, 数値計算の値と概ね一致した. 移動度は最も良いもので 468 cm 2 /Vs が得られた. これは MBE 法を用いて成長した ScAlN/GaN 直接のヘテロ接合における 2DEG[1, 6]の中で最大である.

ScAlN 層の Sc 組成 17%, 膜厚 4 nm のサンプルに対し, 2–400 K で Hall 効果測定を実施した. n_s は温度依存性を持たずほぼ一定となった. これは, 2DEG が分極のみにより誘起されていることを裏付ける結果である. 図 2 に同サンプルの 2DEG 移動度の温度依存性を示す. 移動度は 300 K で 414 cm 2 /Vs であり, 温度が下がるにつれて上昇し飽和することが確認された. 界面ラフネス(IR)散乱, 極性光学フォノン(POP)散乱, 音響変形ポテンシャル(ADP)散乱を考慮して移動度の解析を行った. 本サンプルでは 2DEG 密度が 3.0 $\times 10^{13}$ cm $^{-2}$ 程度と高いため, 伝導帯構造の非放物線性を考慮する必要がある. 図 3 に伝導帯の非放物線性を考慮した有効質量の n_s 依存性の計算モデル[7]を示す. 本研究では, 有効質量が 0.24 m_0 程度に重くなると考えて散乱要因解析を行なった. 図 2 に, 0.20 m_0 と 0.24 m_0 の有効質量の値を用いて計算を行った結果を示す. IR 散乱の解析では, 相関長 Λ と面直方向のポテンシャル変動 δ をフィッティングパラメータとした. 有効質量 0.24 m_0 を用いることで実験値と計算値はよく一致した. 界面ラフネスを表すパラメータ (Λ/δ) は 5.8 であり, AlGaIn/GaN ヘテロ接合における 2DEG の典型的な値(~ 10) [8, 9]より低く, 移動度向上には界面ラフネスの改善が必要であると考えられる.

【謝辞】 本研究の一部は, 科学技術振興機構(JST)創造的研究推進事業 ACT-X (JPMJAX22KH)および創発的研究支援事業(JPMJFR234D), 文部科学省マテリアル先端リサーチインフラ事業(ARIM) JPMXP1225UT0140 の支援を受けて実施された. また, 本研究の一部のデバイス作製は, 同 ARIM 事業 JPMXP1225UT1184 の支援を受けて, 東京大学武田先端知スーパークリーンルーム微細加工拠点において実施された.

[1] J. Casamento *et al.*, *Appl. Phys. Lett.* **121**, 192101 (2022). [2] I. Streicher *et al.*, *Adv. Funct. Mater.* **34**, 2403027 (2024). [3] O. Ambacher *et al.*, *J. Appl. Phys.* **129**, 204501 (2021). [4] Y. Wakamoto *et al.*, *ICNS 2023*. [5] I-H. Tan *et al.*, *J. Appl. Phys.* **68**, 4071 (1990). [6] K. Frei *et al.*, *Jpn. J. Appl. Phys.* **58**, SC1045 (2019). [7] D. Jena, *Quantum physics of semiconductor materials and devices*, (Oxford University Press, 2022), p. 259. [8] D. Zanato *et al.*, *Semicond. Sci. Technol.* **19**, 427 (2004). [9] 久保田 他, 春応物 2025, 17p-K301-6.

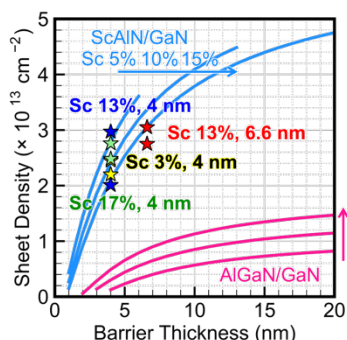


Fig. 1. 2DEG density vs ScAlN layer thickness. The experimental data points (stars) and the simulated data [4] (solid lines) are shown.

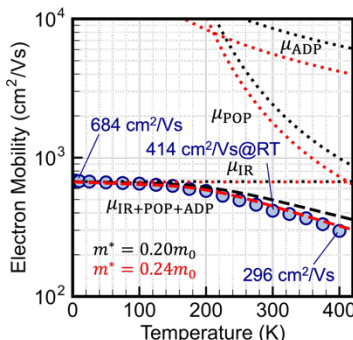


Fig. 2. Temperature dependence of electron mobility. The dashed lines show theoretical values considering IR, POP, and ADP, using effective mass of 0.24 m_0 (red line) and 0.20 m_0 (black line).

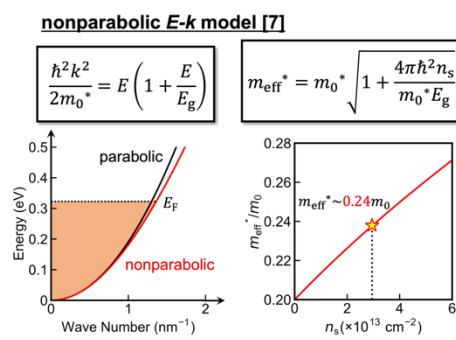


Fig. 3. E - k dispersion and the effective mass considering non-parabolicity of the conduction band due to high sheet carrier density.

GaN/sapphire 基板上スパッタ成長 ScAlN 薄膜の電気的特性 Electrical characterization of ScAlN thin film grown on GaN/sapphire substrate

城谷光亮^{1*}, 佐藤早和紀², 小林篤², 前田拓也¹

¹東京大学, ²東京理科大学

Kosuke Joya¹, Sawaki Sato², Atsushi Kobayashi² and Takuya Maeda¹

¹The University of Tokyo, ²Tokyo University of Science

*e-mail: joya@wbg.t.u-tokyo.ac.jp

ScAlN は、大きなバンドギャップ、強い自発分極や圧電係数、強誘電性などの魅力的な物性を有しており、従来の窒化物半導体光電子デバイスとデバイスレベルで融合させることで新機能を発現させることができる電子材料として注目を集めている[1]。近年、金属/ScAlN/n⁺-GaN 構造において ScAlN の強誘電性が発現したという報告があるが[2,3]、そのリーク電流は大きく、強誘電特性は非対称であり、理解が不十分である。そこで、本研究では、GaN/sapphire 基板上スパッタ成長 ScAlN 薄膜の電気的特性について詳細に調べたので報告する。

図 1 に本研究で測定に用いたデバイス構造を示す。n⁺-GaN/sapphire 基板上にスパッタ成長によって ScAlN 薄膜をエピタキシャル成長した[4, 5]。成長温度は 600℃、Sc 組成は 12%、膜厚は 85 nm である。ScAlN 表面に Pt 円形電極を形成し、チップの端に露出した n⁺-GaN 表面にインジウム(In)電極を形成した。電流-電圧(*I-V*)特性および容量-電圧(*C-V*)特性の測定を行なった。図 2 に ScAlN/GaN デバイスの *I-V* 特性を示す。-5 V から +5 V まで電圧掃引を行なったところ、-5 V 印加時に大きな負電流が流れ、電圧増加につれてリーク電流が減少し、-1.6 V 付近から正電流が流れることが確認された。これは、ScAlN/GaN ヘテロ界面近傍の欠陥に捕獲された電子が-5 V 印加することで放出され、逆に徐々に電圧を正側に掃引していくにつれて空乏領域が狭まり電子が捕獲される挙動で定性的に説明可能である。電圧掃引の際に 10 秒の delay 時間を設けて静的に測定を行なった結果を図 2 中に赤線で示す。過渡電流の影響が抑えられ、概ね対称的なリーク電流が測定された。しかし、リーク電流は依然として大きく、リーク電流メカニズムの解明と低減が必要である。図 3 に ScAlN/GaN デバイスの *C-V* 特性を示す。測定周波数は 500 kHz とした。容量は Pt 電極面積に比例することを確認しており、電極下の ScAlN 薄膜の容量が測定されている。0 V における容量値は 135 nF/cm² 程度であり、平行平板モデル($C/A = \epsilon_s/d$)において Sc_{0.12}Al_{0.88}N の誘電率を 12–13 ϵ_0 [6]とすると、 $d = 79\text{--}85\text{ nm}$ と ScAlN の膜厚に概ね相当する値が得られる。しかし、*C-V* 特性には無視できない電圧依存性および時計回りのヒステリシスが見られることから、下地の n⁺-GaN 領域に空乏層が広がり、ScAlN/GaN ヘテロ界面における電子の捕獲/放出の影響が *C-V* 特性に表れていると考えられる。*I-V* 特性と同様に 10 秒の delay を設定した結果を図 3 に赤線で示す。ヒステリシスが小さくなっていることから、ヘテロ界面における電子の捕獲/放出の影響をやや抑制できていると考えられる。これらの結果は、ScAlN/GaN ヘテロ接合の電気的特性の解析において、ヘテロ界面の欠陥や下地の GaN 層の空乏化の影響を考える必要性を示唆している。

参考文献 [1] D. Jena *et al.*, *Jpn. J. Appl. Phys.* **58**, SC0801 (2019). [2] D. Wang *et al.*, *Adv. Electron. Mater.* **8**, 2200005 (2022). [3] N. Wolff *et al.*, *Adv. Physics Res.* **3**, 2300113 (2024). [4] A. Kobayashi *et al.*, *Appl. Phys. Express* **17**, 011002 (2023). [5] T. Maeda *et al.*, *Appl. Phys. Lett.* **125**, 022103 (2024). [6] O. Ambacher *et al.*, *J. Appl. Phys.* **130**, 045102 (2021).

謝辞 本研究の一部は、科学技術振興機構(JST)創造的研究推進事業 ACT-X (JPMJAX22KH)および創発的研究支援事業(JPMJFR234D)の支援を受けて実施された。

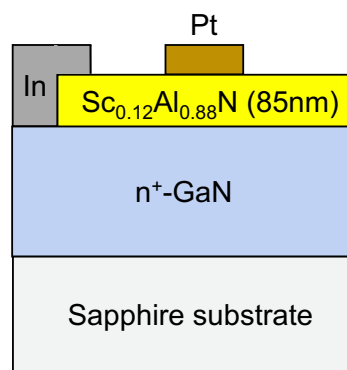


Fig.1. Schematic cross-section of the metal/ScAlN/n⁺-GaN. The In contact was formed on the exposed n⁺-GaN surface.

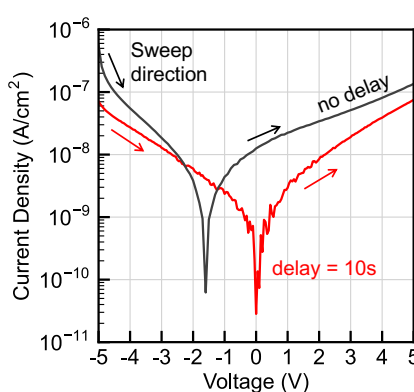


Fig.2. *I-V* characteristics of the ScAlN/GaN devices. The red line shows the data measured with 10 s delay.

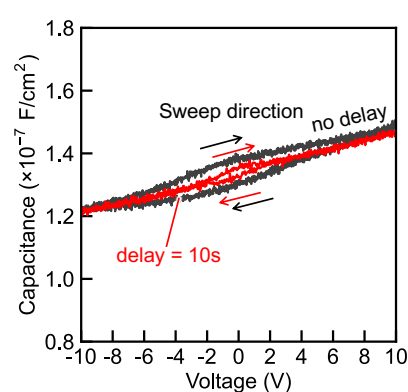


Fig.3. *C-V* characteristics of the ScAlN/GaN devices. The red line shows the data measured with 10 s delay.

AlGaIn/GaN ヘテロ構造に対する完全リセスオーミック接触抵抗のモデル解析

Modeling and analysis of fully-recessed Ohmic contact resistances to AlGaIn/GaN heterostructures

アドバンテスト¹, 北陸先端大² ○ 瓜生 和也^{1,2,*}, Choi Junewoo², Deng Yuchen², 鈴木 寿一^{2,**}Advantest Corp.¹, JAIST² ○ K. Uryu^{1,2,*}, J. Choi², Y. Deng², and T. Suzuki^{2,**}

E-mail: *kazuya.uryu@advantest.com, **tosikazu@jaist.ac.jp

1. 序論

AlGaIn/GaN ヘテロ構造に対するオーミック接触抵抗低減を企図し, 完全リセスオーミック接触が検討されている [1]. その接触抵抗には, 2次元電子ガス (2DEG) と直接接触する側壁金属と, オーバーラップ金属からの寄与があるが, 両者を分離した評価は行われていない. 本研究では, AlGaIn/GaN ヘテロ構造に対する完全リセスオーミック接触抵抗を伝送線路モデルに基づいて解析することで, 側壁金属とオーバーラップ金属の寄与を分離して評価した.

2. 素子構造および接触抵抗測定

Al_{0.24}Ga_{0.76}N (20 nm)/GaN (3000 nm) ヘテロ構造 (シート抵抗 $\approx 500 \Omega/\square$) を用い, 図 1 に示す完全リセスオーミック接触素子を作製した. この素子のオーミック電極は側壁金属およびオーバーラップ金属からなり, 電極間距離 L は 2-10 μm , オーバーラップ金属長 ℓ は 0.3-20 μm である. リセス深さは $\sim 50 \text{ nm}$ であり, AlGaIn 層は完全に除去されている. オーミック金属は Ti/Al/Ta または Ti/Al/Ti/Au 堆積後, 575°C 低温アニールにより形成した. 作製した素子に対して TLM 測定を行い, 得られた接触抵抗 $R_c(\ell)$ のオーバーラップ金属長 ℓ 依存性を図 2 に示す. $R_c(\ell)$ は Ti/Al/Ta に対して減少関数, Ti/Al/Ti/Au に対して増加関数となっている.

3. 伝送線路モデル解析

これらの挙動を図 3 に示す伝送線路モデルに基づいて解析した. このモデルから

$$R_c(\ell) = \sqrt{\rho_s \rho_c} \frac{\sqrt{\rho_s \rho_c} \tanh(\ell/L_T) + R_{sw}}{\sqrt{\rho_s \rho_c} + R_{sw} \tanh(\ell/L_T)} \quad (1)$$

が得られる. ここで, ρ_s はオーバーラップ金属下半導体のシート抵抗, ρ_c はオーバーラップ金属-2DEG 接触比抵抗, R_{sw} は側壁金属-2DEG 接触抵抗, $L_T = \sqrt{\rho_c/\rho_s}$ は特性長である. この式より, $\ell \rightarrow 0$ で $R_c(\ell) \rightarrow R_{sw}$, $\ell \rightarrow \infty$ で $R_c(\ell) \rightarrow \sqrt{\rho_s \rho_c}$ となる. 後者はオーバーラップ金属の接触抵抗 (非リセス領域の接触抵抗) である. また, $R_c(\ell)$ は $R_{sw} > \sqrt{\rho_s \rho_c}$ の場合に減少関数, $R_{sw} < \sqrt{\rho_s \rho_c}$ の場合に増加関数となる. 図 2 の挙動は (1) を用いて $L_T \approx 0.8 \mu\text{m}$ (Ti/Al/Ta) および $L_T \approx 5.8 \mu\text{m}$ (Ti/Al/Ti/Au) でよくフィッティングでき, その結果, 表 1 に示す ρ_s , ρ_c , R_{sw} が分離して抽出される. Ti/Al/Ta に対しては, 非リセス領域の接触抵抗が $\sqrt{\rho_s \rho_c} \approx 0.12 \Omega\text{mm}$ であり, 低温アニールオーミック接触における最も低い抵抗値の一つが得られている. しかし, $R_{sw} \approx 0.22 \Omega\text{mm} > \sqrt{\rho_s \rho_c}$ のため, $R_c(\ell)$ は ℓ の減少とともに増加し, 完全リセス構造は優位性を有さない. 一方, Ti/Al/Ti/Au に対しては, $R_{sw} \approx 0.96 \Omega\text{mm} < \sqrt{\rho_s \rho_c} \approx 1.6 \Omega\text{mm}$ であるため, $R_c(\ell)$ は ℓ の減少とともに低減し, 完全リセス構造に優位

性がある. 得られた $\rho_s \approx 150, 280 \Omega/\square$ はオーミック電極間のシート抵抗 $\approx 500 \Omega/\square$ よりもかなり低く, オーバーラップ金属下における電子密度増加 [2-5] が示唆された.

4. 結論

完全リセスオーミック接触抵抗は, オーバーラップ金属長の減少関数にも増加関数にもなる場合があり, 前者の場合, その優位性は失われる. 完全リセスオーミック接触抵抗のオーバーラップ金属長依存性を伝送線路モデルに基づいて解析することで, オーバーラップ金属下半導体のシート抵抗, オーバーラップ金属-2DEG 接触比抵抗, 側壁金属-2DEG 接触抵抗を分離して抽出できる.

本研究は JSPS 科研費 JP22H01545 および JP23K22815 の助成を受けたものである.

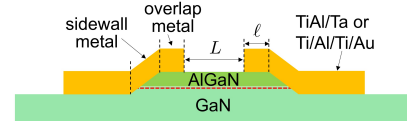
[1] Y. Lin *et al.*, Semicond. Sci. Technol. **33**, 095019 (2018).[2] K. Uryu *et al.*, APL **119**, 023505 (2021).[3] K. Uryu *et al.*, APL **120**, 052104 (2022).[4] K. Uryu *et al.*, AIP Adv. **13**, 075002 (2023).[5] K. Uryu *et al.*, APL **126**, 232103 (2025).

図 1: 完全リセスオーミック接触素子の模式図.

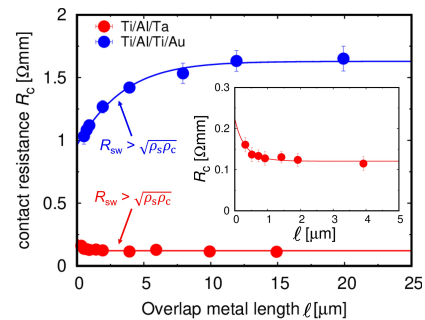
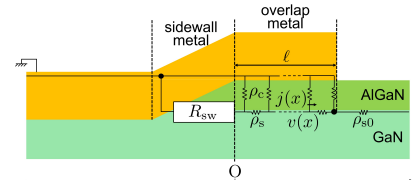
図 2: 接触抵抗 $R_c(\ell)$ のオーバーラップ金属長 ℓ 依存性.

図 3: 完全リセスオーミック接触の伝送線路モデル.

表 1: 完全リセスオーミック接触素子のパラメータ抽出結果.

	ρ_s [$\Omega/\square$]	ρ_c [$10^{-6} \Omega\text{cm}^2$]	$\sqrt{\rho_s \rho_c}$ [Ωmm]	R_{sw} [Ωmm]
Ti/Al/Ta	150	0.97	0.12	0.22
Ti/Al/Ti/Au	280	94	1.6	0.96

AlGaIn/GaN ヘテロ界面での AlN インタ層の効果 — 歪誘起欠陥形成の抑制による 2DEG 移動度の向上 —

Effect of AlN interlayer in AlGaIn/GaN heterostructures on both the reduction of strain-induced defects in GaN channel and the improvement of two-dimensional carrier transport

物材機構¹, 中部大工² ○角谷正友¹, 中野由崇², 今中康貴¹

NIMS¹, Chubu Univ.² OM. Sumiya¹, Y. Nakano², and Y. Imanaka¹

E-mail: SUMIYA.Masatomo@nims.go.jp

【はじめに】AlN インタ層は AlGaIn/GaN ヘテロ界面の平坦化によって移動度を向上させる効果があると考えられているが、我々は MOCVD で AlN インタ層のない AlGaIn/GaN ヘテロ界面を作製して整数量子ホール効果が出現する程良好な界面を実現した[1]。それでも低温移動度は $10,000 \text{ cm}^2/\text{Vs}$ と低かったので、キャリア散乱を引き起こす要因がヘテロ界面に別途あるのではないかと考えた。そこで、AlGaIn/GaN ヘテロ界面近傍の欠陥密度分布を測定したところ、1) AlGaIn 障壁層からの歪により界面近傍の GaN チャネル層の伝導帯近傍に欠陥準位が誘起されること、2) その準位がキャリア散乱に寄与すること、3) AlN インタ層が歪誘起欠陥形成を抑えるため 2DEG 移動度が向上することがわかったので報告する。

【実験】AlN テンプレート/サファイア基板上に常圧 MOCVD で約 $0.8 \mu\text{m}$ の GaN 薄膜を成長した後、減圧にして $\text{Al}_{0.24}\text{Ga}_{0.76}\text{N}$ ($x:0.06\sim0.24$) /GaN ヘテロ構造を作製した。AlN インタ層を挿入する場合は AlGaIn 障壁層成長直前に数秒先に TMAI を供給した。作製した試料の XRD の $2\theta-\omega$ 回折パターンをシミュレーションして得られた Al 組成や膜厚の試料構造から 2DEG キャリア密度をモデルから見積もった。それらは低温強磁場測定 ($1.8 \text{ K} \sim 15 \text{ T}$) によって評価された値 ($1.2 \times 10^{12} \sim 9.5 \times 10^{12} \text{ cm}^{-2}$) とほぼ一致していた。表面からのバイアス電圧 (空乏層幅) を変えながら定常光容量分光法 (Steady-state photocapacitance spectroscopy: SSPC) で評価し、ヘテロ界面近傍の欠陥密度と欠陥準位分布を求めた。

【結果】AlN インタ層のないヘテロ構造試料では障壁層の Al 組成の増加とともに SSPC (空乏層幅: 表面から約 60 nm) によって求めた全欠陥密度は 5.0×10^{15} から $3.0 \times 10^{18} \text{ cm}^{-3}$ と増加することがわかった。Al 組成 24% の障壁層の試料に AlN インタ層を挿入すると、 $2.0 \times 10^{16} \text{ cm}^{-3}$ と急激に減少した。これらの欠陥生成にヘテロ界面形成時に成長圧力を減圧にした影響はなかった。また、SIMS による深さ方向分析から AlN インタ層挿入による組成揺らぎや不純物濃度の違いもなかった。これらの結果と上層薄膜が下地層に歪の影響を与えるという報告[2]から、我々は AlGaIn 障壁層からの歪によって界面近傍の GaN チャネル層に欠陥が誘起されたと考えた。そこで、バイアス電圧を変化させて SSPC 測定して、欠陥密度の深さ方向分布を求めたところ、Fig. 1(a) に示すように AlN インタ層がない $\text{Al}_{0.24}\text{Ga}_{0.76}\text{N}/\text{GaN}$ 試料ではヘテロ界面から GaN チャネル層中の 10 nm 付近に $5.0 \times 10^{18} \text{ cm}^{-3}$ と欠陥密度のピークを示した。AlN インタ層を挿入した場合 GaN チャネル層との大きな格子定数差で界面で多くの欠陥が形成され、その密度は界面で最大で単調に減少した。Fig. 1(b) に示すように AlN インタ層がない場合は歪によって生じた欠陥準位は伝導帯近傍に多く形成されることがわかった。低温強磁場測定で求めたこの試料の 2DEG 移動度は $17,000 \text{ cm}^2/\text{Vs}$ であった。同じキャリア密度で AlN インタ層挿入した試料では、 $24,000 \text{ cm}^2/\text{Vs}$ と移動度向上を示したので、歪誘起された伝導帯近傍の欠陥準位はリモートのキャリア散乱に寄与し、AlN インタ層がこの欠陥形成を抑制したため移動度が向上したと考えた。

【謝辞】SIMS 測定は Eurofins EAG Laboratories で行われた。また、NIMS 共同利用支援を受けた。

[1] 角谷他 第 85 回応物学会秋季学術講演会 16p-A22-19 (2024), [2] Sumiya et al., J. Cryst. Growth **532**, 125376 (2020).

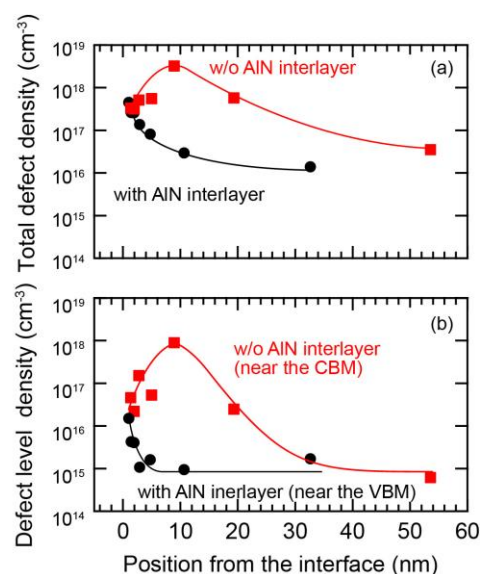


Fig.1 (a) Total and (b) defect levels densities for $\text{Al}_{0.24}\text{Ga}_{0.66}\text{N}/\text{GaN}$ heterostructures with (black) and w/o (red) AlN interlayer from the position of heterointerface. Lines are guide for eye.

InAlGaN HEMT におけるゲートリーク電流に対する In の影響

Effects of indium on the gate leakage current in an InAlGaN-HEMT

富士通株式会社 °山田 敦史, 多木 俊裕

Fujitsu Limited, °Atsushi Yamada and Toshihiro Ohki

E-mail: atsushi.y@fujitsu.com

InAlGaN を電子供給層に用いた高電子移動度トランジスタ (HEMT) は、AlGaN HEMT と比較して高濃度の二次元電子ガス (2DEG) を誘起可能であり、高出力化が期待される。しかしながら、高いゲートリーク電流や低い信頼性などが課題となり、実用化には至っていない。ゲートリーク電流の原因として、貫通転位周辺におけるインジウム (In) の偏析などが指摘されているが、In 原子の存在がゲートリーク電流に与える影響を直接的に調査した例は少ない。

本研究では、InAlGaN HEMT において、ゲートリーク電流に対する In の影響を直接的に評価した。同一成長条件で形成した InAlGaN および AlGaN 供給層を用いて特性比較を行った結果、同一 Al 組成において InAlGaN 表面では転位によるピットのみが確認されたのに対し、AlGaN 供給層ではピットを起点としたクラックが観察された (Fig. 1)。この結果から、In はバリア層の歪みを緩和し、クラック形成を抑制する効果があることが示唆された。次に、ショットキーダイオードを作製しゲートリーク特性を評価した結果、逆方向リーク電流は 2DEG 濃度に依存し、In の有無による顕著な影響は認められなかった (Fig. 2)。一般的な InAlGaN のエピタキシャル成長は、比較的低温 (700℃程度) かつ窒素雰囲気下で行われるため、下地層と比較して貫通転位密度が増加すると推測される[1]。したがって、InAlGaN HEMT におけるゲートリーク電流は、In が直接的に作用するのではなく、貫通転位の増加による影響を受けていると考えられる。そこで、貫通転位によるゲートリーク電流抑制のため、AlN スペーサ層およびアモルファス AlN (a-AlN) キャップ層の導入を検討した。その結果、AlN スペーサ層の導入は 2DEG 濃度を増加させるにも関わらずゲートリーク電流を減少させ、a-AlN キャップ層の導入はゲートリーク電流を 1 桁以上減少させる効果が認められた。以上の結果から、貫通転位を終端する構造を導入することで、ゲートリーク電流を効果的に低減できることが明らかになった。

[1] A. Yamada et al., Jpn. J. Appl. Phys., **61**, 075505 (2022).

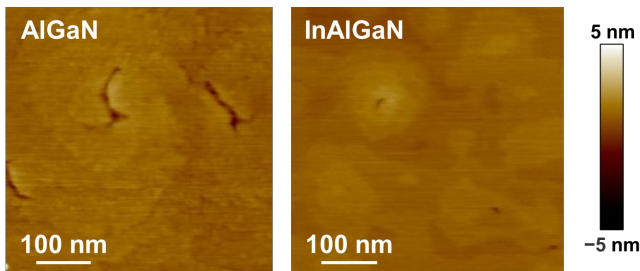


Fig.1 AFM images of AlGaN and InAlGaN barrier surfaces.

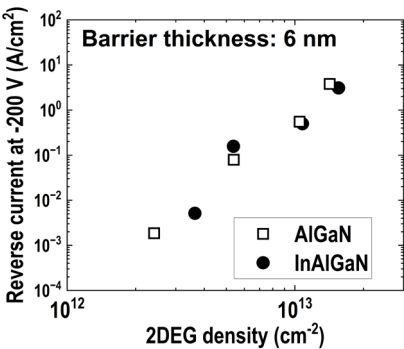


Fig.2 Schottky reverse current at -200 V depending on the 2DEG density

13 Semiconductors | Oral presentation : 13.7 Compound and power devices, process technology and characterization

[9a-N322-1~8] 13.7 Compound and power devices, process technology and characterization

[9a-N322-1]

Investigation of InP-HEMT degradation mechanism during the back-end process

○Taro Sasaki¹, Hiroki Sugiyama¹, Yuki Yoshiya¹, Takuya Hoshi¹, Yasuyuki Miyamoto², Fumito Nakajima¹ (1.NTT Device Technology Labs., 2.Inst. of Science Tokyo)

[9a-N322-2]

Fabrication of AlGaIn/GaN HBT with thinner Base layer

○Shota Kokubo¹, Tanaka Atushi², Honda Yoshio^{2,3,4}, Amano Hiroshi^{2,3,4} (1.Nagoya Univ., 2.IMaSS Nagoya Univ., 3.VBL Nagoya Univ., 4.IAR Nagoya Univ.)

[9a-N322-3]

Demonstration of GaN Photoconductive Semiconductor Switch (PCSS) Utilizing a Semi-insulating GaN Substrate and Si-ion Implantation

○Chinwei Li¹, Kenji Iso², Ryosho Nakane¹, Takuya Maeda¹ (1.UTokyo, 2.Mitsubishi Chemical Co.)

[9a-N322-4]

Luminescence study of GaN implanted with low-dose Si, Al, and N ions

○Kohei Shima¹, Masahiro Horita^{2,3}, Jun Suda^{2,3}, Shoji Ishibashi⁴, Akira Uedono⁵, Shigefusa Chichibu¹ (1.IMRAM-Tohoku Univ., 2.Nagoya Univ., 3.IMaSS-Nagoya Univ., 4.CCS-Univ. of Tsukuba, 5.Univ. of Tsukuba)

[9a-N322-5]

Effect of inserting an AlN intermediate layer on atmospheric pressure activation of Mg ion-implanted GaN using OVPE

○Shigeyoshi Usami¹, Yuta Ito², Sogo Yokoi¹, Atsushi Tanaka³, Junichi Takino⁴, Tomoaki Sumi⁴, Masayuki Imanishi¹, Masashi Yokoyama⁵, Masahiko Hata⁶, Yoshio Okayama⁴, Yoshio Honda³, Hiroshi Amano³, Yusuke Mori¹ (1.UOsaka, 2.Nagoya Univ., 3.IMaSS Nagoya Univ., 4.Panasonic Holdings Corp., 5.Sumitomo Chemical Co., Ltd., 6.Itochu Plastics Inc.)

[9a-N322-6]

One-dimensional unsteady thermal conduction simulation of pulsed-laser annealing for ion-implanted GaN using a diamond-like carbon film

○Shuntaro Ono¹, Asami Sugimoto¹, Arihiro Nishigaki¹, Yuzuka Minami², Yoshihiro Shimazaki², Yuko Arai², Masamitsu Toramaru², Yosito Jin², Kazuyosi Tomita³, Daichi Imai¹, Takao Miyajima¹ (1.Meijo Univ., 2.JSW, 3.Nagoya Univ.)

[9a-N322-7]

Low-temperature PL characterization of pulsed-laser-annealed Mg-ion-implanted GaN

○Asami Sugimoto¹, Shuntaro Ono¹, Arihiro Nishigaki¹, Yuzuka Minami², Masamitsu Toramaru², Yuko Arai², Yoshihiro Shimazaki², Yoshito Jin², Kazuyoshi Tomita³, Daichi Imai¹, Takao Miyajima¹ (1.Meijo Univ., 2.JSW, 3.Nagoya Univ.)

[9a-N322-8]

Electrical characterization of pulsed-laser annealed Si-ion implanted GaN

O(M2)Arihiro Nishigaki¹, Haruto Hirota¹, Shuntaro Ono¹, Asami Sugimoto¹, Yuko Arai², Yuzuka Minami², Yoshihiro Shimazaki², Masamitsu Toramaru², Yoshihito Jin², Kazuyoshi Tomita³, Akira Uedono⁴, Daichi Imai¹, Takao Miyajima¹ (1.Meijo Univ., 2.JSW, 3.Nagoya Univ., 4.Tsukuba Univ.)

InP-HEMT ICの配線工程におけるデバイス特性劣化機構の考察

Investigation of InP-HEMT degradation mechanism during the back-end process

○佐々木 太郎¹, 杉山 弘樹¹, 吉屋 佑樹¹, 星 拓也¹, 宮本 恭幸², 中島 史人¹

¹NTT 先端集積デバイス研究所, ²東京科学大学

¹NTT Device Technology Labs, NTT Corporation ²Institute of Science Tokyo

E-mail: tarou.sasaki@ntt.com

【緒言】InP-HEMT は、6G 時代における超高速無線通信の基盤技術としてだけではなく、量子コンピュータ向け LNA などへの応用も期待されており、近年も単体トランジスタの優れた特性が報告されている^[1-3]。このような高性能トランジスタを社会実装するためには IC 化^[4]が必須である。IC プロセスでは、トランジスタ作製の高歩留率と共に、長大な配線工程（後工程）後の特性劣化を抑制する必要がある。本講演では、我々の配線工程におけるデバイス特性劣化について調査した結果を報告する。

【デバイス特性の劣化】

我々の配線工程におけるトランジスタ劣化として最も典型的なものは、電流値 (I_d) の減少である。図 1 に、特に劣化が顕著であったウェハのトランジスタ形成後の検査 TEG (TEG-A) と一層配線形成後の検査 TEG (TEG-B) の I_d - V_d 特性を示す。また図 2 に、 $I_{d,max}$ 及び V_{th} の配線工程中の推移を示す ($I_{d,max}$ は $V_g / V_d = 0.4 / 1.0$ V のときの I_d)。プロセスの都合上、トランジスタ形成後のみ TEG-A を評価し、配線工程では一貫して TEG-B を評価した。ここで $I_{d,max}$ 及び V_{th} は、リセス条件の異なる 2 つの 3 インチウェハ面内 5 ショットの平均値 (不良ショットは除外) であり、プロセスの進行に伴って V_{th} が浅くなり、 $I_{d,max}$ が減少していくことが分かる。また、特に劣化が顕著であったウェハ (リセス条件 1) について、IC 完成後に測定した RF 特性を図 3 に示す。我々の過去の報告 ($f_i / f_{max} \sim 280 / 860$ GHz)^[5]と比べると f_{max} が大幅に劣化している。

【劣化要因の考察】

過去の我々の検討では、今回と類似の層構造を有するエピウェハにおいて、窒素雰囲気下、250℃、1 時間程度の熱処理を施しても N_s , μ_c の低下、結晶品質変化は見られなかった^[6]。今回の後工程における熱履歴は上記条件よりも緩やかだったことから、観測された特性劣化は後工程の熱履歴による結晶品質の変化ではなく、加工プロセスに起因している可能性が高い。我々のエピ構造ではリセスエッチングの面内均一性を確保するため、InP エッチング停止層を採用している^[7]。InP エッチング停止層には表面安定化効果があり、これを意図的に剥離したデバイスでは、InP エッチング停止層を有するデバイスに比べ、 I_d - V_d 特性において 1) 電流値減少、2) キンク増大が顕著であることが報告されている^[8]。当該報告と今回観測された劣化は極めて類似していることから、今回のリセス工程において何らかの InP エッチング停止層の変質が生じ、表面安定化効果が損なわれた可能性が高く、この変質が起点となり、200℃超の工程を含む配線工程において徐々に劣化が進んだと考えられる。今後、リセスエッチング条件や停止層厚さの最適化により、特性劣化を抑制出来る可能性がある。

【参考文献】 [1] H. -B. Jo *et al.*, *Appl. Phys. Express*, **12**, 5, 54006, 2019. [2] E. Cha *et al.*, *IEEE Trans. Electron Devices*, **70**, 5, 2431, 2023. [3] D. C. Ruiz *et al.*, *IEEE Trans. Electron Devices*, **66**, 11, 4685, 2019. [4] H. Hamada *et al.*, *IEEE Microw. Wireless Compon. Lett.*, **31**, 6, 2021. [5] T. Tsutsumi *et al.*, *Phys. Status Solidi A*, **221**, 13, 2023. [6] H. Sugiyama *et al.*, *J. Appl. Phys.*, **93**, 7, 4260, 2003. [7] T. Enoki *et al.*, *Solid. State. Electron.*, **41**, 10, 1651, 1997. [8] T. Suemitsu and M. Tokumitsu, *IEICE Trans. Electron.*, **E90-C**, 5, 917, 2007.

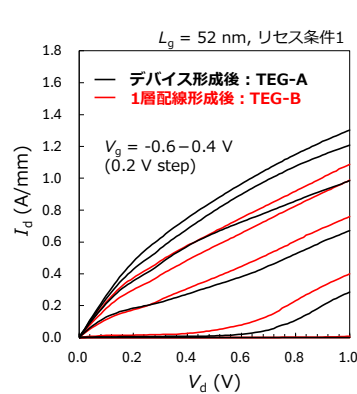


図 1. I_d - V_d 特性の劣化

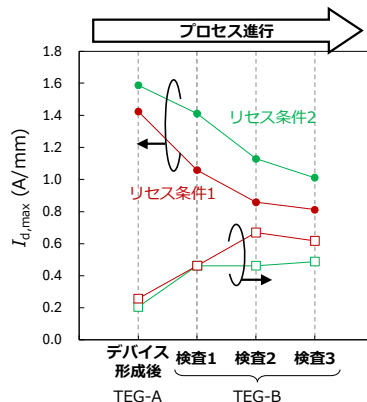


図 2. $I_{d,max}$, V_{th} のプロセス中推移

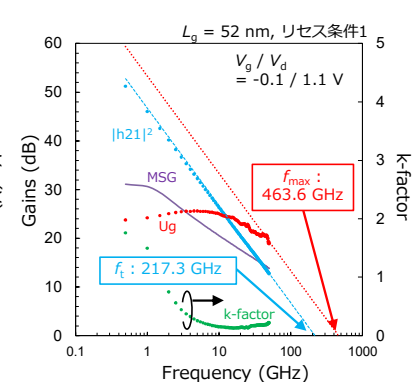


図 3. 劣化した TEG の RF 特性

薄膜ベース層を用いた AlGaIn/GaN HBT の作製

Fabrication of AlGaIn/GaN HBT with thinner Base layer

名大院工¹, 名大 IMASS², 名大 VBL³, 名大 IAR⁴

○小久保 翔太¹, 田中 敦之², 本田 善央^{2,3,4}, 天野 浩^{2,3,4}

{Grad. Sch. Eng.¹, IMASS², VBL³, IAR⁴} Nagoya Univ.

○S. Kokubo¹, A. Tanaka², Y. Honda^{2,3,4}, H. Amano^{2,3,4}

E-mail: kokubo.shota.w0@s.mail.nagoya-u.ac.jp

【背景と目的】 AlGaIn/GaN HBT (Heterojunction Bipolar Transistor)は従来の GaAs 系 HBT と比較して、高周波動作及び低消費電力化が期待できる^[1]ほか、GaN HEMT(High Electron Mobility Transistor)と比較して出力の線形性に優れていることから、次世代の高周波半導体デバイスの有力候補である。これまでに我々は MOVPE 法により連続成長して作製した AlGaIn/GaN HBT の特性についての報告を行ってきた^[2]。一方で GaN 系 HBT は p-GaN ベース層中の少数キャリア寿命が短い^[3]ことから、コレクタ電流が減少し、電流増幅率が制限される($\beta = 21$ ^[2])という問題があった。そこで本研究では p-GaN の膜厚を最適化して設計を行い、電流増幅率の向上を目的に実験を行った。

【実験方法】 Fig.1 に作製した HBT のデバイス構造を示す。n 型 GaN (0001) 自立基板の上に n⁺-GaN サブコレクタ ([Si]= $1.5 \times 10^{18} \text{ cm}^{-3}$, 1.1 μm), n-GaN コレクタ ([Si]= $8.0 \times 10^{16} \text{ cm}^{-3}$, 1.6 μm), p⁺-GaN ベース ([Mg]= $8.8 \times 10^{18} \text{ cm}^{-3}$, 80 nm), n⁺-Al_{0.15}Ga_{0.85}N エミッタ ([Si]= $1.5 \times 10^{19} \text{ cm}^{-3}$, 75 nm), n-GaN コンタクト ([Si]= $4.4 \times 10^{18} \text{ cm}^{-3}$, 60 nm)を MOVPE 法により連続で成長した。ベースの厚さは TCAD を用いたシミュレーションにより、電流増幅率とアーリー電圧について考慮し、最適化を行った。

【実験結果】 Fig.2 に作製した HBT のガンメル・プロットを示す。これより、デバイスの電流増幅動作が確認できる。また、最大電流増幅率(β_{max})は100であった。Fig.3 に HBT の出力特性(I_c - V_{ce} 特性)を示す。ベース電流を 0 - 50 μA と 5 μA ずつ変化させることで、コレクタ電流が変調していることが確認できる。アーリー電圧は $I_B = 40 \mu\text{A}$ のとき $V_A = 172 \text{ V}$ であり、出力電流の線形性がよいといえる。一方、ベース電流の増加に伴い、アーリー電圧が減少する傾向が見られ、 $I_B = 50 \mu\text{A}$ のとき $V_A = 78 \text{ V}$ であった。これは自己発熱効果によってコレクタ電流が増加した影響だと考えられる。

【謝辞】 本研究は JSPS 科研費 JP23K26559 および JP22H00213 の助成を受けて行われた。

【参考文献】 [1] S. C. Shen *et al.*, Semicond. Sci. Tech. 28, 074025 (2013). [2] T. Kumabe *et al.*, Appl. Phys. Express 15 046506, (2022). [3] S. F. Chichibu *et al.*, Appl. Phys. Letters 112 211901, (2018).

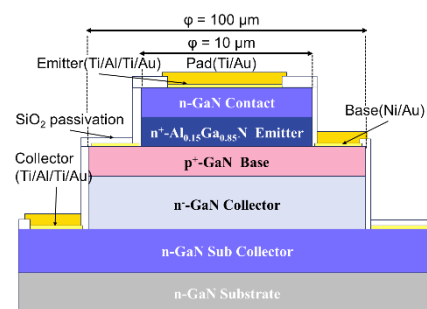


Fig.1 : Cross sectional view of HBT

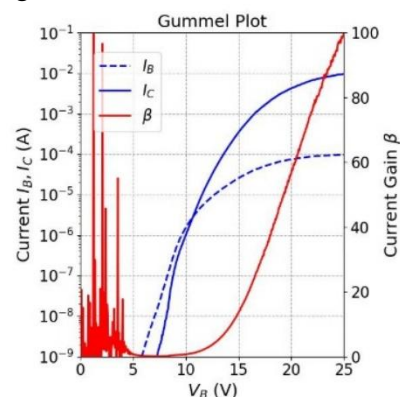


Fig.2 : Gummel plot of HBT

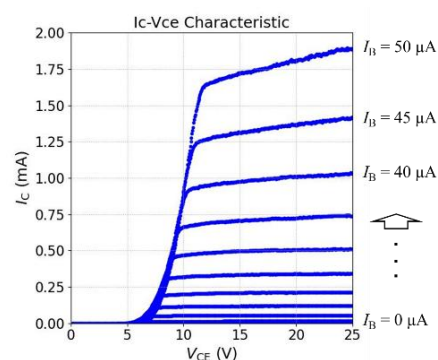


Fig.3 :Common emitter characteristics of HBT

半絶縁性 GaN 基板に Si イオン注入を用いて作製した GaN 光伝導型スイッチの動作実証

Demonstration of GaN Photoconductive Semiconductor Switch (PCSS)

Utilizing a Semi-insulating GaN Substrate and Si-ion Implantation

○李晉維^{1*}, 磯憲司², 中根了昌¹, 前田拓也¹

東京大学¹, 三菱ケミカル株式会社²

Chinwei Li¹, Kenji Iso², Ryosho Nakane¹, and Takuya Maeda¹

¹The University of Tokyo, EEIC/EEIS, ²Mitsubishi Chemical Corporation

*e-mail: li@wbg.t.u-tokyo.ac.jp

風力発電や太陽光発電など変動不可避な再生可能エネルギーの利用に向けて、中高耐圧(5–50 kV)領域の電力変換技術の研究開発が進められており、多数のパワーモジュールを利用するため、回路構成が複雑化し、電磁干渉(EMI)が大きな問題となっている。半導体光伝導型スイッチ(PCSS)は、高耐圧化が比較的容易であり、光照射によってシンプルかつ EMI 耐性が高い高速スイッチング動作が可能である[1, 2]。本研究では、半絶縁性 GaN 自立基板に Si イオン注入を用いて GaN PCSS を作製し、その光応答特性及び絶縁破壊特性を詳細に調べたので報告する。

図 1 に本研究で作製した GaN PCSS のデバイス構造を示す。Mn ドープ半絶縁性 GaN 基板について、まず Cl₂ 系 ICP-RIE によって素子分離を行い、その後、フォトレジストをマスクとして Si イオン注入を行った。注入エネルギーは 60 keV、ドーズ量は 3×10¹⁵ cm⁻² とした。その後、ECR-PECVD によって保護膜として SiO₂ を形成し、窒素雰囲気中で 1100°C、10 分間の活性化アニールを行なった。その後、HF 処理によって保護膜を除去し、n⁺-GaN 領域上に Ti/Au オーミック電極を形成した。TLM 測定を行なったところ、コンタクト抵抗は 1.62 Ωmm とやや高く、シート抵抗 107 Ω/sq、コンタクト抵抗率 2.4×10⁻⁴ Ωcm² となった。これは、注入された Si のプロファイルを反映して GaN 表面近傍で電子濃度がやや低下しているが、良好な活性化が得られたことを示唆している。Hall 効果測定を行なったところ、シート抵抗は 89 Ω/sq と TLM と概ね一致し、シート電子濃度は 9.4×10¹⁴ cm⁻² (活性化率: 31%)、移動度は 75 cm²/Vs となった。以上より、半絶縁性 GaN 基板に対して Si イオン注入によって良好な n 型コンタクト層及びオーミック接触を形成できることが確認できた。図 2 に波長 365 nm の単色光照射下における GaN PCSS の光電流の電圧依存性を示す。電気的特性は Keysight B1505A を用いて測定した。光照射には水銀ランプ(REX-250, 朝日分光)を用いており、ND フィルタによって光量を変化させた測定結果を示している。光量 100% の際、光強度は 209 mW (集光面積より光子束は約 2×10¹⁸ cm⁻²s⁻¹ に相当)である。波長 365 nm の光の侵入長は 500 nm 程度[3]であり、GaN 表面近傍で光吸収されて電子正孔対が生成されることで光伝導に寄与している。光電流は電圧印加によって概ね線形に増加しており、高電界になるにつれてドリフト速度が飽和値に漸近していく傾向が見られた。また、光電流はどの電圧においても照射強度に対して概ね比例することがわかった。図 3 に GaN PCSS の絶縁破壊電圧のギャップ長依存性を示す。測定した領域で概ね比例関係に従い、実効的な破壊電界は 0.35 MV/cm であった。ギャップ長 75 μm の素子では、絶縁破壊電圧 2.4 kV (絶縁破壊直前のリーク電流 < 1 μA/cm) と高い値を示した。しかし、GaN の絶縁破壊電界(〜3 MV/cm) [4]より著しく低く、今後、表面での電界集中を緩和することでより高耐圧化が期待される。

謝辞 本研究の一部のデバイス作製は、文部科学省ナノテクノロジープラットフォーム事業(JPMXP1225UT1184)の支援を受けて、東京大学武田先端知スーパーセンターナノ微細加工拠点において実施されました。

参考文献 [1] A. D. Koehler *et al.*, *ECS J. Solid State Sci. Technol.* **6**, S3099 (2017). [2] J.-H. Hsia *et al.*, *IEEE EDL* **45**, 774 (2024). [3] J. F. Muth *et al.*, *APL* **71**, 2572 (1997). [4] T. Maeda *et al.*, *JAP* **129**, 185702 (2019).

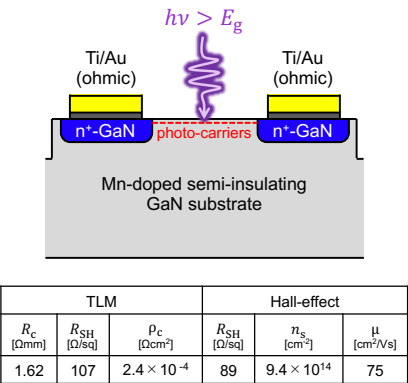


Fig.1. Schematic cross-section of the GaN PCSS fabricated in this study. **Table:** the properties of the Si-ion implanted n⁺-GaN region measured by TLM and Hall-effect measurements.

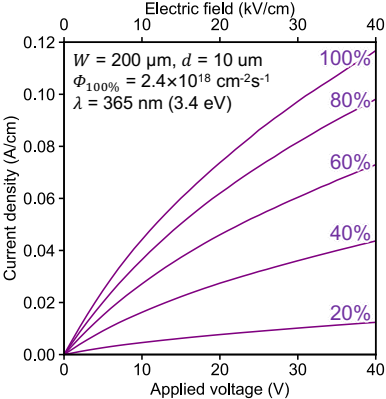


Fig.2. On-state current-voltage characteristics of the GaN PCSS under the monochromatic illumination of λ = 365 nm (3.4 eV).

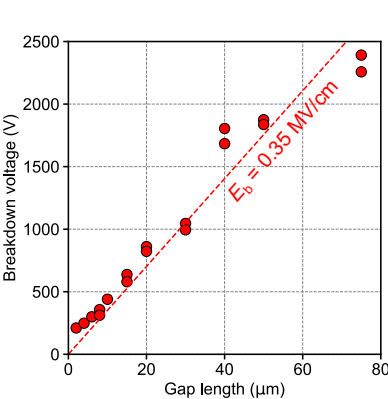


Fig.3. Breakdown voltage vs. the gap length of the GaN PCSS devices. The effective breakdown field is about 0.35 MV/cm.

低ドーズ Si, Al, N イオン注入 GaN のルミネッセンス評価

Luminescence study of GaN implanted with low-dose Si, Al, and N ions

東北大多元研¹, 名大工², 名大 IMASS³, 筑波大 CCS⁴, 筑波大数物系⁵

○嶋絃平¹, 堀田昌宏^{2,3}, 須田淳^{2,3}, 石橋章司⁴, 上殿明良⁵, 秩父重英¹

IMRAM-Tohoku Univ.¹, Nagoya Univ.², IMASS-Nagoya Univ.³, CCS-Univ. of Tsukuba,⁴

Univ. of Tsukuba⁵

○K. Shima¹, M. Horita^{2,3}, J. Suda^{2,3}, S. Ishibashi⁴, A. Uedono⁵, and S. F. Chichibu¹

E-mail: kshima@tohoku.ac.jp

GaN MOS パワーデバイスの実現には、イオン注入(I/I)による p 型および n 型 GaN セグメントの形成技術が不可欠である。Mg-I/I により誘起される欠陥(Ga 空孔と N 空孔の複空孔: $V_{Ga}V_N$ [1])および活性化アニール(PIA)時に形成される空孔クラスタ($(V_{Ga}V_N)_3$ 等[1])が、p 型 GaN の少数キャリア寿命を制限するミッドギャップ再結合中心(MGRC)として働くことが報告されている[2]。低濃度(10^{14} cm⁻³ 台)Si イオン注入 GaN(I/I-GaN:Si)においては、PIA 後に Si 濃度を一桁上回るドナー性欠陥が残留することが報告[3]されており、Si-I/I 誘起欠陥の理解・制御も不可欠である。本講演では、I/I 種(Si, Al, N)およびアニール温度(T_a)等の条件が、低ドーズ I/I-GaN の MGRC に与える影響を、フォトルミネッセンス(PL)法および時間分解 PL 法により評価した結果を報告する。

+c 面 GaN 基板上に MOVPE 成長させた無添加(UID)GaN 層($N_D = 3 \sim 10 \times 10^{15}$ cm⁻³)に対して、加速エネルギー 700 keV、ドーズ量 1×10^{12} cm⁻² で Si-I/I、Al-I/I、および N-I/I を行った(ピーク濃度は Si-I/I の場合に 3×10^{16} cm⁻³ 程度)。I/I 後に SiO₂ キャップ層を形成し、常圧 N₂ 雰囲気下で 700~1100 °C で 3 分間の PIA を行った。PL および時間分解 PL 測定の際には、それぞれ He-Cd レーザの 325 nm ラインおよびモード同期 Al₂O₃:Ti レーザの第 3 高調波を使用し、弱励起条件で測定を行った。図 1 に、1100 °C で PIA 処理を行った各試料の PL スペクトルを示す。UID-GaN と比較して、I/I-GaN はバンド端発光強度が約 2 桁低下しており、PIA 後も空孔型欠陥に由来する MGRC が高濃度に残留していると考えられる。また、I/I 種の原子番号の減少に従い、13 K でのドナー束縛励起子(DBE)発光強度および室温バンド端発光強度が増加した。講演では、黄色発光帯(YL)等の深い準位に由来する発光の挙動にくわえ、少数キャリア寿命に関する評価結果についても報告する。

試料準備および議論をして頂いた(株)豊田中央研究所 井口絃子氏に感謝致します。PL 測定を補助して頂いた東北大学 向田彰氏に感謝します。本研究は、文科省革新パワエレ(JPJ009777)、クロスオーバーアライアンス等の援助を受けた。[1] 上殿他 PSSB **252**, 2794 (2015). [2] 嶋,秩父他 APL **113**, 191901 (2018). [3] 井口他 APEX **15**, 076504 (2022).

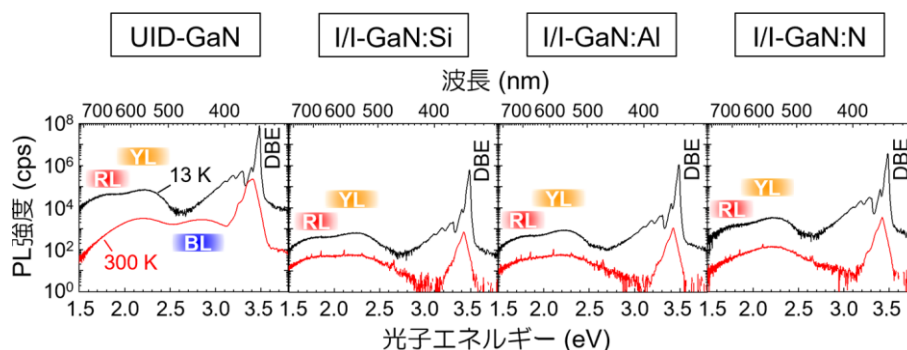


Fig. 1. PL spectra at 13 K and 300 K of UID-GaN, I/I-GaN:Si, I/I-GaN:Al, and I/I-GaN:N after PIA at $T_a = 1100$ °C.

OVPE 法を用いた Mg イオン注入 GaN の大気圧活性化における AlN 中間層挿入の効果

Effect of inserting an AlN intermediate layer on atmospheric pressure activation of Mg ion-implanted GaN using OVPE

阪大院工¹, 名大院工², 名大未来研³, パナソニックホールディングス(株)⁴, 住友化学(株)⁵, 伊藤忠プラスチック(株)⁶

○宇佐美茂佳¹, 伊藤佑太², 横井創吾¹, 田中敦之³, 滝野淳一⁴, 隅智亮⁴, 今西正幸¹, 横山正史⁵, 秦雅彦⁶, 岡山芳央⁴, 本田善央³, 天野浩³, 森勇介¹

Grad. Sch. Of Eng. UOsaka¹, Nagoya Univ.², IMASS Nagoya Univ.³, Panasonic Holdings Corp.⁴, Sumitomo Chemical Co., Ltd.⁵, Itochu plastics Inc.⁶

○S. Usami¹, Y. Ito², S. Yokoi¹, A. Tanaka³, J. Takino⁴, T. Sumi⁴, M. Imanishi¹, M. Yokoyama⁵, M. Hata⁶, Y. Okayama⁴, Y. Honda³, H. Amano³, Y. Mori¹

E-mail: usami@eei.eng.osaka-u.ac.jp

【背景】局所的 p 型伝導制御はパワーデバイス製造に不可欠の技術であり，GaN ではイオン注入後に超高圧環境でアニールを行うことで良好な p 型伝導が実現されている^[1]。しかし，低コスト化にはプロセスの大口径対応が必須であるため，プロセス圧力の低減が急務となっている。それに対し我々は，酸化物気相成長（OVPE）法によって GaN の吸着反応を導入した活性化プロセス（OVPE アニール，Fig 1(a)）を提案し，大気圧下でも表面分解を抑制できること，及び PL スペクトルから Mg の活性化を確認している^[2]。しかし，イオン注入層のクラックや，OVPE-GaN 側への Mg 拡散，OVPE-GaN の残渣などが問題となり p 型 GaN の電気的実証に至っていない。本発表では上記問題を解決するために AlN 中間層の導入を検討したので報告する。

【実験】AlN 中間層を導入したプロセスフローを Fig. 1(b)に示す。まず，undoped-GaN に対して 30 keV, ドーズ量 $5.8 \times 10^{13} \text{ cm}^{-2}$ で N→Mg の順で共イオン注入した。その GaN 上に低温で AlN（LT-AlN）を 500 nm 程度成膜し，その後 OVPE 法で GaN 層を成膜しながら 1200℃, 1h の高温アニールを大気圧下で行った。成膜された OVPE-GaN を 1M KOH 水溶液中で電気化学エッチングを行うことで選択除去し，露出した AlN をアルカリ溶液に浸漬して除去した。

【結果・考察】AlN 中間層有無での OVPE アニール後の光学像を Fig. 2(a), 2(b)に示す。AlN 無しのサンプルでは OVPE-GaN が部分的に残留したが，AlN 中間層有りでは OVPE-GaN をほぼ全て除去できた。OVPE-GaN の残渣はイオン注入層からの Mg 拡散によって界面近傍の OVPE-GaN のキャリア濃度が低下することで生じるものと考えられる。AlN 中間層を導入したことで OVPE-GaN 中への Mg 拡散が抑制され，なおかつ AlN が犠牲層として機能するため，OVPE-GaN をほぼ完全に除去できたものと推測できる。露出表面の低温 PL スペクトル評価から Mg の活性化も確認している。また露出表面のクラックも観察されなかったため，AlN 中間層の導入で OVPE アニールの問題は解消されたと言える。今後ホール測定による電気特性評価を行う予定である。

【参考文献】[1] H. Sakurai *et al.*, Appl. Phys. Lett., **115**, 142104 (2019). [2] 宇佐美 他, 第 85 回応用物理学会講演会, 16p-A22-10 (2024).

【謝辞】本研究の一部は環境省「革新的な省 CO₂ 実現のための部材（GaN）や素材（CNF）の社会実装・普及展開加速化事業」の委託および JSPS 科研費（JP25K00038）の助成を受けて行われた。

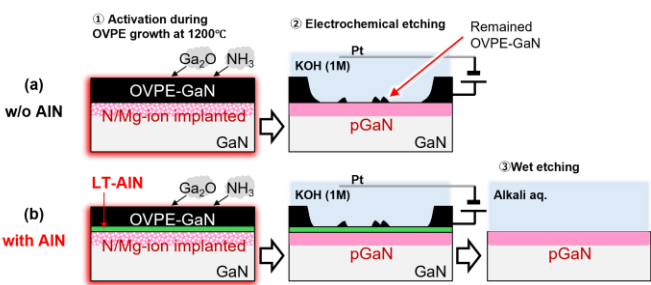


Fig. 1. Process flow of OVPE annealing (a)w/o and (b)with AlN.

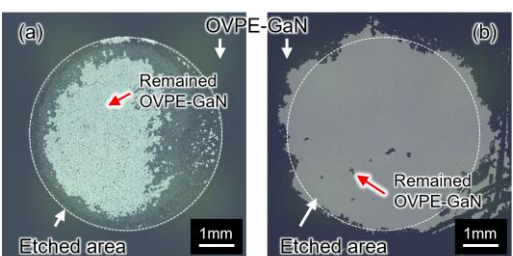


Fig. 2. Optical microscope images after OVPE-GaN removal. (a) w/o AlN, (b) with AlN process.

ダイヤモンドライクカーボン膜を用いたイオン注入 GaN に対する パルスレーザアニールの一次元非定常熱伝導シミュレーション

One-dimensional unsteady thermal conduction simulation of pulsed-laser annealing for ion-implanted GaN using a diamond-like carbon film

名城大理工¹, 日本製鋼所², 名大 IMaSS³

○大野峻太郎¹, 杉本麻水¹, 西垣有紘¹, 南 柚香², 島崎好広², 新井裕子²,
寅丸雅光², 神 好人², 富田一義³, 今井大地¹, 宮嶋孝夫¹

Meijo Univ.¹, The Japan Steel Works², Nagoya Univ.³

○S. Ono¹, A. Sugimoto¹, A. Nishigaki¹, Y. Minami², Y. Shimazaki², Y. Arai²,

M. Toramaru², Y. Jin², K. Tomita³, D. Imai¹ and T. Miyajima¹,

E-mail: 243428010@ccmailg.meijo-u.ac.jp

高効率の電力変換素子として GaN 系統型トランジスタの実用化が期待されている。デバイス作製にはイオン注入と熱アニールによる伝導性制御の技術を確認させる必要があるが、熱アニール時の窒素脱離が問題となる。そこで、我々は、常圧下でナノ秒の昇温降温が可能なパルスレーザアニールを AlN 保護膜使って行うことを提案している。実際、AlN 保護膜を成膜した Mg イオン注入 GaN にパルスレーザアニールすることで、Mg が光学的にアクセプタとして働いていることを報告している [1]。本研究では、AlN 保護膜に代わり Diamond Like Carbon (DLC)を使用したパルスレーザアニールを行っている。DLC は窒素脱離を抑制するとともに、発熱膜としての機能も有している。ここでは、熱伝導シミュレーションの結果から、その有効性を示す。

厚さ 100nm の DLC を成膜した GaN 表面に、KrF エキシマレーザ（波長 248 nm、パルス幅 28 ns、繰り返し周波数 1 Hz）を照射した時の温度分布を、1 次元熱伝導方程式を解くことで求めた。

Fig1 に、入射エネルギー密度を変えた時の、パルスレーザ照射終了時における深さ方向の温度分布を示す。入射エネルギー密度 500 mJ/cm² のとき、GaN 表面側の温度が 1200°C を超えることから、イオン注入した GaN のキャリア活性化が可能と考えられる。このとき、DLC 表面温度は 4,000°C に達する。これは、照射したパルスレーザが DLC 表面で吸収され発熱が起きるが、熱伝導率が 4.7 W/mK [2] と GaN の 200 W/mK に比較して約 1/40 と低いことに起因していると考えられる。

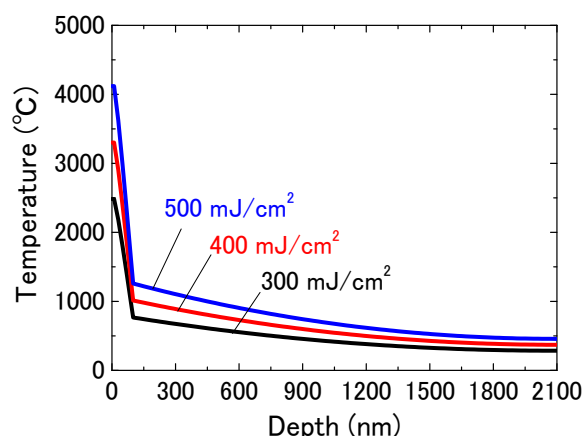


Fig.1: Calculated temperature distribution in the depth direction at the end of the pulse irradiation

【謝辞】本研究は、文部科学省 革新的パワーエレクトロニクス創出基盤技術研究開発事業 JPJ009777 の助成を受けたものです。MOCVD 成長を行って頂いた豊田中研の成田哲生氏に感謝致します。

[1] T. Miyajima et al., ICNS-13, E01.02 (2019). [2] G. Chen et al., Thin Solid Films, **366** (2000) 95.

パルスレーザアニールした Mg イオン注入 GaN の低温 PL 評価

Low-temperature PL characterization of pulsed-laser-annealed Mg-ion-implanted GaN

名城大理工¹, 日本製鋼所², 名大 ImaSS³,

○杉本麻水¹, 大野峻太郎¹, 西垣有紘¹, 南 柚香², 寅丸雅光², 新井裕子², 島崎好広²,
神 好人², 富田一義³, 今井大地¹, 宮嶋孝夫¹

Meijo Univ.¹, The Japan Steel Works², Nagoya Univ.³

○A. Sugimoto¹, S. Ono¹, A. Nishigaki¹, Y. Minami², M. Toramaru², Y. Arai²,

Y. Shimazaki², Y. Jin², K. Tomita³, D. Imai¹ and T. Miyajima¹

E-mail: 243428025@ccmailg.meijo-u.ac.jp

【背景】脱炭素社会実現のため、電気自動車等に用いられる GaN 系縦型パワートランジスタの実用化が期待されている。このためには選択領域への p 型 GaN の形成が必要であり、Mg イオン注入が行われる。ただし、イオン注入による結晶損傷の回復と Mg の Ga サイトへの導入のため、注入後に 1600℃もの高温で熱アニールを行う必要がある。このとき、表面からの窒素脱離による結晶性の低下が問題となる。この問題に対して、我々は、パルスレーザアニール(PLA)が実用的な解決手法と考えている。なぜならば、PLA により、常圧下で選択領域をナノ秒で昇温降温することが可能だからである。実際、これまでに、Mg をイオン注入した GaN に AlN 保護膜を使った PLA を行うことで、Mg が光学的にアクセプタとして働くことを実証した[1]。本研究では、光学的キャリア活性化率は、照射するパルスレーザの入射エネルギー密度とともに、照射回数にも依存することを報告する。この知見は、電気的特性評価を行うための指針として有用である。

【実験方法】試料として、サファイア基板上に MOCVD 成長した厚さ 6 μm の GaN に対し、加速電圧 30 keV、ドーズ量 $2.2 \times 10^{12} \text{ cm}^{-2}$ で Mg イオン注入を行った。PLA には、波長 248nm、パルス幅 28 ns、繰り返し周波数 1 Hz の KrF エキシマレーザを使用した。低温フォトルミネッセンス(PL)測定は T=3.85K にて行い、波長 325nm の He-Cd レーザと長さ 0.75m の分光器を用いた。

【結果】Fig.1 に PLA 前と 100 回のパルスレーザ照射による PLA 後の低温 PL スペクトルを示す。PLA により、束縛励起子の発光は強度の低下とともに低エネルギー側にシフトする。同時に、3.25eV 近傍にドナーアクセプタ対遷移発光(DA)が観察されるようになる。このことは、PLA により、表面近傍でアブレーションを通じた欠陥導入が起きるとともに、Mg が光学的にアクセプタとして働くことを示唆している。

【謝辞】本研究は、文部科学省 革新的パワー

エレクトロニクス創出基盤技術研究開発事業 JPJ009777 の助成を受けたものです。MOCVD 成長を行って頂いた豊田中研の成田哲生氏に感謝致します。

[1] T. Miyajima et al., ICNS-13, E01.02 (2019).

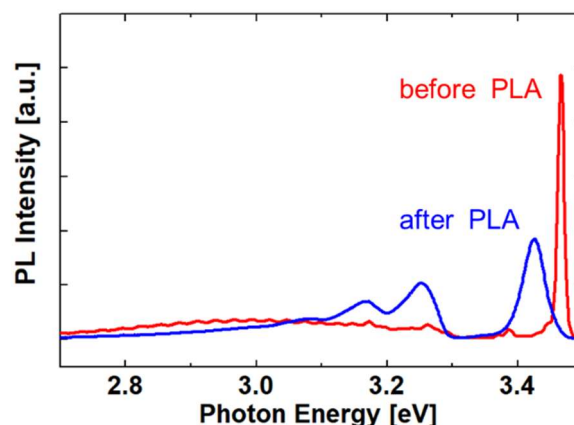


Fig.1: Photoluminescence spectrum of Mg-implanted GaN before and after PLA

パルスレーザアニールした Si イオン注入 GaN の電気特性評価

Electrical characterization of pulsed-laser annealed Si-ion implanted GaN

名城大理工¹, 日本製鋼所², 名大 IMaSS³, 筑波大学数物⁴

○(M2)西垣有紘¹, (M1)廣田晴大, (M2)大野峻太郎¹, (M2)杉本麻水¹, 新井裕子², 南 柚香²,
島崎好広², 寅丸雅光², 神 好人², 富田一義³, 上殿明良⁴, 今井大地¹, 宮嶋孝夫¹

Meijo Univ.¹, The Japan Steel Works², Nagoya Univ.³, Tsukuba Univ.⁴

○A. Nishigaki¹, H. Hirota¹, S. Ono¹, A. Sugimoto¹, Y. Arai², Y. Minami², Y. Shimazaki², M. Toramaru²,
Y. Jin², K. Tomita³, A. Uedono⁴, D. Imai¹ and T. Miyajima¹

E-mail: 243428032@ccmailg.meijo-u.ac.jp

高効率電力変換素子として、GaN 系縦型パワートランジスタの実用化が期待されている。そのためには、イオン注入による選択領域での電気伝導制御が必要となる。しかしながら、イオン注入後のキャリア活性化に 1600℃もの高温アニールが必要であり、その際に N 脱離による結晶性の低下が起きる。これを解決する 1 手法が超高压高温アニール[1]であるが、特殊な大型装置が必要となる。我々は、常圧下でナノ秒の昇温降温が可能なパルスレーザアニールに注目し、Mg イオン注入した GaN にパルスレーザアニールを行うと、Mg が光学的にアクセプターとして働くことを示した[2]。本研究では、Si イオン注入した GaN にパルスレーザアニールを行い、電気特性評価によりその有効性の実証を試みた。不純物として Si を選んだ理由は、活性化エネルギーが 30meV と Mg の 1/5 程度と小さく、パルスレーザアニールの有効性を実証しやすいと考えた。

試料は GaN 基板上に MOCVD 法により GaN:Si ($d=2\mu\text{m}$, $[\text{Si}]=2\times 10^{18}\text{cm}^{-3}$), GaN:Mg($d=2\mu\text{m}$, $[\text{Mg}]=5\times 10^{17}\text{cm}^{-3}$)を成長させた。この表面に Si を加速エネルギー40 keV、ドーズ量 $3\times 10^{15}\text{cm}^{-2}$, 7° off でイオン注入後、KrF エキシマレーザ($\lambda=248\text{nm}$, $F=28\text{nm}$, $f=1\text{Hz}$)を 1 回照射した。更に、この表面に Ti 10nm/Al 100nm/Ti 20nm/Au 200nm の円形電極 (電極間隔:15-40 μm) を蒸着し、窒素中で 600℃、4 分間のアニール後、4 端子法により電極間の電気抵抗を測定した。

Fig.1 に、パルスレーザの入射エネルギー密度 (反射率を考慮)を変えたときの、電極間 (40 μm 間隔) の I-V 特性を示した。電圧 5V における電流値はパルスレーザアニールにより 0.7nA 増加し、わずかな低抵抗化が観察された。また、陽電子消滅測定から、表面から 10nm の浅い領域で 1000℃以上の昇温が起きていることも示唆された。このことは、パルスレーザアニールにより表面でのキャリア活性化が起きているが、横方向の電気伝導率が低いために、明瞭な低抵抗化が観察しにくいと考えられる。

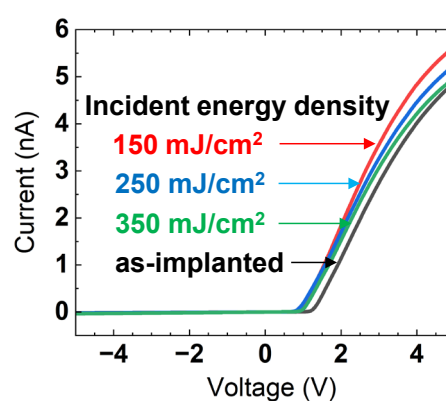


Fig.1 Dependence of the I-V characteristics between electrodes (40 μm spacing) on the incident energy density

【謝辞】本研究は、文部科学省革新的パワーエレクトロニクス創出基盤技術研究開発事業 JPJ009777 の助成を受けたものです。MOCVD 成長を行って頂いた豊田中研の成田哲生氏に感謝致します。

[1] H. Sakurai et al. Appl.Phys.Let.**115**,142104 (2019). [2] T. Miyajima et al., ICNS-13, E01.02 (2019).

13 Semiconductors | Oral presentation : 13.7 Compound and power devices, process technology and characterization

[9p-N322-1~20] 13.7 Compound and power devices, process technology and characterization

[9p-N322-1]

Systematic characterization of nitrogen-plasma treated SiC surface

○Daiki Miura¹, Kyota Mikami¹, Mitsuaki Kaneko¹, Tsunenobu Kimoto¹ (1.Kyoto Univ.)

[9p-N322-2]

Analyses of the current-voltage characteristics in thermal oxide/SiC structures – Discrepancy from Fowler-Nordheim tunneling current

○Tatsuki Yoshida¹, Kyota Mikami¹, Mitsuaki Kaneko¹, Tsunenobu Kimoto¹ (1.Kyoto Univ.)

[9p-N322-3]

Origin of mobility enhancement in SiC FinFETs through theoretical analysis of scattering mechanism

○Shion Toshimitsu¹, Kyota Mikami¹, Mitsuaki Kaneko¹, Tsunenobu Kimoto¹ (1.Kyoto Univ.)

[9p-N322-4]

Performance improvements of SiC MOSFETs by 2-step hydrogen annealing without nitridation

○Hiroki Fujimoto¹, Takuma Kobayashi¹, Shinji Kamihata¹, Keiji Hachiken¹, Masahiro Hara¹, Heiji Watanabe¹ (1.UOsaka)

[9p-N322-5]

Improvement of SiC MOS structures by 2-step hydrogen annealing: Impact of hydrogen treatment on SiC surface

○Satoshi Iga¹, Takuma Kobayashi¹, Hiroki Fujimoto¹, Masahiro Hara¹, Heiji Watanabe¹ (1.UOsaka)

[9p-N322-6]

Improvement of SiC MOS structures by 2-step hydrogen annealing: Impact of post-deposition annealing

○Keiji Hachiken¹, Takuma Kobayashi¹, Hiroki Fujimoto¹, Masahiro Hara¹, Heiji Watanabe¹ (1.UOsaka)

[9p-N322-7]

Thermal stability of SiC MOS structures formed by 2-step hydrogen annealing

○Ryuto Kakoi¹, Takuma Kobayashi¹, Hiroki Fujimoto¹, Masahiro Hara¹, Heiji Watanabe¹ (1.UOsaka)

[9p-N322-8]

Characterization of Ultrathin SiO₂/SiC Interfaces Fabricated by Low-temperature NO Oxynitridation

○(M1)Takuma Katori^{1,2}, Takuji Hosoi^{1,2} (1.Kwansei Gakuin Univ., 2.NIMS.)

[9p-N322-9]

Impact of 4H-SiC surface etching after thermal oxidation on the formation of carbon-related defects at high temperature

○(D)Chuyang Lyu¹, Takashi Onaya¹, Koji Kita¹ (1.Dept. of Advanced Materials Science, The Univ. of Tokyo)

[9p-N322-10]

P_{bC} type-2 center (carbon dangling-bond center) at 4H-SiC(0001)/SiO₂ interface

○(M2)Bunta Shimabukuro¹, Yusuke Nishiya², Sosuke Horiuchi¹, Mitsuru Sometani³, Hirohisa Hirai³, Heiji Watanabe⁴, Yu-ichiro Matsushita², Takahide Umeda¹ (1.Tsukuba Univ., 2.Quemix Inc., 3.AIST, 4.Osaka Univ.)

[9p-N322-11]

Shifts and Recovery of Device Characteristics in SiC-MOSFETs after Repetitive Turn-Off Switching-Induced Overvoltage Stress

○(M2)Takumu Nakatani¹, M.S. Hassan², Shin-ichi Nishizawa², Wataru Saito² (1.Kyushu Univ. IGSES, 2.Kyushu Univ. RIAM)

[9p-N322-12]

Luminescence-Induced Threshold Voltage Drift in SiC MOSFETs under Gate AC Stress

○(M2)Ryosuke Shingo¹, Noriyuki Iwamuro¹, Hiroshi Yano¹ (1.Univ. of Tsukuba)

[9p-N322-13]

Investigation of Forward Surge Current Capability for SiC MOSFETs

○Kazuhiro Suzuki¹, Hiroshi Yano¹, Noriyuki Iwamuro¹ (1.Univ. of Tsukuba)

[9p-N322-14]

Evaluation of Auger recombination coefficient in highly N-doped 4H-SiC under high-level injection conditions

○(P)Endong Zhang¹, Hiroko Matsuyam¹, Masashi Kato¹ (1.NITech)

[9p-N322-15]

Study on the Performance Improvement of Optical-Interference Contactless Thermometry Based on Machine Learning

○Jiawen Yu¹, Hiroaki Hanafusa¹, Seiichiro Higashi¹ (1.Hiroshima Univ.)

[9p-N322-16]

Understanding the origin of color centers at SiO₂/SiC interfaces through energy level investigation

○Kentaro Onishi¹, Takato Nakanuma¹, Haruko Toyama², Kosuke Tahara², Katsuhiro Kutsuki², Masahiro Hara¹, Heiji Watanabe¹, Takuma Kobayashi¹ (1.UOsaka, 2.Toyota CRDL)

[9p-N322-17]

Effect of conductivity type of SiC substrate on the formation process of color centers at SiO₂/SiC interfaces

○Yu Kaneko¹, Takato Nakanuma¹, Haruko Toyama², Kosuke Tahara², Katsuhiro Kutsuki², Masahiro Hara¹, Heiji Watanabe¹, Takuma Kobayashi¹ (1.UOsaka, 2.Toyota Central R&D Labs., Inc.)

[9p-N322-18]

Optical properties of impurity-vacancy pairs in 4H-SiC from ab initio calculations

○(D)Sosuke Iwamoto¹, Masahiro Hara¹, Heiji Watanabe¹, Takuma Kobayashi¹ (1.UOsaka)

[9p-N322-19]

Influence of the factor added by Firsov on the energy loss of ions associated with electronic excitation

○Kazuhiro Mochizuki¹, Tomoaki Nishimura¹, Tomoyoshi Mishima¹, Fumimasa Horikiri¹ (1.Hosei Univ.)

[9p-N322-20]

Model for Z_1 -dependent electronic stopping cross sections and its application to Si, C, 4H-SiC, Al, Ni, and Ag

○Kazuhiro Mochizuki¹, Tomoaki Nishimura¹, Tomoyoshi Mishima¹, Fumimasa Horikiri¹ (1.Hosei Univ.)

プラズマ窒化した SiC 表面の体系的評価

Systematic characterization of nitrogen-plasma treated SiC surface

京大院工¹ ○三浦 大輝¹, 三上 杏太¹, 金子 光顕¹, 木本 恒暢¹

Kyoto Univ. °D. Miura, K. Mikami, M. Kaneko, T. Kimoto

E-mail: miura@semicon.kuee.kyoto-u.ac.jp

背景・目的： SiC MOSFET では、界面準位低減のため、一般に一酸化窒素 (NO) により SiC/SiO₂ 界面の窒化が施されている [1,2]. また、他の界面窒化の手法として、窒素などを用いるプラズマ処理も提案されている [3-6]. しかし、これらの界面準位低減のメカニズムは依然として未解決である. 本研究では、プラズマ窒化が SiC 表面に及ぼす影響を調査した.

試料作製： 4H-SiC(0001) n型基板上n型エピ層 ($N_D = 1.0 \times 10^{16} \text{ cm}^{-3}$) を有する試料に対して、プラズマ窒化を施した (“N-plasma” 試料). ここで窒素流量は100 sccm, 温度は350℃, 圧力は100 Pa, 処理時間は30分, RFパワーは300 Wである. 比較のため、プラズマ窒化を施していない試料も用意した (“As-grown” 試料). さらにN-plasmaおよびAs-grown試料の欠陥評価のため、Ni電極を有するショットキー構造を作製した.

結果・考察： 二次イオン質量分析法 (SIMS) から得られた、N-plasma 試料表面における窒素原子密度の深さ方向分布を図 1 に示す. ここで、表面汚染やノックオンの影響を抑え、表面近傍の正確な深さ方向分布を得るために、基板側から分析を行うバックサイド SIMS を実施した. 窒素原子は表面から極めて浅い領域 (0–10 nm) に、 10^{19} – 10^{20} cm^{-3} 以上の密度で分布しており、この密度は SiC 中での窒素の固溶限界に相当する量であった. また、プラズマ窒化後の表面の化学結合状態を調べるために、X 線光電子分光法 (XPS) を行った. 図 2 に N-plasma, As-grown 試料における N1s 軌道の XPS スペクトルを示す. N-plasma 試料では、約 398 eV 付近に明瞭なピークが確認され、SiC 表面に Si-N 結合が存在することが示唆された. また N-plasma 試料における窒素原子の割合は、2.5 atomic%であった. なお分光エリプソメトリー測定から、表面に Si 窒化膜の存在は認められない.

図 3 に N-plasma および As-grown 試料の DLTS スペクトルを示す. ここで、表面近傍の欠陥を検出するため、逆バイアス電圧 (V_R) を -2.0 V で固定し、フィリングパルス電圧 (V_P) を $0 \sim 1.5 \text{ V}$ の間で変化させた. As-grown 試料では DLTS 信号はほとんど観測されなかったのに対して、N-plasma 試料では V_P の増加に伴って DLTS 信号の増大が観測されたことから、プラズマ窒化により欠陥が生成されることが判明した. 特に $V_P = 1.5 \text{ V}$ で最も強い DLTS 信号が検出されたことからほとんどのトラップが極表面近傍に存在していると言える. さらに低温領域 ($100 \sim 200 \text{ K}$) においてブロードなピークが観測されたことから、さまざまな欠陥準位が伝導帯端近傍に生成されたことがわかる.

[1] H. -F. Li *et al.*, *Appl. Phys. Lett.* **70**, 2028 (1997).

[2] G. Y. Chung *et al.*, *Appl. Phys. Lett.* **76**, 1713 (2000).

[3] Y. Iwasaki *et al.*, *Appl. Phys. Express* **3**, 026201 (2010).

[4] X. Zhu *et al.*, *Solid-State Electron.* **57**, 76 (2011).

[5] H. Fujimoto *et al.*, *Appl. Phys. Express* **16**, 074004 (2023).

[6] M. Yakut *et al.*, *Solid State Phenom.* **359**, 157 (2024).

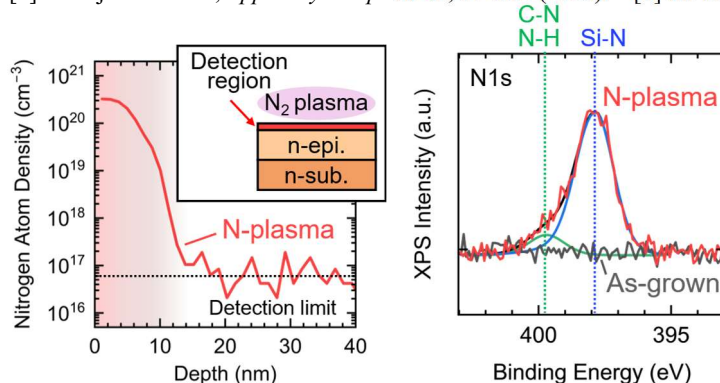


Fig. 1. Nitrogen atom profile for the N-plasma sample obtained by backside-SIMS.

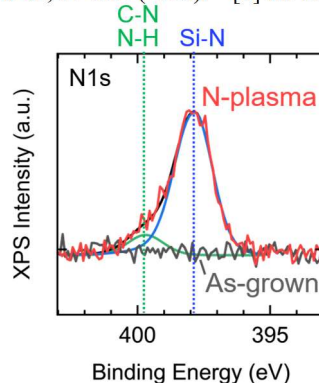


Fig. 2. XPS spectra of the N 1s core level for the N-plasma and As-grown samples.

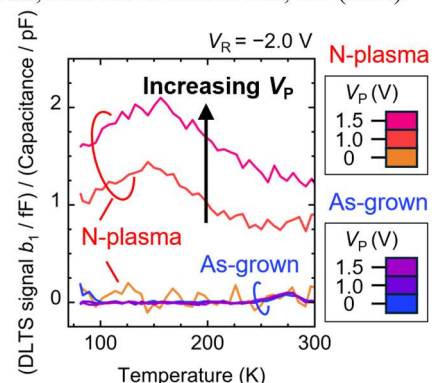


Fig.3. DLTS spectra of the N-plasma and As-grown samples measured with changing the filling pulse voltage (V_P).

熱酸化膜/SiC における電流—電圧特性の解析

— Fowler-Nordheim トンネル電流からの乖離

Analyses of the current–voltage characteristics in thermal oxide/SiC structures
– Discrepancy from Fowler-Nordheim tunneling current

京大院工 °吉田 達紀, 三上 杏太, 金子 光顕, 木本 恒暢

Kyoto Univ. °Tatsuki Yoshida, Kyota Mikami, Mitsuaki Kaneko, Tsunenobu Kimoto

E-mail: yoshida@semicon.kuee.kyoto-u.ac.jp

背景・目的: 信頼性の高い SiC MOSFET の設計指針確立のために, ゲート酸化膜における電流–電圧(I – V)特性の精密なモデリングが必要である. 一般に Si MOSFET のゲート電流は Fowler-Nordheim(FN)トンネルにより説明できるが, SiC 熱酸化膜のゲート電流が FN トンネル電流に支配されるか否かは未だ明らかではない. 本研究では SiC 熱酸化膜の I – V 特性および半導体/酸化膜界面の障壁高さを実験的に調べた. その結果, FN トンネル電流を考慮するだけでは, SiC 熱酸化膜の I – V 特性を再現できないことを明らかにした.

試料作製: 4H-SiC(0001) n 型基板上 n 型エピ層(ドナー密度: $3 \times 10^{15} \text{ cm}^{-3}$)上に MOS キャパシタを作製した. 熱酸化(1250°C , 60 分)により厚さ 35 nm の SiO_2 を形成した試料(As-Ox)と, 熱酸化後に NO アニール(1250°C , 70 分)を施した試料(Ox-NO)を用意した. ゲート電極には Ni を用いた.

結果・考察: Lenzlinger, Snow らによれば, 電界 F_{ox} を理想的な酸化膜に印加した際, 酸化膜を流れる電流密度 J は半導体/酸化膜界面における伝導帯側の障壁高さ ΔE_c を用いて次の近似式で表せる(LS モデル[1]).

$$J = \frac{q^3 F_{\text{ox}}^2}{16\pi^2 \hbar \Delta E_c m_{\text{ox}}^*} \exp\left(-\frac{4\sqrt{2m_{\text{ox}}^* \Delta E_c^3}}{3q\hbar F_{\text{ox}}}\right) \quad (1)$$

ここで q は電気素量, $\hbar$ は Dirac 定数, m_0 は電子質量, m_{ox}^* は酸化膜中の電子の有効質量($0.42m_0$ [1])である. ここで, $\ln(J/F_{\text{ox}}^2)$ を $1/F_{\text{ox}}$ に対してプロット(FN プロット)すると, その傾きから ΔE_c を求めることができる. 図 1 に作製した試料の FN プロットを示す. As-Ox 試料, Ox-NO 試料の ΔE_c はそれぞれ 2.79 eV, 2.97 eV となった.

図 2 に J – F_{ox} 特性の測定結果および FN プロットから求めた ΔE_c を用いて計算した結果を示す. 両試料について電流密度の計算値は実験値よりも大きく, LS モデルと実験結果が整合しなかった. また, FN プロットで決定した ΔE_c は Ox-NO 試料の方が As-Ox 試料よりも 0.18 eV 大きいにも関わらず, 電流密度の実験値は Ox-NO 試料の方が高いという矛盾する結果が得られた. ここで, Si MOS 構造の結果[2-4]に対して同様の解析を行ったところ, 図 3 に示すように J – F_{ox} 特性は LS モデルにより良好に再現できた. 以上より, SiC MOS デバイスの J – F_{ox} 特性は単純な LS モデルでは再現できない. この原因として酸化膜中のトラップや ΔE_c のゆらぎが考えられる.

[1] M. Lenzlinger and E. H. Snow, *J. Appl. Phys.* **40**, 278 (1969). [2] P. Samanta, *J. Appl. Phys.* **122**, 094502 (2017).

[3] J. P. Sorbier *et al.*, *J. Non-Cryst. Solids* **280**, 96 (2001). [4] J. Suñé *et al.*, *IEEE. Trans. Electron Devices* **40**, 1017 (1993).

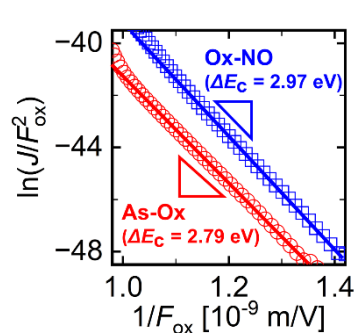


Fig 1. FN plots obtained from the J – F_{ox} characteristics of the As-Ox and Ox-NO samples.

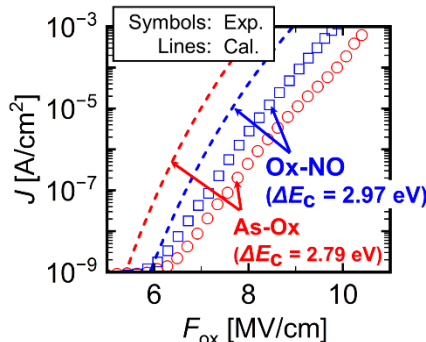


Fig 2. J – F_{ox} characteristics of the As-Ox and Ox-NO samples.

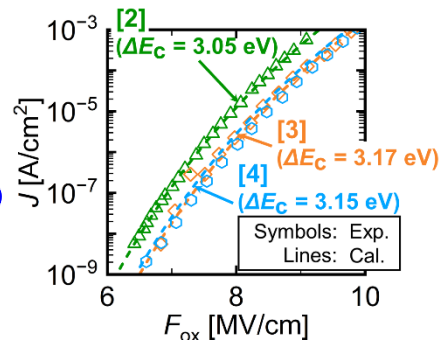


Fig 3. J – F_{ox} characteristics of the Si MOS capacitors reported in previous studies [2-4].

キャリア散乱機構の理論解析に基づく SiC フィン FET における移動度向上の考察

Origin of mobility enhancement in SiC FinFETs through theoretical analysis of scattering mechanism

京大院工¹, °利光 汐音¹, 三上 杏太¹, 金子 光顕¹, 木本 恒暢¹

Kyoto Univ.¹, °S. Toshimitsu¹, K. Mikami¹, M. Kaneko¹, T. Kimoto¹

E-mail: toshimitsu@semicon.kyoto-u.ac.jp

背景・目的：近年、極めて薄いボディ層を有する SiC フィン FET が初めて作製され、従来構造の MOSFET と比較して高い移動度を示すことが判明した[1]。しかしながら、SiC フィン FET における移動度向上機構に関する学理的な知見は不足している。本研究では、様々なフィン幅の SiC n チャンネルフィン FET におけるキャリア散乱機構を理論的に解析し、移動度向上の原因を考察した。
計算方法：まず、シュレーディンガー方程式とポアソン方程式を自己無撞着に解くことで、反転層内の電子状態(エネルギー、電子密度分布)を導出した[2]。その後、イオン化不純物(imp)・界面準位捕獲電子(trap)・界面固定電荷(fix)によるクーロン散乱(Coulomb)、音響フォノンおよび無極性光学フォノン散乱(Phonon)、表面ラフネス散乱(sr)を考慮し、各散乱レートを求めた[3]。最後に、得られた電子状態と散乱レートを用いて、緩和時間近似により自由電子移動度(total)を計算した。上記計算に際し、界面準位密度分布は自由電子密度-捕獲電子密度特性の実験結果より決定した。また、固定電荷密度(N_{fix})は横型(1100)(M 面)MOSFET におけるホール移動度の実験結果[4]を再現するように設定した(図 1, $N_{fix} = 2.3 \times 10^{13} \text{ cm}^{-2}$)。なお、上記計算は自作のプログラムで実施した。
結果・考察：図 1 にフィン幅 27 nm の SiC フィン FET における自由電子移動度(μ_{total})の実効垂直電界(E_{eff})依存性を示す。ここで、ボディ層アクセプタ密度は $3 \times 10^{17} \text{ cm}^{-3}$ 、チャンネル形成面(フィン側壁)は{1100}である。図 1 より、横型構造の μ_{total} ($30\text{--}40 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$)と比較して、フィン FET は顕著に高い μ_{total} ($\sim 130 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$)を示した。しかしながら、フィン FET 構造においてもクーロン散乱(Coulomb)が依然、支配的である。図 2 にフィン幅 27 nm の SiC フィン FET における様々なクーロン制限移動度(μ_{imp} , μ_{fix} , μ_{trap})の E_{eff} 依存性を示す。図 2 より、界面固定電荷(fix)由来のクーロン散乱が μ_{total} を制限する支配的な要因であることがわかる。一方、界面捕獲電子(trap)の移動度への影響はフィン FET において顕著に小さくなっていた。図 3 に自由電子移動度のフィン幅依存性を示す。フィン幅減少に伴い、クーロン散乱(Coulomb)および表面ラフネス散乱(sr)が低減することで、 μ_{total} が向上した。これらの散乱の低減は、フィン幅減少に伴い左右のフィン側壁から伸びた空乏層が結合し、ポテンシャルエネルギーが低下、つまり SiO_2/SiC 界面垂直電界が低下することにより起因する。 [1] T. Kato *et al.*, *Proc. IEEE 32nd ISPSD* (2020), p.62. [2] F. Stern and W. E. Howard, *Phys. Rev.* **163**, 816 (1967). [3] H. Tanaka and N. Mori, *Jpn. J. Appl. Phys.* **59**, 031006 (2020). [4] K. Ito *et al.*, *Jpn. J. Appl. Phys.* **64**, 010902 (2025).

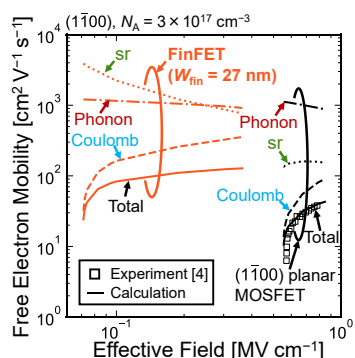


Fig. 1. Effective electric field dependences of the calculated free electron mobilities (μ_{total}) and various limited mobilities (μ_{Phonon} , $\mu_{Coulomb}$, μ_{sr}) for a (1100) planar MOSFET and a FinFET with a fin width (W_{fin}) of 27 nm.

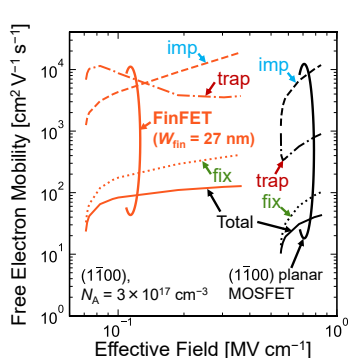


Fig. 2. Effective electric field dependences of the calculated μ_{total} and various Coulomb-limited mobilities (μ_{imp} , μ_{fix} , μ_{trap}) for a (1100) planar MOSFET and a FinFET with $W_{fin} = 27 \text{ nm}$.

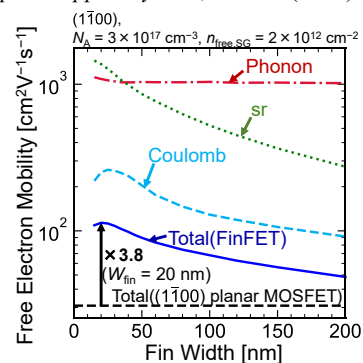


Fig. 3. Fin width dependences of the calculated μ_{total} and various limited mobilities (μ_{Phonon} , $\mu_{Coulomb}$, μ_{sr}) for a FinFET. For comparison, the μ_{total} for a (1100) planar MOSFET is plotted (black dashed line).

2 段階水素熱処理による SiC MOSFET の性能向上: 窒化排除の新提案

Performance improvements of SiC MOSFETs by 2-step hydrogen annealing without nitridation

阪大院工[○]藤本 博貴, 小林 拓真, 神島 真治, 八軒 慶慈, 原 征大, 渡部 平司

UOsaka,[○]Hiroki Fujimoto, Takuma Kobayashi, Shinji Kamihata,

Keiji Hachiken, Masahiro Hara, and Heiji Watanabe

E-mail: fujimoto@ade.prec.eng.osaka-u.ac.jp

【はじめに】SiC MOSFET の高性能化に向け、MOS 界面欠陥の低減が喫緊の課題である。界面への窒素導入により欠陥を低減可能である一方[1]、窒化進行に伴う信頼性劣化が課題である[2]。近年、界面準位密度 (D_{it}) を大幅に低減可能なプロセスが提案されたが[3, 4]、これらの手法も界面窒化に立脚している。そこで本研究では、SiC 表面の希釈水素熱処理 (FGA: H_2/Ar , 3%)、絶縁膜堆積、および堆積後の CO_2 熱処理および FGA から成る、「2 段階水素熱処理 (2-step FGA)」プロセスを新規に提案し、窒化を行わずに SiC MOSFET の性能向上を目指した。

【実験及び結果】n 型 SiC(0001) エピ基板 (ドナー密度: $2 \times 10^{16} \text{ cm}^{-3}$) 上に MOS キャパシタを、p 型 SiC(0001) エピ基板 (アクセプタ密度: $5 \times 10^{15} \text{ cm}^{-3}$) 上に MOSFET を作製した。試料洗浄後、SiC 表面に対して 1300°C 、10 min の FGA を行った。その後、試料を 5% の希フッ酸で洗浄し、プラズマ CVD 法により約 50 nm の SiO_2 を堆積した。そして、膜質改善[5]と欠陥低減[6]をそれぞれ期待して 1300°C 、30 min の CO_2 熱処理と 1200°C 、30 min の FGA を行った。最後に Al ゲート電極を用いた MOS キャパシタおよび MOSFET (チャネル長(L)/チャネル幅(W): 100/160 μm) を作製した。比較のため、通常の 1300°C 熱酸化で作製した SiC MOS キャパシタ (As-Ox.) も用意した。図 1 に同時 high (1 MHz)-low 測定より得られた準静的および 1 MHz $C-V$ 特性を示す。As-Ox. 試料では準静的 $C-V$ と 1 MHz $C-V$ に大きな乖離が見られた一方、2-step FGA 試料ではこれらの $C-V$ 特性が良い一致を示した。図 1 の $C-V$ 特性より算出した D_{it} のエネルギー分布を図 2 に示す。界面窒化を行っていないにもかかわらず、2-step FGA を行うことで D_{it} 値を $10^{11} \text{ eV}^{-1}\text{cm}^{-2}$ 台にまで大幅に低減できた。例えば、 $E_C-E=0.2 \text{ eV}$ における D_{it} 値は As-Ox. 試料、2-step FGA 試料でそれぞれ 9.0×10^{12} 、 $3.2 \times 10^{11} \text{ eV}^{-1}\text{cm}^{-2}$ であった。図 3 に、MOSFET より取得した規格化ドレイン電流 ($I_D \times L/W$) および電界効果移動度 (μ_{FE}) のゲート電圧依存性を示す。通常、熱酸化試料の μ_{FE} 値は $3 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ 程度に留まるが、2-step FGA により μ_{FE} が $17.5 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ に向上した。以上のように、我々は界面窒化に頼ることなく、絶縁膜堆積前の SiC 表面処理および後熱処理条件を工夫することで、 D_{it} の大幅低減と μ_{FE} 向上を達成した。

[1] G. Y. Chung *et al.*, *IEEE Electron Device Lett.* **22**, 176 (2001).

[3] T. Kobayashi *et al.*, *Appl. Phys. Express* **13**, 091003 (2020).

[5] T. Hosoi *et al.*, *Appl. Phys. Express* **14**, 101001 (2021).

本研究は、文部科学省 INNOPEL (JPJ009777)、JST ALCA-Next (JPMJAN24E5)、および JSPS 科研費 (24H00046) の助成を受けたものである。

[2] J. Rozen *et al.*, *J. Appl. Phys.* **105**, 124506 (2009).

[4] K. Tachiki *et al.*, *Appl. Phys. Express* **14**, 031001 (2021).

[6] K. Moges *et al.*, *Appl. Phys. Express* **12**, 061003 (2019).

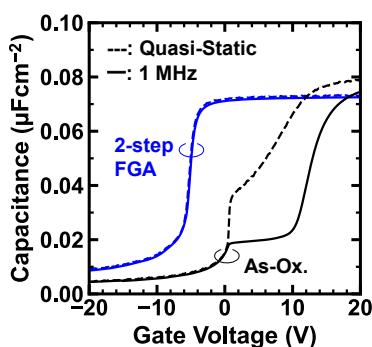


Fig. 1: Quasi-static and 1 MHz $C-V$ characteristics of the fabricated SiC MOS capacitors.

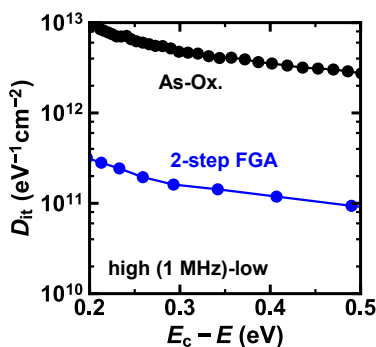


Fig. 2: Energy distribution of interface state density evaluated by a high (1 MHz)-low method.

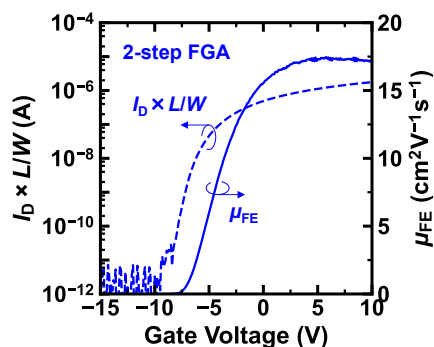


Fig. 3: Normalized drain current and field effect mobility as a function of the gate voltage in the SiC MOSFETs.

2 段階水素熱処理による SiC MOS 構造改善：SiC 表面水素処理の効果

Improvement of SiC MOS structures by 2-step hydrogen annealing:

Impact of hydrogen treatment on SiC surface

阪大院工, °伊賀智志, 小林拓真, 藤本博貴, 原征大, 渡部平司

UOsaka, °Satoshi Iga, Takuma Kobayashi, Hiroki Fujimoto, Masahiro Hara, and Heiji Watanabe

E-mail: iga@ade.prec.eng.osaka-u.ac.jp

【はじめに】SiO₂/SiC 界面には高密度欠陥が存在しており、SiC MOSFET の性能向上に向けた問題となっている。界面欠陥の低減には NO 窒化処理が一般に用いられるが[1]、窒化進行に伴う SiC MOS デバイスの信頼性劣化が報告されており[2]、新規 SiC MOS 構造形成法が求められる。そこで我々は、界面窒化を行わない 2 段階水素熱処理プロセスを提案し、界面準位密度 (D_{it}) の低減および電界効果移動度の向上を達成した[3]。ただし、特性向上のキーププロセスである絶縁膜堆積前の H₂/Ar 3%雰囲気下の熱処理 (Pre-FGA) の効果は十分に理解されていない。そこで本研究では、Pre-FGA 条件を系統的に変化させ、SiC MOS 界面特性に与える影響を調査した。

【実験及び結果】本研究では n 型 4H-SiC(0001) エピ層 (ドナー濃度: $1 \times 10^{16} \text{ cm}^{-3}$) 上に SiC MOS キャパシタを作製した。1300°C, 5, 10 min の Pre-FGA 処理を行った後、5%希釈フッ酸で表面を洗浄し、プラズマ CVD 法により約 45 nm の SiO₂膜を堆積した。その後、1300°C, 30 min の CO₂熱処理と 1200°C, 30 min の H₂/Ar 3%熱処理を行った。最後に Al ゲート電極を形成し、MOS キャパシタを作製した。比較のため、Pre-FGA を行っていない試料 (w/o Pre-FGA) も用意した。図 1 に 1 MHz で取得した双方向 $C-V$ 特性を示す。Pre-FGA 時間増加に伴い $C-V$ 特性が負方向にシフトしたものの、w/o Pre-FGA 試料と比べて急峻な $C-V$ 特性が得られた。図 2 に各試料で $E_c - E_t = 0.2 \text{ eV}$ の表面フェルミ準位に対応するゲート電圧を印加しながら取得した界面準位コンダクタンスの周波数依存性と、理論式によるフィッティング結果を示す。Pre-FGA 時間増加に伴いコンダクタンス値が減少し、特に 1300°C, 10 min の Pre-FGA を施した試料ではピーク値が確認できないほど低減した。図 3 にコンダクタンスピークのフィッティングにより算出した D_{it} のエネルギー分布を High (1 MHz)-low 法による評価結果と合わせて示す。まず、2 つの手法で求めた D_{it} は良い一致を示すことが分かる。High (1 MHz)-low 法より求めた $E_c - E_t = 0.2 \text{ eV}$ における D_{it} 値を比較すると、w/o Pre-FGA 試料では $2.1 \times 10^{12} \text{ eV}^{-1} \text{ cm}^{-2}$ であるのに対し、Pre-FGA を 1300°C 5, 10 min 行った試料ではそれぞれ 7.3×10^{11} , $2.0 \times 10^{11} \text{ eV}^{-1} \text{ cm}^{-2}$ と大幅に低減した。以上のように、2 段階水素熱処理プロセスにおける、1 段階目の SiC 表面の水素熱処理が界面特性改善に重要であることを示した。

【謝辞】本研究は、文部科学省 INNOPEL (JPJ009777)、JST ALCA-Next (JPMJAN24E5)、および JSPS 科研費 (24H00046) の助成を受けたものである。

[1] G. Y. Chung *et al.*, *IEEE Electron Device Lett.* **22**, 176 (2001).

[2] Y. Katsu *et al.*, *Mater. Sci. Forum*, **858**, 599 (2016).

[3] 藤本他, 第 86 回応用物理学会秋季学会講演会 (2025).

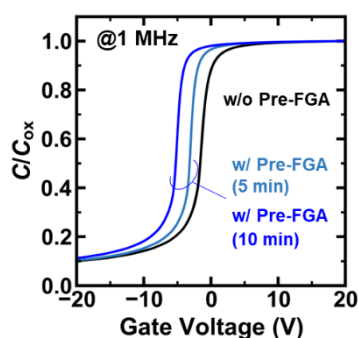


Fig. 1 Bidirectional $C-V$ characteristics measured at a probe frequency of 1 MHz for SiC MOS capacitors. The capacitance was normalized by the oxide capacitance (C_{ox}).

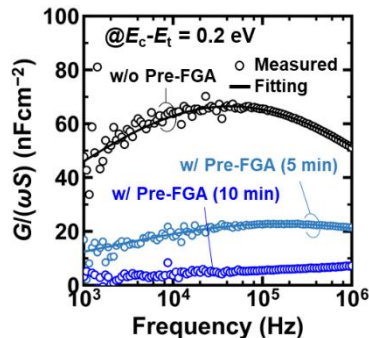


Fig. 2 Normalized interface-state conductance (G) as a function of probe frequency. Gate voltage corresponding to the energy level of $E_c - E_t = 0.2 \text{ eV}$ was applied during the measurement.

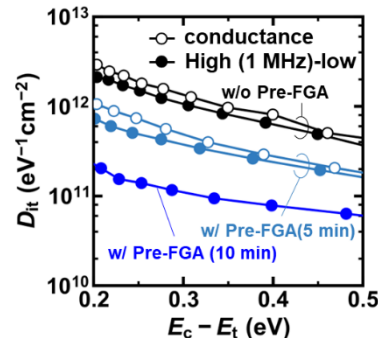


Fig. 3 Energy distributions of interface state density (D_{it}) evaluated by the conductance method and the High (1 MHz)-low method.

2 段階水素熱処理による SiC MOS 構造改善：絶縁膜堆積後処理の効果

Improvement of SiC MOS structures by 2-step hydrogen annealing:

Impact of post-deposition annealing

阪大院工 °八軒 慶慈, 小林 拓真, 藤本 博貴, 原 征大, 渡部 平司

UOsaka °Keiji Hachiken, Takuma Kobayashi,

Hiroki Fujimoto, Masahiro Hara, and Heiji Watanabe

E-mail: hachiken@ade.prec.eng.osaka-u.ac.jp

【はじめに】SiC MOSFET では、SiO₂/SiC 界面の高密度欠陥によるチャネル移動度低下が課題である。我々は、ゲート絶縁膜堆積の前後に水素熱処理を行う「2 段階水素熱処理プロセス」により、窒化を施すことなく界面準位密度 (D_{it}) の低減と電界効果移動度の向上を達成した[1]。当プロセスでは後熱処理として H₂/Ar 3% 雰囲気での希釈水素熱処理 (FGA) を行っているが、この熱処理が MOS 構造の電気特性に与える影響は詳細に理解されていない。そこで本研究では、後熱処理条件を変化させて SiC MOS キャパシタを作製し、その効果を電気特性の観点から調査した。

【実験及び結果】本研究では n 型 4H-SiC(0001) エピ基板 ($N_D = 1 \times 10^{16} \text{ cm}^{-3}$) を用いた。まず基板洗浄後、1300°C, 10 min の絶縁膜堆積前 FGA (Pre-FGA) を行った。続いて、プラズマ CVD 法により約 40 nm の SiO₂ 膜を形成した。その後、1300°C, 30 min の CO₂ 熱処理[2]を行い、600–1200°C, 30 min の FGA、あるいは 1200°C, 30 min の Ar 熱処理を続けて行った。この際、比較として後熱処理を行わない試料 (w/o PDA) も用意した。これらの試料に Al 電極を形成し、MOS キャパシタを作製した。以降、試料名は後熱処理条件に従って表記する (例: CO₂-FG(1200°C))。まず、図 1 に High (1 MHz)-Low 法により算出した各試料の D_{it} のエネルギー分布を示す。CO₂-Ar(1200°C) 試料よりも CO₂-FG(1200°C) 試料の D_{it} が低いことから、 D_{it} 低減には熱の効果のみでは不十分であり、水素雰囲気が必須である。一方、CO₂-FG(600°C) 試料では D_{it} 低減が不十分であるため、界面での水素の反応は Si MOS 構造の場合のような Si 未結合手の終端とは異なり、比較的高いエネルギー障壁を伴うことが示唆された。続いて、図 2 に w/o PDA および CO₂-FG(1200°C) 試料のゲートリーク電流密度–酸化膜電界 (J_g - E_{ox}) 特性を示す。PDA の有無によらず、リーク電流の立ち上がり電界は同等であった。CO₂-FG(1200°C) 試料のリーク特性に対して Fowler-Nordheim 伝導を仮定したフィッティング (破線) を行った結果、伝導帯オフセットは 3.26 eV と見積もられた。これは NO 窒化で形成した MOS 界面よりも約 0.4 eV 高い値[3]であり、リーク電流の抑制に繋がっている。最後に、MOS 構造の電子注入耐性を評価した。ここでは、酸化膜電界 8 MVcm⁻¹ に対応する定電圧ストレスを 1–5000 s 印加し、フラットバンド電圧変動 (ΔV_{fb}) を評価した。図 3 に ΔV_{fb} のストレス時間依存性を示す。w/o PDA 試料では 5000 s のストレス印加で 11.4 V の V_{fb} シフトが見られたが、CO₂-FG(1200°C) 試料の V_{fb} シフトは 1.1 V と大幅に抑制された。以上のように、 D_{it} の大幅低減と SiO₂ 膜の膜質向上には、後熱処理として高温 FGA が必要であることが示された。

[1] 藤本他、第 86 回応用物理学会秋季学術講演会 (2025).

[2] T. Hosoi et al., *Appl. Phys. Express* **14**, 101001 (2021).

[3] H. Watanabe et al., *Jpn. J. Appl. Phys.* **64**, 010801 (2025).

本研究の一部は、文部科学省 INNOPEL (JPJ009777)、JST ALCA-Next (JPMJAN24E5)、および JSPS 科研費 (24H00046) の助成を受けたものである。

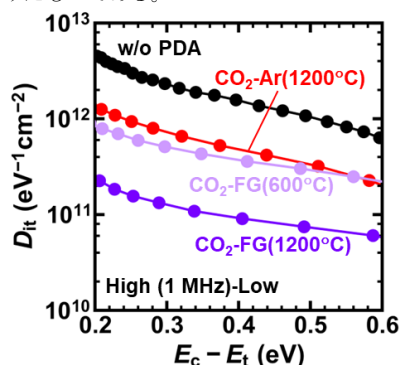


Fig. 1: Energy distribution of interface state density (D_{it}) evaluated by a high (1 MHz)-low method.

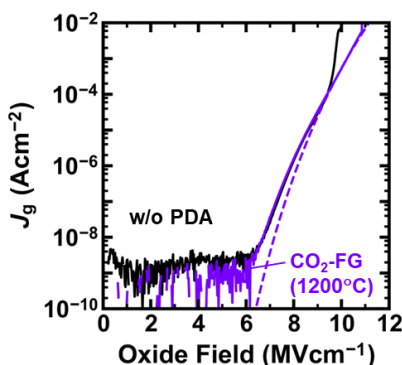


Fig. 2: Current density (J_g)-oxide field characteristics obtained from SiC MOS capacitors.

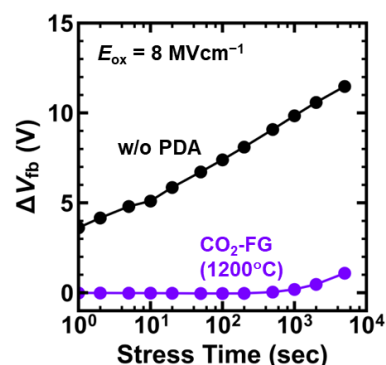


Fig. 3: Stress time dependence of flat band voltage drift (ΔV_{fb}).

2 段階水素熱処理により形成した SiC MOS 構造の熱安定性評価

Thermal stability of SiC MOS structures formed by 2-step hydrogen annealing

阪大院工, °梶隆人, 小林拓真, 藤本博貴, 原征大, 渡部平司

UOsaka, °Ryuto Kakoi, Takuma Kobayashi, Hiroki Fujimoto, Masahiro Hara, and Heiji Watanabe

E-mail: kakoi@ade.prec.eng.osaka-u.ac.jp

【はじめに】 SiC MOSFET は高効率パワーデバイスとして有望であるが、SiO₂/SiC 界面に存在する高密度欠陥がデバイス性能を制限している[1]。これに対し、我々は「2 段階水素熱処理」プロセスを提案し、界面準位密度 (D_{it}) の低減と電界効果移動度 (μ_{FE}) の向上を達成した[2]。ただし、提案法では SiC の酸化を抑制しつつ MOS 構造を形成しており、特に高温動作環境においては、SiC 表面の酸化による欠陥生成とデバイス特性の劣化が懸念される。そこで本研究では、提案法で作製した SiC MOS キャパシタと MOSFET に対し、酸素雰囲気中でのゲート金属形成後熱処理 (O₂-PMA) を行い、デバイスの電気特性の熱安定性を評価した。

【実験及び結果】 本研究では n 型 4H-SiC(0001) エピ層 (ドナー濃度: $1 \times 10^{16} \text{ cm}^{-3}$) 上に SiC MOS キャパシタを、p 型 4H-SiC(0001) エピ層 (アクセプタ濃度: $7 \times 10^{15} \text{ cm}^{-3}$) 上に MOSFET を作製した。SiC 表面に対して 1300°C, 10 min の希釈水素中熱処理 (FGA: H₂/Ar, 3%) を行った後、5%の希釈フッ酸で試料表面を洗浄した。続いて、プラズマ CVD 法により約 50 nm の SiO₂ 膜を堆積し、CO₂ 熱処理 (1300°C, 30 min) と H₂/Ar 3%熱処理 (1200°C, 30 min) を順に行った。その後 Al ゲート電極を形成し、MOS キャパシタおよび MOSFET を作製した。作製した素子に対して、Al の酸化が顕著でない 200–400°Cの温度範囲で O₂-PMA を低温から順に施し、電気特性の変化を評価した。図 1 に high (1 MHz)-low 法より算出した D_{it} のエネルギー分布を示す。O₂-PMA による D_{it} の変化は軽微であり、ゲート金属形成後の酸素熱処理では欠陥は生成しないことが分かった。図 2 に MOSFET の規格化ドレイン電流–ゲート電圧 ($I_d \times L/W - V_g$) 特性を示し、図 3 に電界効果移動度の最大値 ($\mu_{FE\max}$) と閾値電圧 (V_{th}) を O₂-PMA 温度に対してまとめている。 V_{th} は $I_d - V_g$ 特性を線形外挿した際の V_g 軸との交点の電圧値として定義した。O₂-PMA による電気特性の変化は非常に軽微であり、例えば 400°Cの O₂-PMA による $\mu_{FE\max}$ と V_{th} の変化は、それぞれ $14.5 \rightarrow 14.5 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ および $-1.97 \rightarrow -1.99 \text{ V}$ であった。以上のように、2 段階水素熱処理により作製した SiC MOS デバイスの電気特性は酸素熱処理に対して安定であり、高温でも安定動作可能であることを示した。

[1] T. Kimoto and H. Watanabe, *Appl. Phys. Express* **13**, 120101 (2020). [2] 藤本他, 第 86 回応用物理学会秋季学術講演会 (2025).

本研究は、文部科学省 INNOPEL (JPJ009777)、JST ALCA-Next (JPMJAN24E5)、および JSPS 科研費 (24H00046) の助成を受けたものである。

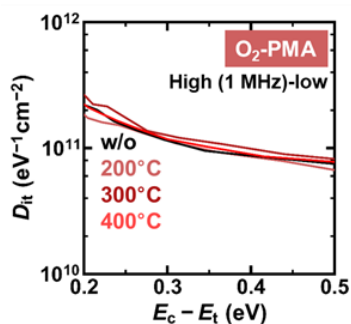


Fig. 1 Energy distribution of interface state density (D_{it}) evaluated by a high (1 MHz)-low method.

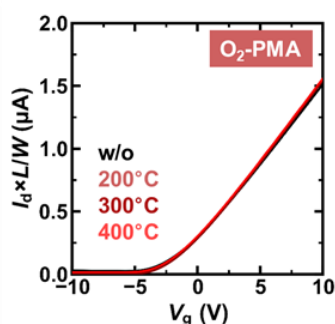


Fig. 2 Drain current–gate voltage characteristics of the SiC MOSFETs.

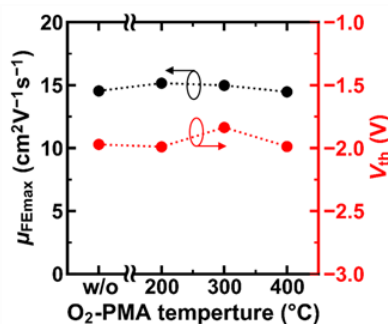


Fig. 3 O₂-PMA temperature dependence of channel mobility and threshold voltage of the SiC MOSFETs.

低温 NO 酸窒化により形成した極薄 SiO₂/SiC 界面特性評価

Characterization of Ultrathin SiO₂/SiC Interfaces Fabricated by Low-temperature NO Oxynitridation

関学院理工¹, 物材機構² ○(M1) 香取 拓真^{1,2}, 細井 卓治^{1,2}

Kwansei Gakuin Univ.¹, NIMS.², °Takuma Katori^{1,2}, Takuji Hosoi^{1,2}

E-mail: gqh91947@kwansei.ac.jp, HOSOI.Takuji@nims.go.jp

【背景】炭化ケイ素 (SiC) はパワー半導体として期待されているが、SiC MOSFET の性能を阻害している要因の 1 つに SiO₂/SiC 界面特性があり、その改善が求められている。我々は昨年、1100°C の NO 雰囲気下で 4H-SiC(0001) 表面に直接熱処理を行うことで SiO₂ 酸化膜が形成されると同時に、一般的に行われている 1250°C の NO-POA と同量の窒素が界面に導入されることを報告した [1]。一方 6H-SiC では、熱酸化温度が 1150°C 以上の場合より 1050°C の方が界面準位密度 (D_{it}) が低いことが報告 [2] されており、低温酸化の方が良い界面特性が期待される。また、絶縁膜である SiO₂ 酸化膜が薄いほど D_{it} が低いことも報告されている [3]。以上のことを踏まえ、本研究では 900~1100°C という低温での SiC 表面の NO 酸窒化を試み、その界面特性を評価した。

【実験手順および結果】n 型エピ層付き 4H-SiC(0001) 基板に対して、10% NO/N₂ 雰囲気下で 900~1050°C の温度で 60 分間の熱処理を施し、ゲート電極と裏面コンタクトを Al 蒸着で形成して MOS キャパシタを作製した。図 1 に 1 MHz で測定した双方向 C-V 特性を示す。高ゲート電圧で極薄膜特有のリーク電流に起因する容量減少が見られてはいるが、空乏から蓄積への推移は明瞭に観測できており、900°C という低温においても酸化膜を形成できたことがわかる。また、酸窒化温度が高いほど最大容量値が低い、すなわち酸化膜厚が厚くなっており、熱活性プロセスとして妥当な結果が得られている。図 2 は図 1 と同条件の SiO₂/SiC 試料の XPS 分析で取得した N 1s スペクトルである。NO 熱処理の温度が変化してもピーク強度は変わらないことから、窒素導入量は全ての温度で等しいことがわかる。次に、NO 酸窒化後にプラズマ CVD で SiO₂ 膜を 50~60 nm 堆積して MOS キャパシタを作製し、high-low 法により算出した D_{it} のエネルギー分布を図 3 に示す。NO 酸窒化を施さなかった試料に比べて、NO 酸窒化を施した試料で D_{it} の低減を確認した。また、NO 酸窒化温度が 1050°C 以上の方が伝導帯近傍の浅い準位 ($E_c-E=0.2\sim0.4$ eV) において、 D_{it} 低減効果が大きいことがわかった。

【謝辞】本研究は JSPS 科研費 JP24K01348 の助成を受けたものです。

[1] 細井, 先進パワー半導体分科会第 11 回講演会, IIA-16 (2024). [2] L.A. Lipkin, and J.W. Palmour, J. Electron. Mater. **25**, 909 (1996). [3] R. Okuhira *et al.*, ICSCRM 2024.

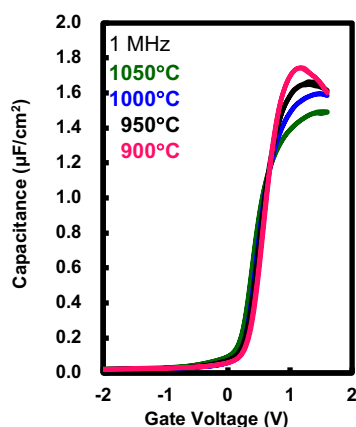


Fig. 1 Bidirectional C-V curves measured at 1 MHz

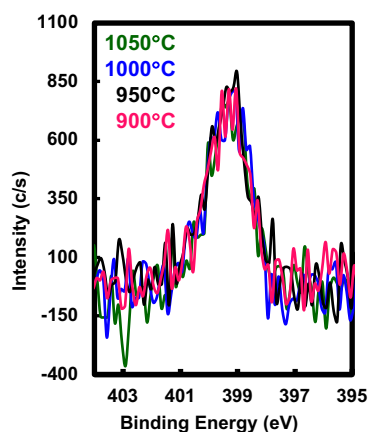


Fig. 2 N 1s XPS spectra taken from ultrathin SiO₂/SiC structures.

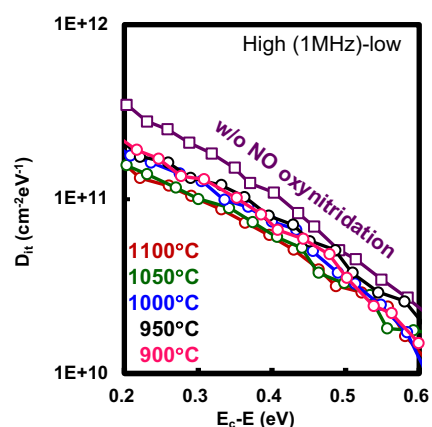


Fig. 3 Energy distribution of interface state density (D_{it}) evaluated by a high (1 MHz)-low method.

熱酸化後に行う表面エッチングが 4H-SiC 表面近傍での炭素関連欠陥の高温生成に与える効果

Impact of 4H-SiC surface etching after thermal oxidation on the formation of carbon-related defects at high temperature

東大院新領域 物質系専攻 °(DC)呂 楚陽, 女屋 崇, 喜多 浩之

Dept. of Advanced Materials Science, The Univ. of Tokyo, °Chuyang Lyu, Takashi Onaya, and Koji Kita

E-mail: l.chuyang22a@ams.k.u-tokyo.ac.jp

[背景] 我々は既に、高温の Ar 雰囲気中で SiC 表面近傍における炭素欠陥の析出は、事前の熱酸化によって促進される様子を全反射フーリエ変換赤外分光法(ATR-FTIR)によって観察できることを報告した[1]。この欠陥生成の異常な促進は、事前の熱酸化の進行に伴って顕著となっていたことから、その主な要因は熱酸化の際に基板内部に侵入した酸素関連欠陥[2]であると考えられるが、その欠陥の深さ方向の分布はまだ分かっていない。高温の水素雰囲気中で SiC がエッチングされることはよく知られている[3]。そこで本研究では、熱酸化の後に水素雰囲気でのエッチングを行い、その後の高温での Ar 雰囲気アニールに伴って形成した炭素関連欠陥の生成に及ぼす効果を検討すると共に、それらの欠陥の深さ分布についても調査した。

[実験方法] 5 μm の n 型エピ層($N_D \sim 1.0 \times 10^{16} \text{ cm}^{-3}$)を持つ(0001)面 4H-SiC ウェハを基板洗浄した後、1400°C で酸化膜厚が約 260 nm の犠牲酸化を実施した。その後、5%の H_2 雰囲気中(Ar 希釈)に 1500°C のアニールを行った。最後に、Ar 雰囲気(約 10^{-1} Pa の残留酸素を含む)で 1500°C、20 min のアニールを施し、炭素欠陥を意図的に形成させた。Ar 雰囲気中に僅かに生成した酸化膜を 5% HF 溶液で除去し、Ge プリズムを用いた ATR-FTIR 測定を行った。SiC 基板由来の吸収を除去するため、各条件でアニールした後の試料の吸光度スペクトルと洗浄直後の基板のみのスペクトルから差分スペクトルを求めた。

[結果及び考察] 5%の H_2 雰囲気アニールを施すことなく、事前熱酸化および 1500°C の Ar 雰囲気アニールのみを行った試料の差分スペクトルから、920 cm^{-1} および 860 cm^{-1} 付近に吸収ピークが確認された[Fig. 1 (a)]。前者は C-C 結合を含む炭素欠陥に起因すると考えられ、この炭素欠陥は高温(>1500°C)かつ低い P_{O_2} (< 10^{-1} Pa)の条件で Si と CO の昇華とともに炭素を生じる反応 $(2+x) \text{ SiC} + \text{O}_2 \rightarrow (2+x) \text{ Si}\uparrow + 2 \text{ CO}\uparrow + x \text{ C(s)}$ に伴うものと推定している[1]。後者の波数は Si 基板中に観測された格子間炭素-酸素(C_2O_i)の吸収[4]によく一致し、事前に熱酸化を行った試料のみで顕在化する。一方、熱酸化の後に H_2 雰囲気アニールを施した試料のスペクトルから、いずれのピークの強度も低減された。それぞれのピークの強度の H_2 アニール時間の依存性[Fig. 1 (b)]から、20 min での H_2 アニールによって SiC 基板内部の酸素関連欠陥がほぼ除去されたことが分かった。また、先行研究による報告されている水素雰囲気での SiC 基板のエッチングレート[3,5]から、この条件で除去された量を推定すると約 20 nm から 150 nm と概算され、上記の炭素関連欠陥がそれよりも浅い領域に分布することが示唆された。このことから、事前の熱酸化によって予めウェハ中に導入された欠陥構造も表面から同程度の領域に形成されていたものと予想するのが妥当である。

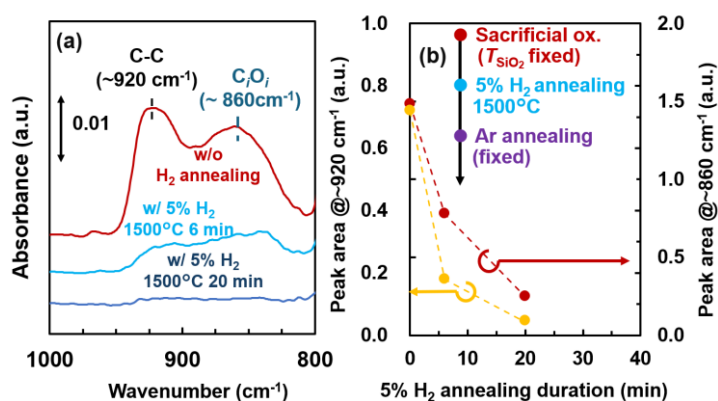


Fig. 1 (a) ATR-FTIR differential spectra for the samples with and without 5% H_2 annealing process inserted between the sacrificial oxidation and subsequent Ar annealing. **(b)** 5% H_2 annealing duration dependence of the area for the peaks at around 860 cm^{-1} and 920 cm^{-1} .

- [1] 呂 他, 第 72 回応用物理学会春季学術講演会, 16a-K301-9 (2025). [2] A. D. Hatmanto and K. Kita, *Appl. Phys. Express* 12, 055505 (2019). [3] K. Akiyama *et al.*, *Jpn. J. Appl. Phys.* 48, 095505 (2009). [4] L. I. Khirunenko *et al.*, *Phys. Rev. B* 78, 155203 (2008). [5] Z. Y. Xie, *Journal of Crystal Growth* 217, 115 (2000).

4H-SiC(0001)/SiO₂界面の P_{bc} タイプ2 センター

P_{bc} type-2 center (carbon dangling-bond center) at 4H-SiC(0001)/SiO₂ interface

筑波大学¹, Quemix², 産総研³, 阪大⁴, [○]島袋 聞多¹, 西谷 侑将², 堀内 颯介¹, 染谷 満³,
平井 悠久³, 渡部 平司⁴, 松下 雄一郎², 梅田 享英¹

Univ. of Tsukuba¹, Quemix Inc.², AIST³, UOsaka⁴,

[○]B. Shimabukuro¹, Y. Nishiya², S. Horiuchi¹, M. Sometani³, H. Hirai³, H. Watanabe⁴, Yu. Matsushita²,
T. Umeda¹

E-mail: s2420295@u.tsukuba.ac.jp

【研究背景】

炭化ケイ素の 4H-SiC(0001)面の MOS 界面欠陥として「 P_{bc} センター」が同定されている[1]。この欠陥はシリコン MOS 界面欠陥の「 P_b センター」の炭素版（界面炭素ダングリングボンド）にあたり、 P_b センター同様にエネルギー位置も判明していて、 $E_V + 0.6$ eV、 $E_V + 1.2$ eV にそれぞれ中性と-1 荷電の 2 つの準位をもつ[2]。価電子帯側に準位があるため p チャネルで特に重要な欠陥と考えられる。他方、私達は伝導帯側（ $E_V + 2.2$ eV）の新たな界面炭素欠陥を電流検出型電子スピン共鳴 (EDMR) 分光によって検出している[3]。この欠陥が「 P_{bc} タイプ2 センター」と名付けることができる第 2 の P_{bc} センターであることを EDMR 分光と第一原理計算の結果から示したい。

【実験内容・計算結果】

EDMR 分光で使用した MOSFET 試料は産総研製のドライ酸化 p チャネル Si 面 MOSFET（最大電界効果移動度 $1.4 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ ）である。Fig. 1 のような EDMR スペクトルが観測され、このうち「Center2」と示したのが今回解析を行う「 P_{bc} タイプ2 センター」である。Center2 は c 軸対称な 2 個の炭素原子から成る界面欠陥で、その 2 つからの ^{13}C 核スピン超微細分裂が確認できる（「1st」と「2nd」と命名）。「1st」超微細分裂の解析から、この欠陥は炭素原子上に約 75%の波動関数密度（2s 軌道 17%、2p 軌道 59%）をもつことが分かった。他方、「2nd」超微細分裂の解析からは別の炭素原子上に 20~26%の波動関数密度をもつことが示唆された。

これらの実験結果を満たす界面炭素欠陥として私達は Fig. 2(b)のような第 2 の P_{bc} センターを考えた。4H-SiC(0001)面上に炭素アトムを $\text{C}\equiv\text{Si}_3$ の形で配置する場合、自動的に(a)と(b)の配

置が現れる。(a)の配置は、すでに同定された「 P_{bc} センター」である[1]。他方、(b)の配置では炭素アトム「 C_{adatom} 」の真下に炭素原子「 C_{under} 」が位置しており、 c 軸上に並んだ「 C_{adatom} 」と「 C_{under} 」の 2 つからの ^{13}C 核スピン超微細分裂が期待できる。このような欠陥に対して高精度の第一原理計算を行ったところ、超微細分裂やエネルギー位置の実験値を概ね再現することができた。

[1] T. Umeda *et al.*, Appl. Phys. Lett. **116**, 071604 (2020).
[2] M. Sometani *et al.*, APL Mater. **11**, 111119 (2023). [3] B. Shimabukuro *et al.*, ICSCRM2024 (Sep. 29th - Oct. 4th, North Carolina, USA). 本研究は、文部科学省革新的パワエレクトロニクス創出基盤技術研究開発事業 JPY009777 の助成を受けたものです。

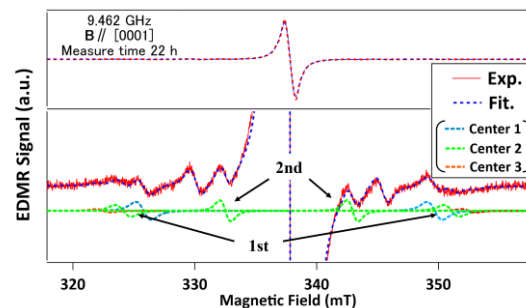


Fig. 1. (a) EDMR spectrum of p -channel dry-oxidized 4H-SiC(0001) MOSFET. (b) Doublet hyperfine structures of three EDMR centers.

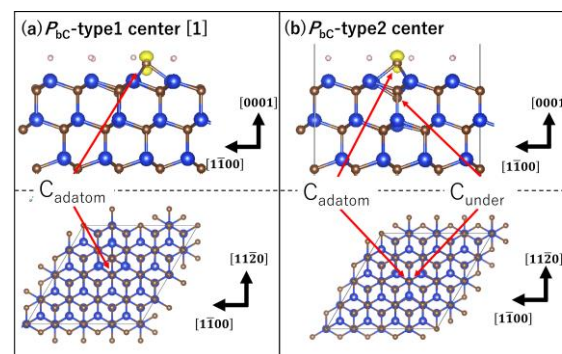


Fig. 2. (a) P_{bc} type1 center [1] and (b) P_{bc} center type2. C_{under} is vertically under C_{adatom} .

連続ターンオフスイッチングの過電圧ストレスによる SiC-MOSFET の特性変動と回復挙動

Shifts and Recovery of Device Characteristics in SiC-MOSFETs after Repetitive Turn-Off Switching-Induced Overvoltage Stress

九大総理工¹, 九大応力研² ◯(M2)中谷 拓夢¹, (P)M. S. Hassan², 西澤 伸一², 齋藤 渉²

Kyushu Univ. IGSES¹, Kyushu Univ. RIAM², ◯Takumu Nakatani¹, M. S. Hassan², Shin-ichi Nishizawa², Wataru Saito²

E-mail: takumu.333@s.kyushu-u.ac.jp

1. はじめに

SiC-MOSFETは高速スイッチング動作が可能であるが、寄生インダクタンスにより大きなサージ電圧が発生しやすい。これまでに繰り返しのUIS試験により、過電圧ストレスによるデバイス特性の変動が報告されているが⁽¹⁾、実際の回路で想定されるような軽微なストレスの影響や、その後の回復挙動に関する検討は十分に行われていない⁽²⁾。本研究では、大きなサージ電圧を伴う連続スイッチング試験を行い、SiC-MOSFETのゲートおよびドレインリーク電流の変動とその回復挙動について報告する。

2. 実験手法

L負荷スイッチング回路にインダクタンス L_{DS} を追加してサージ電圧を発生させた (Fig. 1)。試験には、プレナー構造とトレンチ構造を選び、耐圧 V_B を基準に-50~80 Vの範囲で過電圧を印加した (Table I)。半導体パラメータアナライザを用いて、初期耐圧に加えて、ストレス前後のゲートおよびドレインリーク電流を測定した。さらに、150 °Cでの加熱による特性の回復挙動や再ストレス時の変動加速性を評価した。不可逆な変動が観測されたトレンチ構造では、リーク増加箇所の断面構造を観察した。

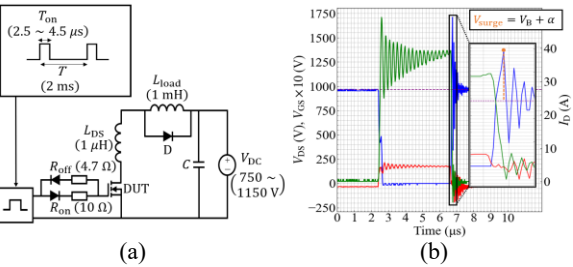


Fig. 1: (a) Schematic diagram of the inductive load switching test circuit with the added L_{DS} , (b) waveform of the clamped inductive switching circuit, with a zoomed-in view of the overvoltage waveform during the turn-off transient.

Table I
DUT details and test conditions

■ DUT details			■ Test conditions		
DUT	C3M0075120D (Wolfspeed)	SCT3080KL (Rohm)	V_B ($I_D = 1$ mA)	1488 ~ 1592 V	1733 ~ 1815 V
Device structure	Planar	Trench	α	-50, 0, 50 V	50, 80 V
Rated voltage	1200 V		I_D (turn off)	40 A (Rated current $\times 1.3$)	
On resistance	75 m Ω	80 m Ω	V_{GS}	-4/15 V	-3/18 V
Rated current	32 A	31 A			
Package type	TO-247				

3. 実験結果

プレナー構造において、ゲートリーク電流 ($I_{G(leak)}$) はストレス回数や過電圧に応じて単調に増加した。トレンチ構造では、 $V_{surge}=V_B+80$ V でリーク電流は急増し、 $V_{surge}=V_B+50$ V では増加しなかった (Fig. 2)。ドレインリーク電流 ($I_{D(leak)}$) も同様の傾向を示し、トレンチ構造

では V_B は最大で約 10 V 低下した (Fig. 3)。ストレス後に高温で放置すると、プレナー構造では $I_{G(leak)}$ が部分的に、 $I_{D(leak)}$ は初期特性まで回復したことから、変動はキャリアトラップによるものと考えられる。回復後に再ストレスを印加しても、増加は同程度であったことから、新たなトラップ準位は形成されていないと考えられる。一方トレンチ構造では、 $I_{G(leak)}$ は若干の回復に留まり、 $I_{D(leak)}$ および V_B の回復も見られなかったため、部分的な絶縁破壊が起きていることが想定される。そこで、リーク箇所をエミッション顕微鏡で調べた結果、ゲートパッド近傍のトレンチ上部の角で酸化膜の破壊が観測された。これらの結果からデバイス構造により特性変動と回復の傾向が異なることが確認された。

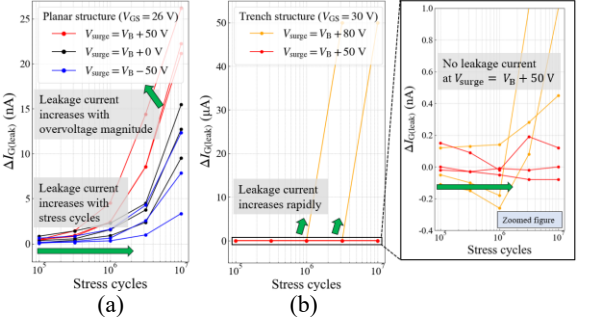


Fig. 2: Increase in gate leakage current $I_{G(leak)}$ of (a) planar and (b) trench SiC-MOSFETs from the initial characteristics, as a function of the number of overvoltage stress cycles and the overvoltage magnitude.

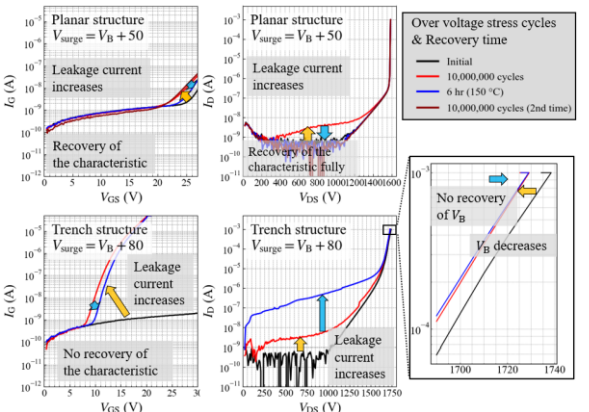


Fig. 3: Variation of the I_G - V_{GS} characteristics and the off-state I_D - V_{DS} characteristics of the SiC-MOSFET subjected to overvoltage stress and recovered by heating to 150°C.

参考文献

(1) X. Deng et al., IEEE Trans. on Power Electronics, vol. 37, No. 9, pp. 10562-10571, 2022.
(2) J. P. Kozak et al., IEEE Journal of Emerging and Selected Topics in Power Electronics, vol. 10, No. 5, pp. 5027-5038, 2022.

ゲート AC 印加時における SiC MOSFET の発光によるしきい値電圧変動 Luminescence-Induced Threshold Voltage Drift in SiC MOSFETs under Gate AC Stress

筑波大学 [○](M2)新郷 諒介, 岩室 憲幸, 矢野 裕司

Univ. of Tsukuba, [○]Ryosuke Shingo, Noriyuki Iwamuro, Hiroshi Yano

E-mail: shingo.ryosuke.tkb_cx@u.tsukuba.ac.jp

SiC MOSFET におけるしきい値電圧変動(ΔV_{th})は界面準位や酸化膜トラップに起因し、信頼性の面で問題となっている。MOSFET が蓄積状態と反転状態を繰り返すバイポーラゲート AC ストレス下では、しきい値電圧ドリフト(ΔV_{th}^{drift})と呼ばれる恒久的な ΔV_{th} が報告されている[1]。その機構を説明するモデルとして、Fig.1 に示す光支援 ΔV_{th} モデルが提案されている[2]。このモデルではまず、(1) MOSFET が蓄積状態から反転状態へ遷移する際に、界面準位などを介した電子と正孔の再結合により(2) 光が放出される。次に(3) 放出された光が反転層の電子を励起し、(4) 励起された電子が伝導帯バンドオフセット(ΔE_C)を超えて酸化膜へ注入・捕獲されることで正の ΔV_{th}^{drift} が生じるとされている。そこで本研究では、光支援 ΔV_{th} モデルを検証することを目的に、ゲート AC 印加時の ΔV_{th}^{drift} と発光スペクトルの測定を行うとともに、外部からの光照射による酸化膜への電子注入特性を評価した。

ΔV_{th}^{drift} と発光スペクトルの測定には、 ΔV_{th}^{drift} がプレーナ型より顕著にみられるトレンチ型 SiC MOSFET を用いた[3]。発光スペクトルの測定では、TO パッケージを加工してドレイン電極を除去し、パルス状のゲート AC を印加した際の発光をチップ裏面から観測した。Fig. 2 は、パルス AC の高電圧側であるゲートオン電圧(V_{gs}^{on})を+20 V に固定し、低電圧側のゲートオフ電圧(V_{gs}^{off})を変化させて測定した ΔV_{th}^{drift} と発光量の相関を示す。横軸には a/m 面の ΔE_C である 2.70 eV [4]を超える発光量を、縦軸には 20 時間のストレス印加後の ΔV_{th}^{drift} を示した。この結果より、高エネルギーの発光量が増すほど ΔV_{th}^{drift} が大きくなる正の相関が確認された。外部からの光照射による酸化膜への電子注入特性は、市販 SiC MOSFET の TO パッケージを加工してドレイン電極を除去し、ゲートに DC+20 V を印加して反転層を形成した状態でチップ裏面から単色光を照射した際のゲート電流から評価した。測定には反転層に光を均一に照射できるプレーナ型 SiC MOSFET を用いた。Fig. 3 に、測定したゲート電流から求めた規格化量子収率を示す。照射光のエネルギーが 2.7 eV を超えると量子収率は増加し、高エネルギーの光により酸化膜への電子注入が促進されることが確認された。

ΔV_{th}^{drift} と発光量の間には、AC 周波数や温度などのストレス条件を変化させた場合においても、正の相関が確認された。これらの ΔV_{th}^{drift} と発光量の相関や、高エネルギーの外部光照射により酸化膜への電子注入が促進される結果は、光支援 ΔV_{th} モデルの妥当性を支持している。

【謝辞】本研究の一部は東芝デバイス&ストレージ(株)の学術奨励制度及び JSPS 科研費 JP23K22810 の支援を受けて行われました。
[1] H. Jiang et al., IEEE Electron Device Lett. 41, 1284 (2020). [2] 熊谷 他, 先進パワー半導体分科会 第8回講演会, IIB-12, pp. 143-144 (2021).
[3] H. Yano et al., ICSCRM 2024, pp. 367-368 (2024). [4] T. Kobayashi et al., Mater. Sci. Semicond. Process 175, 108251 (2024).

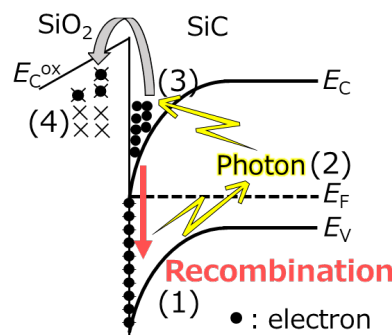


Fig. 1. Photon-assisted electron injection model.

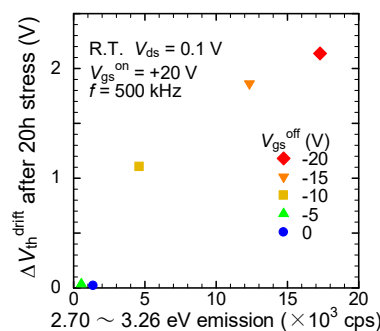


Fig. 2. ΔV_{th}^{drift} vs. luminescence intensity under various V_{gs}^{off} .

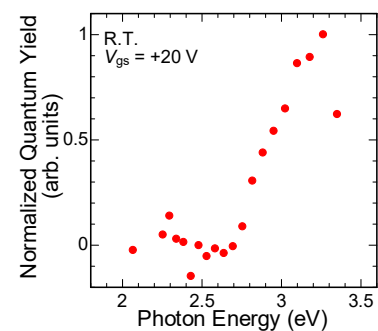


Fig. 3. Normalized quantum yield under light illumination.

SiC MOSFET の順方向サージ電流耐量向上に関する検討

Investigation of Forward Surge Current Capability for SiC MOSFETs

筑波大学 [○](M2) 鈴木 一広, 矢野 裕司, 岩室 憲幸

Univ. of Tsukuba, [○]Kazuhiro Suzuki, Hiroshi Yano, Noriyuki Iwamuro

E-mail: s2420298@u.tsukuba.ac.jp

【背景・目的】 近年、省エネ化の推進のために電気自動車（EV）などの研究・開発が盛んに行われている。中でも、EV の電力変換回路を構成するパワー半導体は最も重要な要素の一つである。最近では低損失化及び高温動作が可能であるパワー半導体デバイスとして SiC MOSFET が期待されている。SiC MOSFET には PiN ダイオードが内蔵され、外付けのダイオードが不要となる。そのため実用化に向けてはこの内蔵ダイオードの高信頼性が求められる。内蔵ダイオードの破壊耐量指標の 1 つとして、順方向サージ電流耐量：IFSM がある。これは 50Hz の半波正弦電流の最大許容値： I_{FSM} で表される。事故や故障で内蔵ダイオードに大電流が流れると、半導体デバイスが破壊する恐れがある。本研究では、SiC MOSFET の内蔵ダイオードの IFSM 耐量向上に向けて検討を行った。

【結果・考察】 2 種類の市販 1.2-kV SiC MOSFET (Device A, Device B) を用いて IFSM 耐量を測定した。図 1 に破壊時の波形を示す。Device A は 2784 A/cm²、Device B は 4189 A/cm² で破壊していることから、Device B のほうが高いサージ電流に耐えたといえる。一般的に、IFSM 試験時にデバイスは発熱が原因で破壊するため、サージ電流導通時に低電圧、つまり低抵抗なデバイスほどジュール熱の発生が抑制され、優れた IFSM 耐量を持つ。図 2 に IFSM 測定時のピーク電流密度とピーク電圧の関係を示す。Device B は Device A に比べて低電圧で大電流を流しており、より低抵抗だといえる。この理由の一つとして、基板厚さの違い (Device A : 149 μ m、Device B : 89 μ m) が考えられる。そこで TCAD により Device A の基板厚さを変化させて IFSM 試験のシミュレーションを行った。図 3 はピーク電流 100 A 時のシミュレーション結果である。基板を薄くして抵抗が低くなることで、順方向電圧が 7.3 V から 5.6 V に低下している。これにより発熱が抑えられたことに加え、基板の熱抵抗が減少して放熱性能が上がることも寄与して素子内ピーク温度は 671 K から 574 K に低減した。

図 4 に各デバイス破壊後のチップ表面写真を示す。焼損痕はソースワイヤ周辺に集中しており、ワイヤ周辺への電流集中による発熱が破壊の要因と推察できる。そこで、Device A にソースワイヤを 1 本追加した素子を用いて IFSM 耐量を測定したところ、約 25 % の耐量向上が確認できた。これは、ソースワイヤを増やすことで各ワイヤの電流集中が緩和され、それに伴って熱集中が抑制されたためだと考えられる。このことから、基板を薄くすることとソースワイヤ本数を増やすことなどが IFSM 耐量向上に効果的であるとわかった。

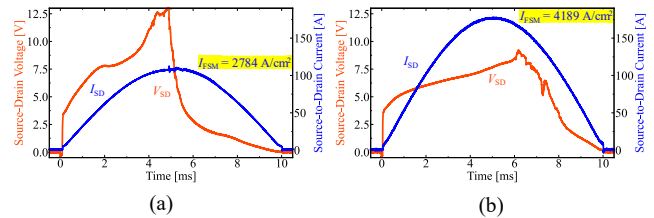


Fig. 1: IFSM failure waveforms of (a) Device A, (b) Device B

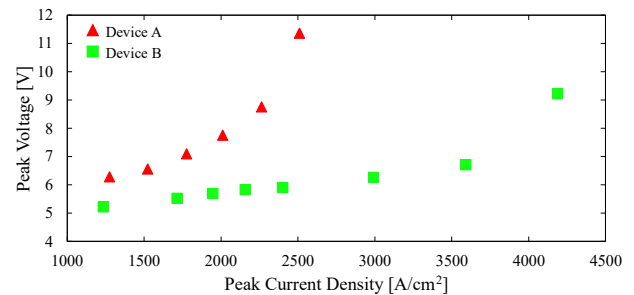


Fig. 2: Relationship between peak current and peak voltage

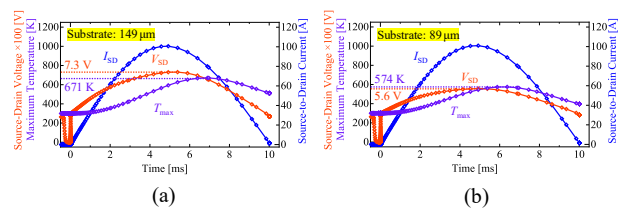


Fig. 3: Simulation results of the effect of substrate thickness on IFSM waveform: (a) 149 μ m, (b) 89 μ m

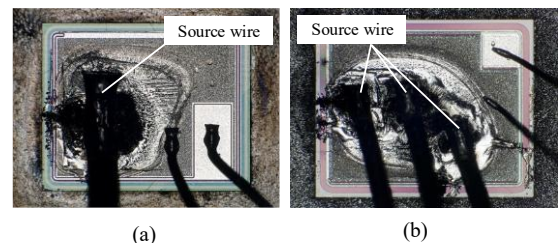


Fig. 4: Chip surface observation after IFSM failure: (a) Device A, (b) Device B

高注入条件下における高濃度 N ドープ 4H-SiC のオージェ再結合係数の評価

Evaluation of Auger recombination coefficient in highly N-doped 4H-SiC under high-level injection conditions

名工大, °(P) ZHANG Endong, 松山 寛子, 加藤 正史

NItech, °Endong Zhang, Hiroko Matsuyama, Masashi Kato

E-mail: zhang.endong@nitech.ac.jp

SiC パワーデバイスではキャリア寿命が重要で、特に高ドープ 4H-SiC では高電流時にオージェ再結合が支配的となる[1]。これまで低ドープ n 型の C に関する報告はあるが、高ドープ n 型は未報告である。田中らは p 型を対象に検討している[2]。本研究では高濃度 N ドープ 4H-SiC を用いて C を算出した。

本試料は市販 n 型 4H-SiC 基板上に成長した、窒素ドープ濃度 $5 \times 10^{18} \text{ cm}^{-3}$ 、厚さ $10 \mu\text{m}$ のエピ層である。キャリア寿命評価は時間分解フォトルミネッセンス法 (TR-PL) で行い、励起光には波長 266 nm 、スポット約 0.13 cm^2 の YAG レーザーを使用した。温度は $298 \sim 573 \text{ K}$ で制御した。

一般的に、オージェ再結合速度は次のように表される：

$$R_{\text{Auger}} = C_n n^2 p + C_p n p^2, \quad (1)$$

ここで $n(p)$ は電子(正孔)濃度、 $C_n(C_p)$ はそれぞれのオージェ再結合係数である。本研究では、ドーピング濃度と励起キャリア濃度が同程度で $n=N_0+\Delta N$, $p=\Delta N$ と近似できる。正孔濃度が小さいため、 $C_p \approx 0$ とし、式(1)からオージェライフタイム τ_{Auger} を求める。

$$\tau_{\text{Auger}} = \frac{1}{C(N_0 + \Delta N)^2}, \quad (2)$$

オージェ係数評価のため、ピークから 10 ns までの初期減衰(τ_{initial})を抽出する。放射再結合 ($B=2.0 \times 10^{-12} \text{ cm}^3/\text{s}$ [2])を考慮し、 τ_{Auger} を式(3)によって算出した。

$$\frac{1}{\tau_{\text{Auger}}} = \frac{1}{\tau_{\text{initial}}} - B(N_0 + \Delta N), \quad (3)$$

Fig. 1 に τ_{Auger} の $N_0 + \Delta N$ と温度依存性を示す。この図に示すように、高キャリア濃度・高温ほど、 τ_{Auger} は短い。Fig. 2 に式(2)および(3)を用いて算出した C の温度依存性を示している。室温では、 $C=3.0 \times 10^{-31} \text{ cm}^6/\text{s}$ で、温度の上昇に伴って増加する。破線は、 $C=1.0 \times 10^{-34} T^{1.19} \text{ cm}^6/\text{s}$ でフィッティングした曲線を示している。したがって、本研究で観察された C の温度依存性の増加は、フォノンとの相互作用の影響を考慮することで説明できる。

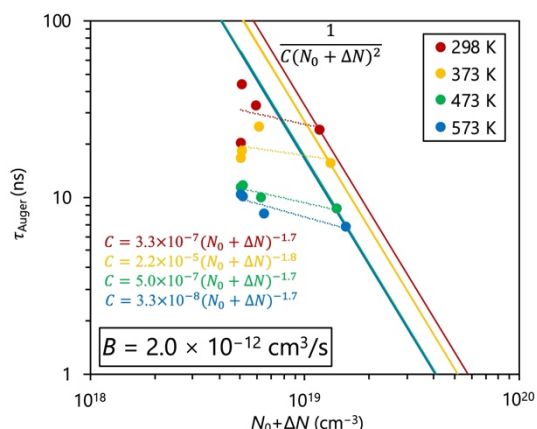


Fig. 1. Carrier dependence of τ_{Auger} at each temperature.

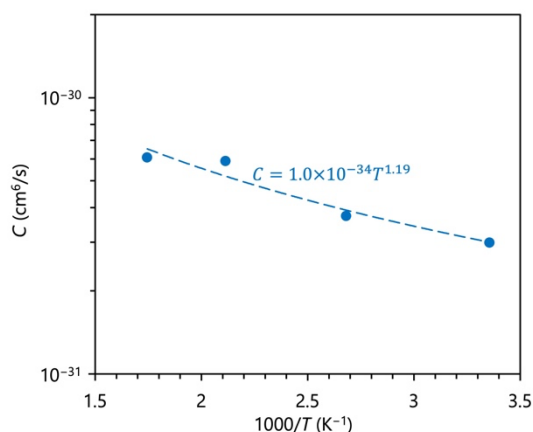


Fig. 2. Temperature dependence of C .

[1] T. Tawara et al., J. Appl. Phys. **120**, 115101 (2016).

[2] K. Tanaka et al., Jpn. J. Appl. Phys. **62**, SC1017 (2023)

機械学習を用いた光学干渉非接触温度測定法の高性能化に関する研究

Study on the Performance Improvement of Optical-Interference
Contactless Thermometry Based on Machine Learning

広大院先進理工 °YU JIAWEN, 花房 宏明, 東 清一郎

Graduate School of Advanced Science and Engineering, Hiroshima University

°J. Yu, H. Hanafusa, and S. Higashi E-mail: semicon@hiroshima-u.ac.jp

序>半導体プロセスにおける高精度なリアルタイム温度測定は、プロセスの均一性と再現性の確保に不可欠である。我々は独自の光学干渉非接触温度測定法 (Optical-Interference Contactless Thermometry: OICT) により、ウェーハの温度変化による光学膜厚変化を解析することで、プラズマ処理やミリ秒アニールといった環境下においても、高精度な測定を実現してきた。先行研究[1]では、OICT に画像処理とデータベース検索を組み合わせることでリアルタイム温度測定を達成したが、汎用性に乏しく、高精度化には膨大な計算・記憶リソースを要するという課題がある。そこで本研究では、AI・機械学習 (Machine Learning: ML) の高い適応力と汎化性能に着目し、これを OICT に組み込むことでリアルタイム温度測定を実現する手法を試みた。

実験>三次元温度拡散・多層膜光学干渉に基づく有限差分シミュレーションを用いた、熱プラズマジェット (Thermal Plasma Jet: TPJ) [2] 照射中の SiC ウェーハ (厚さ 350 μm) 中心部の光学膜厚変化および表面温度最大時の温度-深さ分布を計算した。TPJ の出力 (0~3000 W)および走査速度 (100~2000 mm/s) を変化させ、合計 2000 ケースのデータを生成した。Fig. 1(a) に示すように、光学膜厚変化曲線から抽出した特徴量、加熱開始点と終了点の差 (rise_amplitude)、時間差 (heating_duration)、および两点を結ぶ直線と曲線の最大乖離 (max_deviation) を入力とし、温度-深さ分布(Fig. 1(b)を参照)を相補誤差関数に基づいてモデル化したパラメータ (T_{max} , coe_T , coe_Z) を出力とする ML モデルを構築した。データは等間隔に抽出して学習用 (90%) およびテスト用 (10%) に分割し、XGBoost [3]によりモデルを訓練した。結果および考察>Fig. 1(b)には、異なる学習データ数で訓練した ML モデルによる温度-深さ分布の予測とシミュレーション結果との平均絶対誤差 (MAE) を示す。Fig. 1(c-e) は、Fig. 1(a)の膜厚変化曲線を基に、各 ML モデル (学習データ 360/630/1800 件) による温度-深さ分布の予測結果である。これらの結果から分かるように、学習データ数の増加により予測精度は向上し、1800 件で訓練したモデルは実測分布を良好に再現し、200 件のテストデータに対する平均 MAE は 0.6 K 以下を実現した。さらに、Table Iより、データベース検索法と比較して、ML はより少ないデータで、より高性能なリアルタイム温度測定システムを構築できることが明確に示された。

結論>OICT に AI・機械学習を導入することで、TPJ 加熱中の SiC ウェーハにおける光学膜厚変化から表面温度最大時の温度-深さ分布をリアルタイムで予測することに成功した。AI の活用は OICT の高性能化・実用化をさらに加速させると期待される。

文献>[1] J. Yu, *et al.*, Jpn. J. Appl. Phys. **62**, SC1075 (2023). [2] H. Kaku, *et al.*, Appl. Surf. Sci. **244**, 8 (2005). [3] T. Chen and C. Guestrin, Proc. 22nd ACM SIGKDD Int. Conf. Knowl. Discov. Data Min. pp.785-794 (2016).

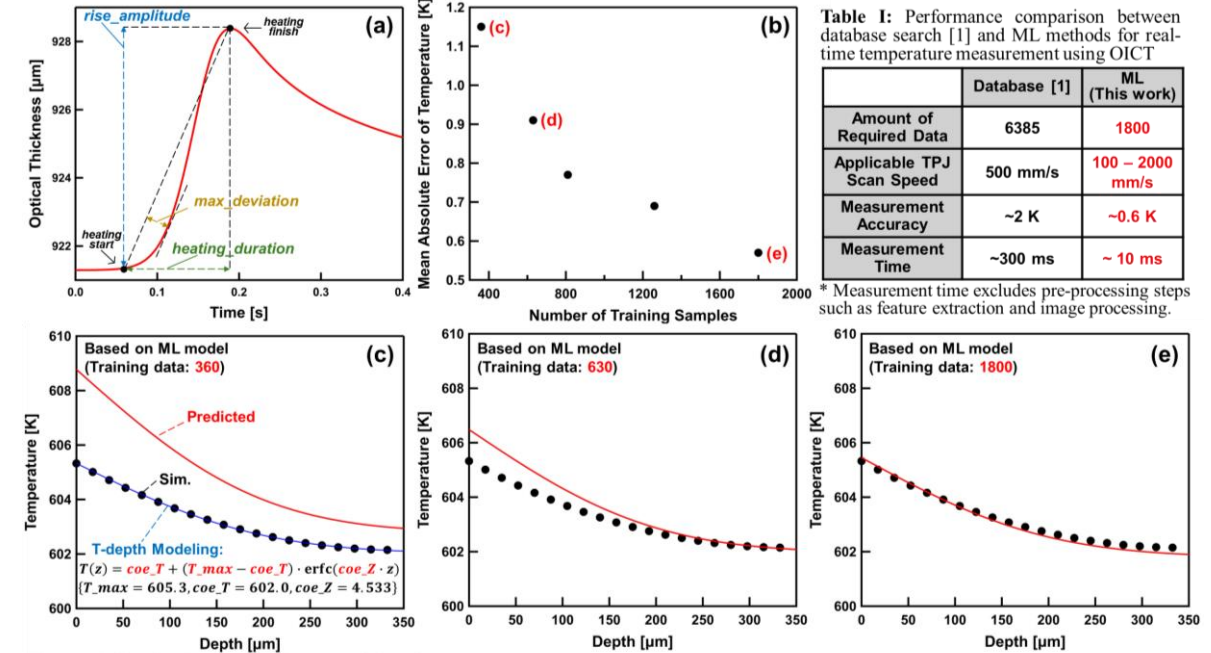


Fig. 1. (a) Simulated optical thickness variation of a SiC wafer during TPJ annealing (337.5 W, 100 mm/s) with feature extraction illustrated. (b) MAE between ML-predicted and simulated temperature-depth profiles for varying sample sizes. (c-e) ML-predicted temperature-depth profiles based on (a), using ML models trained with 360, 630, and 1800 samples, respectively.

SiO₂/SiC 界面発光中心のエネルギー準位の同定及び起源の考察

Understanding the origin of color centers at SiO₂/SiC interfaces through energy level investigation

阪大院工¹, 豊田中研², [○]大西健太郎¹, 中沼貴澄¹, 遠山晴子², 田原康佐²,
朽木克博², 原征大¹, 渡部平司¹, 小林拓真¹

UOsaka¹, Toyota Central R&D Labs., Inc.², [○]Kentaro Onishi¹, Takato Nakanuma¹, Haruko Toyama²,
Kosuke Tahara², Katsuhiko Kutsuki², Masahiro Hara¹, Heiji Watanabe¹, and Takuma Kobayashi¹

Email: onishi@ade.prec.eng.osaka-u.ac.jp

【はじめに】量子通信や量子センシング等の応用において、単一の時空間モードに光子を放出できる単一光子源 (Single Photon Emitters: SPEs) が重要である。SiO₂/SiC 界面には、高輝度な SPE が存在することが報告されており[1]、その量子技術応用が期待されている。界面 SPE は SiC を熱酸化することで形成可能であるが、その起源は未だ明らかではない。これまで、界面発光中心密度と電気的欠陥密度との間には一定の相関が報告されてきたものの[2-5]、発光中心のエネルギー準位は依然未解明である。そこで、本研究では界面の欠陥密度を広範囲に変化させた試料水準を準備し、その光学特性及び電気特性を詳細に評価することで、界面 SPE のエネルギー準位を同定して、欠陥の起源の考察を行った[6]。

【実験および結果】実験には、n 型 4H-SiC(0001)エピ基板(ドナー濃度: $1.0 \times 10^{16} \text{ cm}^{-3}$)を用いた。試料をウェット洗浄後、酸化温度を 1400–1600°C、酸素分圧 $P(\text{O}_2)$ を 0.05–100% の範囲で広範囲に変化させ、熱酸化膜を形成した。光学測定には、532 nm の励起レーザーを備えた共焦点光学系を用い、600 nm 以上の発光をアバランシェフォトダイオードを用いた単一光子検出器で検出した。また、Al ゲート電極を有する MOS キャパシタを作製し、容量-電圧 (C - V) 特性を評価した。まず、Fig. 1 に酸化温度を 1400°C とし、酸素分圧 0.05–100% の範囲で変えた試料の 1 MHz C - V 特性を示す。酸素分圧の増加に伴い、0 V 付近から界面欠陥準位への電子注入に由来する容量の停滞領域(プラトー)が見られ、フラットバンド電圧 (V_{FB}) は理想位置 ($V_{\text{FB_ideal}}$) に比べ正方向にシフトした。このシフトに対応する実効固定電荷密度 (N_{eff}) を求めたところ、 3.0×10^{11} – $6.8 \times 10^{12} \text{ cm}^{-2}$ の範囲で酸素分圧の増加に伴い単調増加した。続いて発光中心の評価のために、蛍光 (PL) の積算強度を測定した。ここで、積算強度は $30 \times 30 \mu\text{m}^2$ 範囲で取得したマッピング像内の全ピクセルの発光強度を足し合わせることで算出した。Fig. 2 に求めた全試料の PL 積算強度を N_{eff} の関数として示す。結果として、積算 PL 強度と N_{eff} の間には強い相関(相関係数: 0.95)が得られた。したがって、発光中心と電気的欠陥は共通の起源に由来することが強く示唆される。そこで、 C - V 特性 (Fig. 1) のプラトーに着目し、容量値から欠陥準位を評価した。その結果、発光中心は SiC 伝導帯端から 0.65–0.92 eV のエネルギー深さにアクセプタ型欠陥準位を形成することが分かった (Fig. 3)。このようなアクセプター型欠陥の有力候補として、アンチサイト型の炭素二量体 [$(\text{C}_2)_{\text{Si}}$] が挙げられる[7]。以上のように、本実験により界面発光中心のエネルギー準位を同定し、その起源が $(\text{C}_2)_{\text{Si}}$ である可能性を見出した。

【謝辞】本研究は JST さきがけ JPMJPR22B5 及び JSPS 科研費 25K01263、24H00046 の助成を受けたものである。

【参考文献】 [1] A. Lohrmann *et al.*, Nat. Commun. **6**, 7783 (2015). [2] B. C. Johnson *et al.*, Phys. Rev. Appl. **12**, 044024 (2019). [3] M. Kaneko *et al.*, APL Mater. **11**, 091121 (2023). [4] T. Nakanuma *et al.*, Appl. Phys. Lett. **123**, 102102 (2023). [5] K. Onishi *et al.*, Appl. Phys. Express **17**, 051008 (2024). [6] K. Onishi *et al.*, APL Mater. **13**, 021119 (2025). [7] P. Li *et al.*, Phys. Rev. B **108**, 085201 (2023).

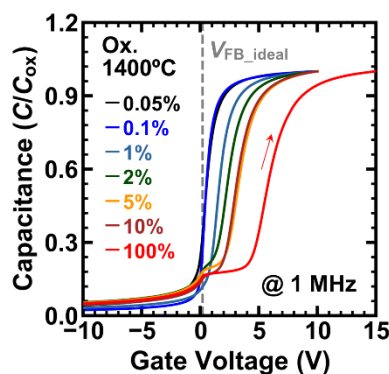


Fig. 1: C - V characteristics of SiO₂/SiC MOS capacitors fabricated by thermal oxidation at 1400°C under $P(\text{O}_2)$ of 0.05–100%.

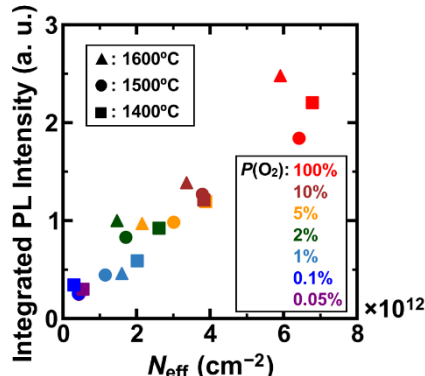


Fig. 2: Correlation between effective fixed charge density and integrated PL intensity of SiO₂/SiC structures.

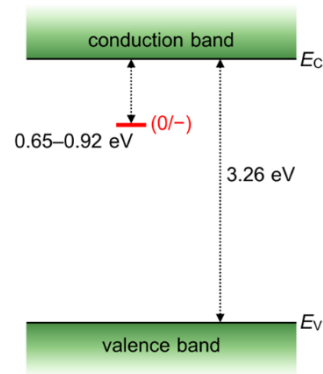


Fig. 3: Schematic energy level structure of color centers near the SiO₂/SiC interface.

SiC 基板の伝導型が SiO₂/SiC 界面発光中心の形成過程に及ぼす影響

Effect of conductivity type of SiC substrate on the formation process of color centers at SiO₂/SiC interfaces

阪大工・院工¹, 豊田中研², [○]兼子悠¹, 中沼貴澄¹, 遠山晴子²,

田原康佐², 朽木克博², 原征大¹, 渡部平司¹, 小林拓真¹

UOsaka¹, Toyota Central R&D Labs., Inc.², [○]Yu Kaneko¹, Takato Nakanuma¹, Haruko Toyama²,
Kosuke Tahara², Katsuhiko Kutsuki², Masahiro Hara¹, Heiji Watanabe¹, and Takuma Kobayashi¹

Email: kaneko@ade.prec.eng.osaka-u.ac.jp

【はじめに】半導体中の単一光子源(SPE)は、量子情報通信や量子センサへの応用が期待されている。SiC はワイドバンドギャップ半導体であり、プロセス技術も成熟しているため、SPE の母材として有望である。特に SiO₂/SiC 界面発光中心は、室温でも高輝度な SPE として機能することが報告されている[1]。これまでに我々は、界面発光中心のエネルギー準位などの基礎物性や形成過程を詳細に調査してきた[2][3]。しかし、基板のフェルミ準位が欠陥形成に及ぼす影響は依然明らかでない。そこで、本研究では異なる伝導型(*n*, *p* 型)の SiC エピ基板に酸化を施し、X 線光電子分光(XPS)測定により SiO₂ 膜厚も算出することで、SiO₂/SiC 界面発光中心の形成過程を調査した。

【実験および結果】本研究では、*n*, *p* 型 4H-SiC(0001)エピ層に対して、ウェット洗浄直後に 400–1400°C、5 分の熱酸化を施した。作製した試料に対して、XPS 測定により、SiO₂ 膜の成長を評価した。また、波長 532 nm のレーザーを照射し、600 nm 以上の蛍光を対物レンズ(NA=0.9)を介して収集することで PL マッピング測定を行った。まず、図 1 に XPS 測定から取得した、SiO₂/SiC 構造の規格化 Si2*p* スペクトルを示す。酸化温度の上昇とともに Si-O 結合の信号強度が単調に増加し、1000°C の酸化後の酸化膜厚は約 1.0 nm と見積もられた。また、1200°C 以上の酸化条件では数 nm 以上の酸化膜が成長する。続いて、図 2(a), (b)に *n*, *p* 型試料のそれぞれに 700°C の酸化を施した場合の典型的な PL マッピング像を示す。いずれの試料においても多数の輝点(発光中心)が観測でき、伝導型の違いによる顕著な差は見られなかった。そこで、発光中心密度の変化を定量的に議論するため、マッピング像中の全ピクセルのカウントを足し合わせた積算 PL 強度を全ての試料に対して求め、XPS 測定による酸化膜厚評価の結果と共に、図 3 にまとめる。結果として、*n*, *p* 型試料ともに、酸化温度上昇に伴い積算強度が増加し、700–800°C 程度の温度を境に減少に転ずる様子が確認できた。これは *n* 型エピ層に対する先の報告[2]と同様であり、低温酸化では炭素関連欠陥が形成され、温度上昇に伴い欠陥が低減する理論予測と整合するため[4][5]、界面発光中心の起源が炭素由来であることを示唆する。酸化膜厚の評価結果から、界面発光中心は原子レベルの僅かな酸化で形成され、0.5 nm 以上酸化膜が成長すると逆に減少する。また、興味深い点として、全温度域で基板の伝導型(*n*, *p* 型)の違いによる有意な差は見られなかった。一般に欠陥の形成エネルギーはフェルミ準位に依存する。例外は欠陥が広いフェルミ準位範囲で中性の荷電状態をとる場合であるが、界面発光中心は少なくとも伝導帯側の深いエネルギー位置($(E_c - 0.65) - (E_c - 0.92)$ eV)にアクセプタ準位をもつ[3]。よって、本結果は、基板の伝導型によらず、フェルミ準位がミッドギャップ近傍にピンギングされて酸化反応が進行し、その条件下で発光中心が形成されることを示唆する。以上の結果は、SiC の酸化機構と発光中心の形成過程の理解を深めるものである。

本研究は JST さきがけ JPMJPR22B5 及び JSPS 科研費 25K01263, 24H00046 の助成を受けたものである。

[1] A. Lohrmann *et al.*, Appl. Phys. Lett. **108**, 021107 (2016).

[4] Y. Matsushita *et al.*, arXiv 1612.00189 (2021).

[2] 兼子他, 第 85 回応用物理学会秋季学術講演会, 19p-C41-9 (2024).

[5] T. Kobayashi *et al.*, J. Appl. Phys. **126**, 145302 (2019).

[3] K. Onishi *et al.*, APL Mater. **13**, 021119 (2025).

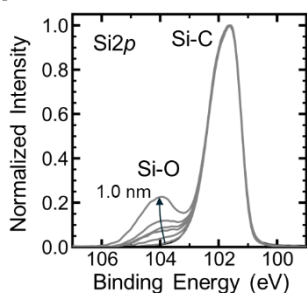


Fig. 1: Normalized Si2*p* core-level spectra of SiO₂/SiC samples.

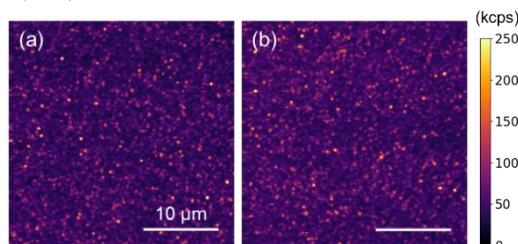


Fig. 2: Typical PL mapping images of (a) *n*-type and (b) *p*-type SiC samples oxidized at 700°C (scan area: 30×30 μm²).

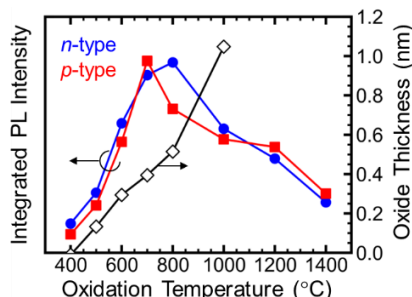


Fig. 3: Integrated PL intensity and oxide thickness of SiO₂/SiC samples as a function of oxidation temperature.

第一原理計算による 4H-SiC 中不純物-空孔ペアの光学特性評価

Optical properties of impurity-vacancy pairs in 4H-SiC from ab initio calculations

阪大院工 [○]岩本 蒼典, 原 征大, 渡部 平司, 小林 拓真

UOsaka, [○]Sosuke Iwamoto, Masahiro Hara, Heiji Watanabe, and Takuma Kobayashi

Email: iwamoto@ade.prec.eng.osaka-u.ac.jp

【はじめに】半導体中の点欠陥は、スピン量子ビットと単一光子源の機能を併せ持つスピン-光子インターフェースとして注目されている。最も研究が進められているのはダイヤモンド中の NV センター[1]だが、同じワイドギャップ半導体であり、結晶成長や微細加工、伝導型制御等の技術が成熟している SiC の量子技術応用が期待されている。我々はこれまで、高精度第一原理計算によるスクリーニングを用いて、過去に報告されている以外にも多くの 4H-SiC 中の不純物-空孔ペアがスピン量子数 $S \geq 1$ の電子配置を取ることを明らかにした[2]。そこで本研究では、それらの不純物-空孔ペアに関する詳細な光学特性を第一原理計算により調査した。

【計算方法と結果】欠陥モデルの計算には VASP コード[3]を利用した。電子状態計算に用いる交換-相関汎関数としては、SiC のバンドギャップを高精度に再現できる HSE06 汎関数[4]を適用した。欠陥モデルとしては、576 原子 4H-SiC スーパーセルに不純物-空孔ペアを導入した系を用いた。本研究では、我々の過去の研究[2]でスピン量子数 $S \geq 1$ となることが示された不純物-空孔ペアについて、電子の占有状態を固定した構造緩和計算を行うことで励起状態での構造と電子配置を求めた。その上で欠陥準位を介する電子の励起過程として各欠陥での最低エネルギーの光学遷移を検討したところ、表 1 に示すゼロフォノン発光波長が得られた。表 1 に示すように、不純物-空孔ペアのゼロフォノン線は近赤外領域の幅広い波長をとることが確認された。特に、通信波長帯 (1000–1675 nm) で発光する欠陥が多数確認され、これらの発光は光ファイバー中の伝搬損失が小さく量子通信への応用に適するといえる。図 1 に、欠陥の発光に対応する輻射速度定数 (輻射寿命の逆数) の計算結果を示す。なお、計算の際は、励起に伴う構造変化は考慮していない。図 1 より、特に欠陥準位間の遷移過程では 1 MHz 以上の高い輻射速度定数が確認されており、実験で実証されている $\text{NcV}_{\text{Si}}^{-1}$ [5]と同等以上の高い発光効率が期待できる。一方、伝導帯や価電子帯との遷移が関連する欠陥は、輻射速度定数が小さい傾向にあるが、共振器構造に埋め込むことで発光の増強が期待できる。講演当日は、これまでの欠陥の安定性と光学特性計算の結果を踏まえ、SiC 中不純物-空孔ペアの形成戦略と有用性について包括的な議論を行う。

Table 1 Zero phonon lines (ZPL) wavelength of impurity-vacancy pairs in 4H-SiC with high-spin ($S \geq 1$) ground states.

励起過程	欠陥種	ZPL	励起過程	欠陥種	ZPL
欠陥→伝導帯	$\text{AlSiVc}^{1-}(S = 1)$	1660 nm	欠陥→欠陥	$\text{NcV}_{\text{Si}}^{1-}(S = 1)$	1184 nm
	$\text{InSiVc}^{1-}(S = 1)$	1638 nm		$\text{OcV}_{\text{Si}}^0(S = 1)$	1043 nm
	$\text{TiSiVc}^{1-}(S = 1)$	2139 nm		$\text{ScV}_{\text{Si}}^0(S = 1)$	2066 nm
価電子帯→欠陥	$\text{NcV}_{\text{Si}}^0(S = 3/2)$	1035 nm		$\text{FcV}_{\text{Si}}^{1+}(S = 1)$	1022 nm
	$\text{OcV}_{\text{Si}}^{1+}(S = 3/2)$	1332 nm		$\text{ClcV}_{\text{Si}}^{1+}(S = 1)$	1441 nm
	$\text{ScV}_{\text{Si}}^{1+}(S = 3/2)$	910 nm		$\text{BrCv}_{\text{Si}}^{1+}(S = 1)$	2275 nm
	$\text{SecV}_{\text{Si}}^{1+}(S = 3/2)$	826 nm			

【謝辞】本研究は、JST さきがけ JPMJPR22B5 およびJSPS 科研費 24H00046、25K01263 の支援を受けたものであり、大阪大学 D3 センターの SQUID を利用して得られた。欠陥構造の可視化には VESTA を利用した[6]。【参考文献】[1] A. Gruber *et al.*, Science **276**, 2012 (1997). [2] 岩本他, 第 85 回応用物理学会秋季学術講演会, 19p-C41-12 (2024). [3] G. Kresse and J. Furthmüller, Phys. Rev. B **54**, 11169 (1996). [4] J. Heyd *et al.*, J. Chem. Phys. **118**, 8207 (2003). [5] J. F. Wang *et al.*, Phys. Rev. Lett. **124**, 223601 (2020). [6] K. Momma and F. Izumi, J. Appl. Crystallogr. **44**, 1272 (2011).

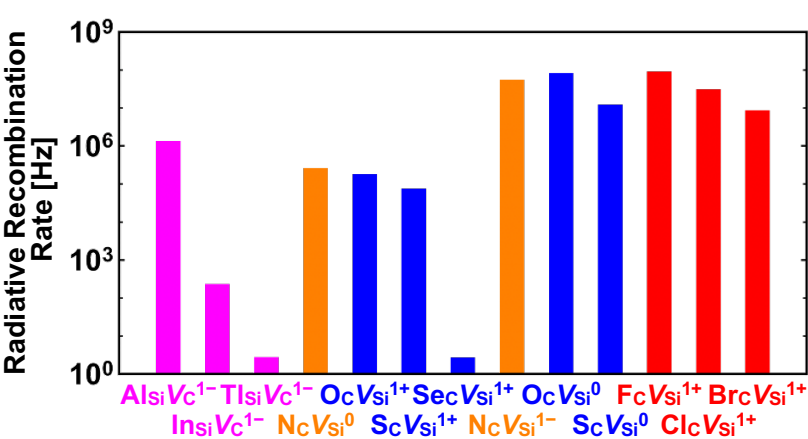


Fig. 1 Radiative recombination rates of impurity-vacancy pairs shown in Table 1.

電子励起を伴うイオンのエネルギー損失に対して Firsov が付加した因子の影響

Influence of the factor added by Firsov on the energy loss of ions associated with electronic excitation

法政大 ○望月 和浩, 西村 智朗, 三島 友義, 堀切 文正

Hosei Univ.

○K. Mochizuki, T. Nishimura, T. Mishima, F. Horikiri

E-mail: kazuhiro.mochizuki.66@hosei.ac.jp

はじめに チャネリングイオン注入における電子阻止断面積 $S_e^{\text{channeling}}$ は、標的原子密度 N , 衝突間隔 W , 実効原子番号(入射 Z_1' , 標的 Z_2'), イオン速度 U , 衝突径数 R_0 及び R_0 低減因子 y を用いて $S_e^{\text{channeling}} (\text{eV cm}^2 \text{atom}^{-1}) = \alpha (NW)^{-1} 4.3 \times 10^{-8} (Z_1' + Z_2' - \beta)^{5/3} U / [1 + 0.31 (Z_1' + Z_2' - \beta)^{1/3} (R_0/y)]^5$. (1) と表されてきた[1]。ここで, α は 1 [1], β はチャネリング方向の共有結合手数($W<110>$: 0 [1]; $\text{Si}<110>$: 2 [1]; $4\text{H-SiC}<0001>$: 1 [2])である。式(1)は電子速度を Thomas-Fermi 統計モデルで評価する際に $3/4$ を乗じた Firsov の式[3]に基づく。しかし, 入射原子-標的原子間の運動量移動にはエネルギー0 からフェルミエネルギーまでの全電子が関与するため, $3/4$ を乗じるべきではないとの主張もあり[4], この場合, $\alpha = 4/3$ となる。そこで, $\text{Si}<110>$ 方向への Si チャネリングイオン注入に関する実験結果(Fig. 1 記号)[5]を基に, $S_e^{\text{channeling}}$ に対する α の影響を検討した。

検討 $R_0 = 0.14 \text{ nm}$ は中性 Si 原子の Kohn-Sham 半径(0.215 nm [6])より小さいため $y = 5$ として [2], 式(1)から $S_e^{\text{channeling}}$ の入射原子番号 Z_1 依存性を求めた(Fig. 1 破線及び実線)。 $U > 0.8 \times 10^8 \text{ cm s}^{-1}$ では $\alpha = 4/3$ の方が実験値[5]に近いことから, $U = 1.5 \times 10^8 \text{ cm s}^{-1}$ での計算結果(Fig. 2 破線)[2]を $\alpha = 4/3$ として再計算したところ(Fig. 2 実線), チャネリングイオン注入実験結果(Fig. 2 記号)に対する両者の差は大きくなかった。

ところが, Si へのランダムイオン注入における電子阻止断面積に関する Teplova らの式[7]に α を乗じて, Z_1 依存性に関する実験結果[8]を再現するには, $\alpha = 4/3$ とする必要があることが判明した[9]。詳細は当日報告する。

[1] A.H. El-Hoshy and J.F. Gibbons, Phys. Rev. 173, 454 (1968). [2] K. Mochizuki et al. Jpn. J. Appl. Phys. 63, 058001 (2024). [3] O.B. Firsov, Soviet Phys. JETP 36, 1076 (1959). [4] I.S. Tilinin, Phys. Rev. A 51, 3058 (1995). [5] S. Lohmann et al., Phys. Rev. A 102, 062803 (2020). [6] E. Ospadov et al., J. P. Perdew, PNAS 115, E11578 (2018). [7] Y.A. Teplova et al., Sov. Phys. JETP 15, 31 (1962). [8] M.S. Janson et al., J. Appl. Phys. 96, 164 (2004). [9] K. Mochizuki et al., Jpn. J. Appl. Phys. 64, 046503 (2025).

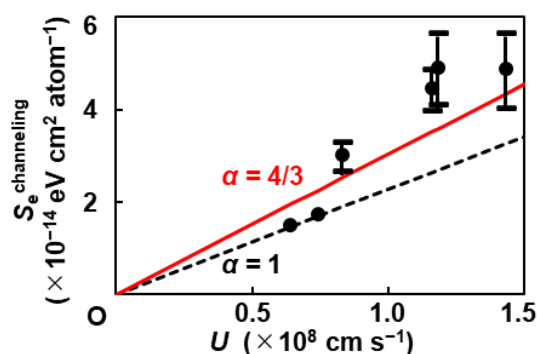


Fig. 1. Ion-velocity dependences of $S_e^{\text{channeling}}$ of Si along the $\langle 110 \rangle$ direction measured [5] and calculated using Eq. (1).

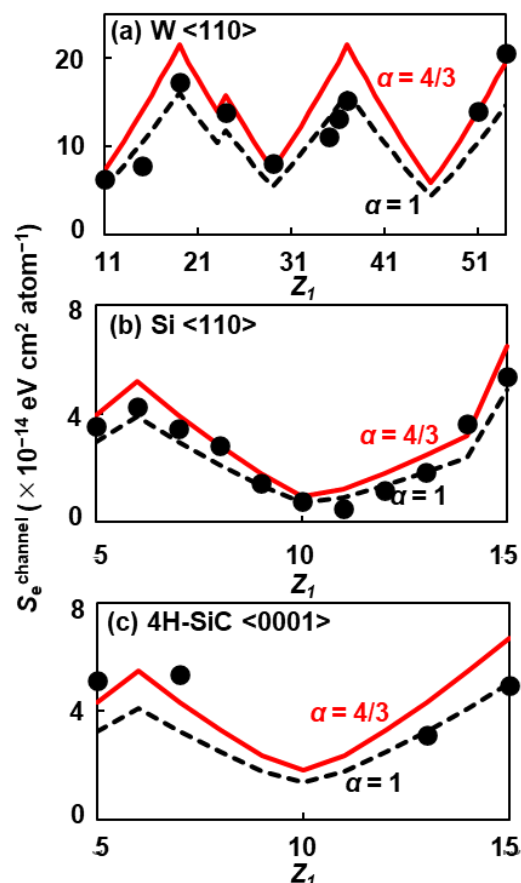


Fig. 2. Z_1 dependence of $S_e^{\text{channeling}}$ (at U of $1.5 \times 10^8 \text{ cm s}^{-1}$) reported [2] and calculated using Eq. (1) with α of $4/3$.

Z₁依存電子阻止断面積モデルとそのSi, C, 4H-SiC, Al, Ni及びAgへの適用

Model for Z₁-dependent electronic stopping cross sections and its application to Si, C, 4H-SiC, Al, Ni, and Ag

法政大 ○望月 和浩, 西村 智朗, 三島 友義, 堀切 文正

Hosei Univ. ○K. Mochizuki, T. Nishimura, T. Mishima, F. Horikiri

E-mail: kazuhiro.mochizuki.66@hosei.ac.jp

はじめに ランダムイオン注入における電子阻止断面積 S_e^{random} の入射原子番号 Z_1 依存性は、自己無撞着 非線形手法によっても十分に再現できていない[1]。そこで、その実効原子番号(入射 Z_1 , 標的 Z_2)を、チャネリングイオン注入における実効原子番号(入射 Z_1 , 標的 Z_2)[2]を用いてモデル化し、Si[3], C[4-7], 4H-SiC[3], Al[8], Ni[8]及びAg[8]へ適用した[9]ので報告する。

モデル 原子番号 Z_i ($i = 1, 2$)及びイオン速度 U の関数 k_2 を用いて、 Z_1 を次式でモデル化した。

$$(Z_1'' + Z_2'') - (Z_1' + Z_2') = [(Z_1 + Z_2) - (Z_1' + Z_2')] k_2(U). \quad (1)$$

但し、4H-SiC の Z_2 , Z_2' 及び Z_2'' は、Si 及び C の値の平均とした。 S_e^{random} は Teplova らの式[10]に 4/3 を乗じた次式で与えられる[9]。

$$S_e^{\text{random}} (\text{eV cm}^2 \text{ atom}^{-1}) = 2.34 \times 10^{-23} (4/3) (Z_1'' + Z_2'') U (\text{cm s}^{-1}). \quad (2)$$

式(2)と実測(Fig. 1(a)–(g)記号[3–8])の差の二乗和を最小化する k_2 を決定した(Fig. 1(a)–(g)実線)。

検討 k_{Si} , k_{C} 及び $k_{4\text{H-SiC}}$ を $U = 1.5 \times 10^8 \text{ cm s}^{-1}$ で比較するため、 k_{C} を Fig. 1(b)及び Fig. 1(c)から線形内挿した。 $k_{4\text{H-SiC}}$ が k_{Si} と k_{C} の間にある結果[Fig. 1(h)]は、4H-SiC が Si 及び C からなる化合物半導体であることから理解できる。一方、 $U = 1.8 \times 10^8 \text{ cm s}^{-1}$ における金属の k はほぼ一定であり[Fig. 1(i)]、電子阻止過程における運動量移動確率の Z_2 依存性[11]が無視できることを示唆している。

まとめ S_e^{random} の Z_1 依存性に対する解析モデルを提案し、報告結果[3–8]を再現した。

[1] N.R. Arista, Nucl. Instrum. Methods Phys. Res. B 195, 91 (2002). [2] A.H. El-Hoshy and J.F. Gibbons, Phys. Rev. 173, 454 (1968). [3] M.S. Janson et al., J. Appl. Phys. 96, 164 (2004). [4] J.H. Ormrod and H.E. Duckworth, Can. J. Phys. 41, 1424 (1963). [5] J.H. Ormrod et al., Can. J. Phys. 43, 275 (1965). [6] B. Farstrup et al., Kgl. Danske Videnskab Selskab. Mat.-Fys. Medd. 35 (1966), <https://gymarkiv.sdu.dk/MFM/kdvs/mfm%2030-39/mfm-35-10.pdf>. [7] P. Hvelplund and B. Farstrup, Phys. Rev. 165, 408 (1968). [8] H.R. Andrews et al., IEEE Trans. Nucl. Sci. 26, 1326 (1979). [9] K. Mochizuki et al., Jpn. J. Appl. Phys. 64, 046503 (2025). [10] Y.A. Teplova et al., Sov. Phys. JETP 15, 31 (1962). [11] I.S. Tilinin, Phys. Rev. A 51, 3058 (1995).

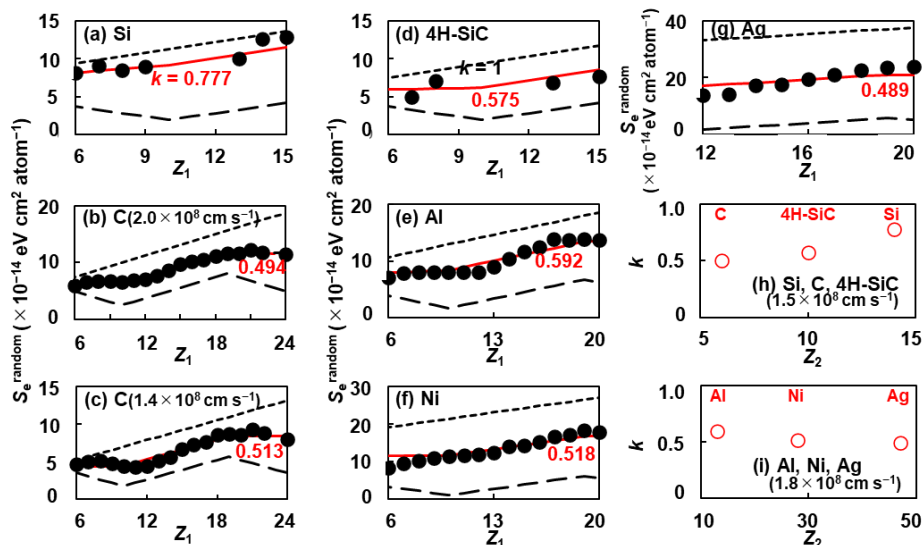


Fig. 1. Z_1 dependences of S_e^{random} of (a) Si ($U = 1.5 \times 10^8 \text{ cm s}^{-1}$), (b) C ($U = 2.0 \times 10^8 \text{ cm s}^{-1}$), (c) C ($U = 1.4 \times 10^8 \text{ cm s}^{-1}$), (d) 4H-SiC ($U = 1.5 \times 10^8 \text{ cm s}^{-1}$), (e) Al ($U = 1.8 \times 10^8 \text{ cm s}^{-1}$), (f) Ni ($U = 1.8 \times 10^8 \text{ cm s}^{-1}$), and (g) Ag ($U = 1.8 \times 10^8 \text{ cm s}^{-1}$) reported (solid symbols) and calculated using Eqs. (1) and (2) with k_2 of fitted values (solid lines), 1 (dotted lines), and 0 (dashed lines), as well as those of fitted k_2 (open symbols) of (h) Si, C, and 4H-SiC ($U = 1.5 \times 10^8 \text{ cm s}^{-1}$), and (i) Al, Ni, and Ag ($U = 1.8 \times 10^8 \text{ cm s}^{-1}$).

13 Semiconductors | Poster presentation : 13.7 Compound and power devices, process technology and characterization

[10a-P04-1~22] 13.7 Compound and power devices, process technology and characterization

[10a-P04-1]

High temperature resistant interconnection for power device using Ni nanoparticle paste

○Keiko Koshiba¹, Kohei Tatsumi² (1.KISTEC, 2.Waseda Univ.)

[10a-P04-2]

Leakage current increase of gamma-irradiated 4H-SiC JFET

○Akinori Takeyama¹, Takahiro Makino¹, Shin-Ichiro Kuroki², Yasunori Tanaka³, Takeshi Ohshima¹ (1.QST, 2.Hiroshima Univ., 3.AIST)

[10a-P04-3]

Investigation of electronic properties of the SiC/SiO₂ Interface in High-temperature SiC-SBD by Micro-Raman Spectroscopy

○Shu Ishida¹, Tatsuya Kiyozumi¹, Jun Suda¹ (1.Chukyo Univ.)

[10a-P04-4]

TCAD and Experimental Analysis of Geometric Components of Charge Pumping Current in n-SiC MOSFETs

○Kenta Kimata¹, Kazuma Simura¹, Dai Okamoto¹, Mitsuru Sometani², Hirohisa Hirai², Mitsuo Okamoto², Tetsuo Hatakeyama¹ (1.Toyama Pref. Univ., 2.AIST)

[10a-P04-5]

TCAD and Experimental Analysis of the Geometric Component in Charge Pumping Current of p-Channel SiC MOSFETs

○(M2)Kazuma Shimura¹, Dai Okamoto¹, Yuta Taguchi¹, Kenta Kimata¹, Mitsuru Sometani², Hirohisa Hirai², Mitsuo Okamoto², Tetsuo Hatakeyama¹ (1.Toyama Pref. Univ., 2.AIST)

[10a-P04-6]

Theoretical analysis for structural stability and band alignments at nitrogen incorporated 4H-SiC/SiO₂ interface

○Naoto Ise¹, Toru Akiyama¹, Tetsuo Hatakeyama², Kenji Shiraishi³, Takashi Nakayama⁴ (1.Mie Univ., 2.Toyama Pref. Univ., 3.Tohoku Univ., 4.Chiba Univ.)

[10a-P04-7]

Demonstration of near-field etching using oxygen as a radical source for SiC wafer

○Reo Yoshimatsu¹, Kyohei Yoshida², Shoji Nagaoka^{2,3}, Makoto Takafuji¹ (1.Faculty of Advanced Science and Technology, Kumamoto University, Kumamoto, 850-8555, Japan, 2.Kumamoto Industrial Research Institute, Kumamoto, 892-0901, Japan, 3.Kumamoto Innovative Development Organization, Kumamoto University, Kumamoto 850-8555, Japan)

[10a-P04-8]

Evaluation of stress distribution on GaN wafer applied with bending stress

○Kodai Matsushita¹, Takuto Matsuda¹, Jun Suda¹ (1.Chukyo Univ.)

[10a-P04-9]

Thermionic Emission Property of Cs Deposited Mg-Doped InGaN and Its Temperature Dependence

○Jotaro Tashiro¹, Shigeya Kimura², Hisao Miyazaki², Akihisa Ogino¹ (1.Shizuoka Univ., 2.Toshiba Corp.)

[10a-P04-10]

Analysis of the electronic properties of stress-loaded GaN substrates by Raman spectroscopy

○Takuto Matsuda¹, Kodai Matsushita¹, Jun Suda¹ (1.Chukyo Univ.)

[10a-P04-11]

Study on resonant tunneling diodes based on polarization-matched epitaxial structures with multicomponent group-III nitrides (2)

○(M1)hikaru imaizumi¹, akira mase¹, takashi egawa¹, makoto miyoshi¹ (1.Nagoya Institute of Tech)

[10a-P04-12]

Fabrication of Si(111)/Diamond Templates for Advanced III-Nitride Process

○(M1C)Hikaru Iwamoto¹, Naoteru Shigekawa¹, Jianbo Liang¹ (1.Osaka Metropolitan Univ.)

[10a-P04-13]

Characterization of processed n-GaN surface by electrochemical impedance spectroscopy

○Takahiro Shimazaki¹, Enku Takahashi¹, Satoaki Akazawa¹, Taketomo Sato¹ (1.RCIQE, Hokkaido Univ.)

[10a-P04-14]

Isolation Characteristics of GaN Mesas on Diamond Substrates
Fabricated Using the Surface-Activated Bonding

○Yosei Sunamoto¹, Tetsuya Suemitsu², Naoteru Shigekawa¹, Jianbo Liang¹ (1.Osaka Metropolitan Univ., 2.Tohoku Univ.)

[10a-P04-15]

Attempt to control p-GaN MOS interfaces by combining photoelectrochemical etching and 850°C annealing

○Masanobu Takahashi¹, Takahiro Shimazaki¹, Taketomo Sato¹, Masamichi Akazawa¹ (1.RCIQE, Hokkaido Univ.)

[10a-P04-16]

Investigation of effects of 850°C annealing prior to activation annealing on Mg-ion-implanted GaN using MOS structures

○Hinata Karasawa¹, Masanobu Takahashi¹, Masamichi Akazawa¹ (1.RCIQE, Hokkaido Univ.)

[10a-P04-17]

Characterization of p-type GaInN/GaN MQWs for GaN-based HBTs

○Ryosei Inoue¹, Sotaro Ishida¹, Akira Mase¹, Takashi Egawa¹, Makoto Miyoshi¹ (1.Nagoya Inst. of Tech.)

[10a-P04-18]

Electrical characterization of ud-AlGaIn/n-GaN structures by electrochemical methods

○Enku Takahashi¹, Takahiro Shimazaki¹, Satoaki akazawa¹, Kazuhide Kumakura¹, Yoshitaka Taniyasu², Taketomo Sato¹ (1.RCIQE, Hokkaido Univ., 2.NTT Basic Research Labs)

[10a-P04-19]

Electrical properties of recessed-gate AlGaN/GaN heterostructure transistors processed by contactless-photoelectrochemical (CL-PEC) etching

○Tokachi Katsumata¹, Naoki Shiozawa¹, Haruki Okano¹, Taketomo Sato¹ (1.RCIQE, Hokkaido Univ.)

[10a-P04-20]

Deposition Mechanism of $\text{Al}_{1-x}\text{Ti}_x\text{O}_y$ Gate Insulator Films for GaN-based MIS Devices by Mist-CVD

○Hiroshi Otake¹, Yusui Nakamura¹, Zenji Yatabe¹ (1.Kumamoto Univ.)

[10a-P04-21]

Mist Thermal Oxidation Process for GaN Surface Oxidation

○Ryosuke Hamasuna¹, Thin Nu Soe¹, Takumi Hirakura¹, Yusui Nakamura¹, Zenji Yatabe¹ (1.Kumamoto Univ.)

[10a-P04-22]

Mist Thermal Oxidation of GaN Surface for Mist Etching

○Takumi Hirakura¹, Thin Nu Soe¹, Ryosuke Hamasuna¹, Yusui Nakamura¹, Zenji Yatabe¹ (1.Kumamoto Univ.)

パワーデバイス高耐熱実装に向けた Ni ナノ粒子焼結接合材の研究

High temperature resistant interconnection for power device using Ni nanoparticle paste

神奈川県立産業技術総合研究所¹, 早稲田大学² ○小柴 佳子¹, 巽 宏平²

Kanagawa Institute of Industrial Science and Technology¹, Waseda Univ.²,

°Keiko Koshiba¹, Kohei Tatsumi²

E-mail: k-koshiba@kistec.jp

【背景・目的】SiC パワーデバイスの高温動作化に向けて高耐熱実装技術が求められており、金属ナノ粒子の低温焼結性を利用したダイボンディング材が注目されている。本研究グループでは Ni ナノ粒子を用いた研究に取り組み、Al 電極膜付き半導体チップの接合において大気加熱での接合が可能である^[1]と明らかにしている。本技術は Ag や Cu ナノ粒子を用いる実装技術に対して材料コストやプロセス制御の容易さに優位性があると考えている。しかしながら、Ni ナノ粒子を用いた先行研究では焼結後の接合相内にボイドが生じ、チップサイズによっては接合強度が低下する課題があった。そこで本研究ではボイドの抑制のためマイクロサイズの Al 粒子を混合した Ni ナノ粒子-Al マイクロ粒子接合材を作製し、初期強度の評価や長期信頼性の評価を行った。

【実験方法・結果】接合材は Ni ナノ粒子、Al マイクロ粒子、樹脂、有機溶媒を所定の比率で混合したペースト状のものをを用いた。Ni 膜付 Cu-W 基板上に接合材を塗布し、その上に Al 膜付き Si チップを搭載後、大気炉中無加圧で 340℃15 分の熱処理を行い Fig.1 に示す構造の接合試料を作製した。接合強度はシェア強度試験により評価した。X 線 CT によってシェア強度試験前の接合部を観察した結果を Fig.2 に示す。粗大なボイドは観察されず良好な接合層を形成しており、接合強度は約 29MPa であることが分かった。さらに、接合部の長期信頼性評価として接合試料を 200℃1000 時間保持する高温保持試験(HTS)、試料環境温度を-20℃と+200℃に交互に変化させる温度サイクル試験(TCT)を行い、初期強度との比較を行った結果を Fig.3 に示す。HTS および TCT 試験後においても初期強度からの顕著な低下は見られなかった。発表では接合部の断面観察や破面観察を行った結果についても示す予定である。本接合材は接合時の雰囲気制御が不要で、無加圧加熱で Al や Ni に対して直接接合可能という特長を有しており、新たな高耐熱性実装材料として期待できると考えている。

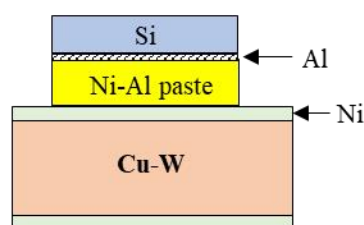


Fig.1 Cross-sectional schematic illustration of the bonding sample.

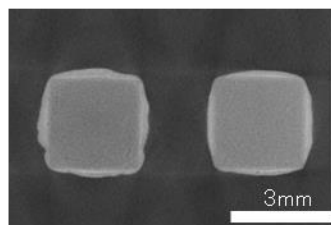


Fig.2 X-ray CT image of the bonding layer.

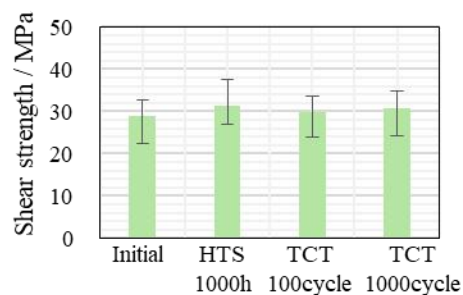


Fig.3 Shear strength.

[1] K.Tatsumi *et al.*, Proceedings of 7th Electronic System-Integration Technology Conference (ESTC) (2018) .

本研究の一部は公益財団法人東電記念財団の研究助成を受けて実施しました。

ガンマ線照射による 4H-SiC JFET のリーク電流増加

Leakage current increase of gamma-irradiated 4H-SiC JFET

量研¹, 広島大 RISE², 産総研³ °武山 昭憲¹, 牧野 高紘¹, 黒木 伸一郎², 田中 保宣³,
大島 武¹

QST¹, RISE, Hiroshima Univ.², AIST³, °A. Takeyama¹, T. Makino¹, S-I. Kuroki², Y. Tanaka³,
T. Ohshima¹

E-mail: takeyama.akinori@qst.go.jp

炭化ケイ素 (SiC) はシリコン(Si)の約 3 倍広いバンドギャップエネルギーを持ち、熱や放射線による電子励起が起こりにくく、高温・放射線環境で使える集積回路の実現を目指し研究が進められている[1,2]。集積回路には一般に金属-酸化膜-半導体電界効果トランジスタ(MOSFET)が用いられるが、ガンマ線で生成した電荷でゲート酸化膜が帯電し、素子特性が劣化しやすいため、ゲート酸化膜がない SiC 接合型電界効果トランジスタ (JFET) が高線量用途として期待されている。これまでに SiC JFET を数 MGy (メガグレイ) 高線量ガンマ線に暴露すると、しきい値電圧 (V_{th}) の正電圧シフトとリーク電流増加が起こることを確かめたが [2,3]、後者の起源は不明であった。そこで改めてガンマ線照射後の SiC JFET について、なぜリーク電流が増加するのか調べることにした。

照射によるリーク電流増加の例として、17 MGy 室温でガンマ線照射したノーマリーオン n チャネル JFET の特性を示す。素子は、p 型イオン注入層で分離されている (図 1)。図 2 はゲート幅 $W = 36 \mu m$ の素子のドレイン電流またはゲート電流-ゲート電圧 (I_D-V_G , I_G-V_G) 特性である。ドレイン電圧は $V_D = 6 V$ とした。17 MGy 照射後の未照射からの V_{th} シフトは 0.13 V であった。照射でドレインとゲートリーク電流は増加し、ほぼ同じ値であることから、ドレイン-ゲート間のリークを示す。またリーク電流は照射後の時間経過とともに減少した。これは帯電した表面酸化膜の室温アニールにより、SiC/SiO₂ 界面準位からの電荷放出や、p 型ゲートとのオーバーラップ部で空乏層幅が変化したことを示唆する。発表では、照射した SiC JFET に電圧ストレス印加や光照射を行い、リーク電流の起源について報告する。

【参考文献】

- [1] M. Tsutsumi et al., IEEE Electron Device Lett. **44**, 100 (2023). DOI: 10.1109/LED.2022.3226494
- [2] M. Mochizuki et al., IEEE Electron Device., **70**, 4612 (2023). DOI: 10.1109/TED.2023.3299469
- [3] A. Takeyama et al., J. Appl. Phys. **131**, 244503-1 (2022). DOI: 10.1063/5.0095841
- [4] A. Takeyama et al., Quantum Beam Sci. **7**, 31-1 (2023). DOI:10.3390/qubs7040031.

【謝辞】本研究の一部は文部科学省「次世代 X-nics 半導体創生拠点形成事業」および JSPS 科研費 JP 24H00035 の助成を受けたものです。

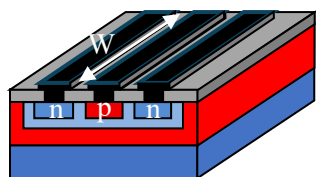


図 1. SiC JFET 断面図

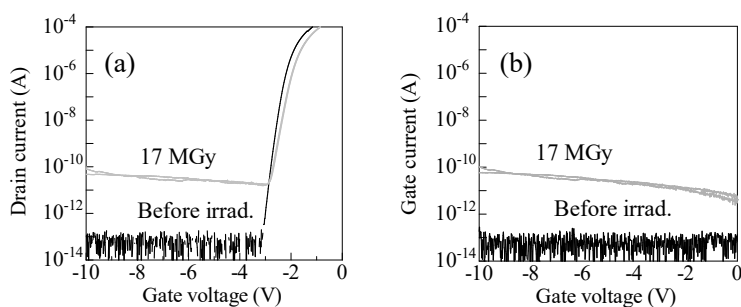


図 2. 未照射と 17MGy 照射後の (a) I_D-V_G 特性、(b) I_G-V_G 特性

ラマン分光法による SiC-SBD における SiC/SiO₂ 界面の高温電子物性解析 Investigation of electronic properties of the SiC/SiO₂ Interface in High-temperature SiC-SBD by Micro-Raman Spectroscopy

中京大工¹, ○石田秀¹, 清住竜也¹, 須田潤¹

Chukyo Uni.¹, S. Ishida¹, T.Kiyozumi¹ J. Suda¹

E-mail: t22402m@m.chukyo-u.ac.jp

パワー半導体素子は、幅広い分野において使用されている。現在、主流となっているパワー半導体素子である Si はこれ以上大幅に性能を向上させることは厳しくなっている。そこで新たなパワー半導体素子として SiC が挙げられる。SiC 半導体には、その非常に大きなバンドギャップ、高い絶縁破壊電界に基づく大きな可能性があり、最近、メガソーラーや電気自動車(EV)車載用 All-SiC パワーデバイスとして実用化されつつある[1]。一方、車載用パワーデバイスにおいてワイドギャップ半導体は 200 °C 以上の高温動作させる場合がある。そのため、電極界面に熱応力が働き、閾値変動や機械的な剥離、クラック等の信頼性低下の要因が指摘されている[2]。パワーデバイス開発のため熱応力変化やその電子物性を知る必要がある。また、SiC は熱酸化により SiO₂ 絶縁膜が形成できる唯一のワイドギャップ半導体であるが、SiC/SiO₂ 界面には界面準位と呼ばれる欠陥が多く発生してしまう。界面準位は電子散乱、電子トラップとして作用するため、チャンネルの抵抗が高いという問題[3]があるため、車載用として使用した場合の SiC/SiO₂ の熱応力特性は興味深い。本研究では SiC-SBD の SiC/SiO₂ 界面の LOPC モードのスペクトルを測定し、誘電分散解析より、高温電子物性を求めたので報告する。本研究の一部は、2023 年度科研費(課題番号:23K04607)により行われた。関係者に深く謝意を表す。

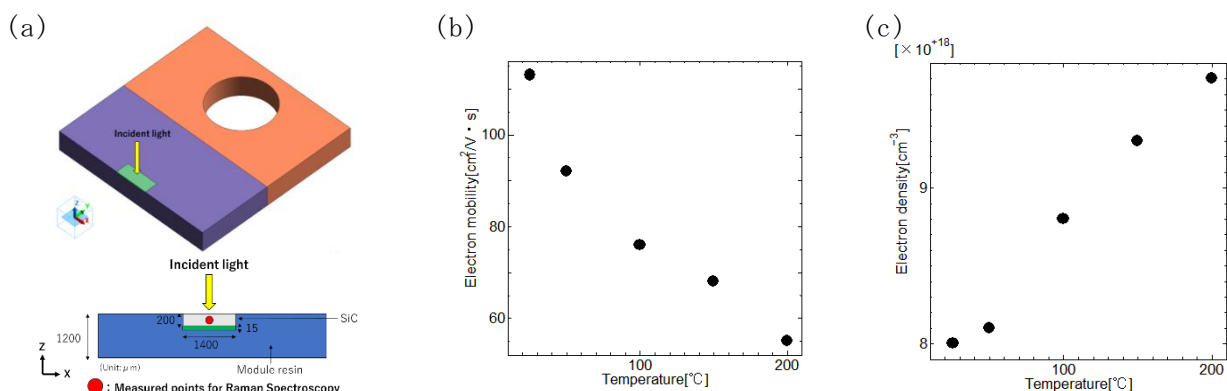


Fig.1: (a) The construction of the cut cross-section of SiC-SBD.

(b) Temperature dependence of the experimental values of electron mobility near interface of SiO₂ layer in SiC.

(c) Temperature dependence of the experimental values of electron density near interface of SiO₂ layer in SiC.

<参考文献>

[1] H. Nakamura *et al*, *Fuji Electric Technical Journal*, Vol. 88 No. 4 (2015), pp. 241-244.

[2] J. Suda *et al*, *Spectrochimica Acta, PartA* 193, pp.393-396(2018)

[3] M. Onda, Doctoral Dissertation, Graduate School of Mathematical and Physical Sciences, University of Tsukuba, p. 42, 2013

n-SiC MOSFET の Charge Pumping 電流における幾何学的形状成分の TCAD 及び実験的解析

TCAD and Experimental Analysis of Geometric Components of Charge Pumping Current in n-SiC MOSFETs

富山県立大¹, 産業技術総合研究所² ○(M2) 木全 健太¹, 志村 一真¹, 岡本 大¹, 染谷 満²
平井 悠久², 岡本 光央², 畠山 哲夫¹

Toyama Pref. Univ.¹, AIST², °Kenta Kimata¹, Kazuma Shimura¹, Dai Okamoto¹, Mitsuru Sometani²
Hirohisa Hirai², Mitsuo Okamoto² and Tetsuo Hatakeyama¹
E-mail: u455008@st.pu-toyama.ac.jp

【はじめに】SiC MOSFET では、ゲートに負バイアスストレスを印加することにより閾値電圧が変動する問題があり、その解決が求められている。閾値電圧変動の原因とされる界面準位の生成メカニズムを解明するには、深い界面準位の評価に適した Charge Pumping (CP) 法が有効である [1]。しかしながら、SiC MOSFET ではチャネル移動度が低いため、CP 電流に幾何学的形状成分 (Geometric Component, GC) が含まれており、正確な界面準位評価のためには、この GC を抑制できる条件を把握することが重要である [2]。そこで本研究では、GC の発生メカニズムを明らかにし、GC を抑制可能な条件を見出すことを目的として、ゲート長 L 、ゲート電圧の立ち下り時間 t_f を変化させた実験と TCAD シミュレーションを実施した。

【実験およびシミュレーション条件】NO アニールを施した n-SiC MOSFET に対して、ゲートに印加するパルスのベース電圧を 35 V から 10 V まで変化させ、振幅 20 V のベース電圧スイープモードによる CP 測定を実施した。ゲート長 L を 2、5、10、15、20、25、50、100 μm の 8 通りに設定し、それぞれについて実験および TCAD シミュレーションを行った。

【結果と考察】Fig.1 は、 $t_r = 1 \mu\text{s}$ 、 $t_f = 100 \text{ ns}$ における CP 測定結果を示しており、 L とゲート電圧の増加に伴い増加する CP 電流成分が確認される。TCAD 解析により、この成分は、反転層電子がゲート電圧の変化により基板側に拡散し、正孔と再結合することで生じる GC であることが示された。Fig.2 は、 $t_r = 1 \mu\text{s}$ 、 $t_f = 1 \mu\text{s}$ における CP 特性を示しており、ゲート電圧依存性が抑制されていることから、上記の GC の影響が抑制されていることが分かる。これは、 t_f の増加により、反転層電子の再結合が抑制された結果である。Fig.3 は Fig.2 同条件下でのシミュレーション結果である。実測と同様にゲート電圧依存性は小さくかつ L の増加に伴い CP 電流が増加する成分が存在する。この CP 電流成分は、浅い界面準位から放出された電子が正孔と再結合することで生じる GC であり、ゲート長が大きい場合、CP 電流に寄与する界面準位のエネルギーの上限に場所依存性が生じることによる。

【結論】GC の抑制には、ゲート電圧の立ち下り時間 t_f を十分に長く設定するとともに、ゲート長 L を短くすることが有効である。

【参考文献】[1] 岡野 他, 令和 3 年度 応用物理学会北陸・信越支部 学術講演会、C12(2021) [2] D. Okamoto *et al.*, IEEE Trans. Electron Devices **55**, 2013 (2008)

【謝辞】本研究は、文部科学省 革新的パワーエレクトロニクス創出基盤技術研究開発事業 JPM009777、JSPS 科研費 23K03928、東京大学 d.lab における VDEC 活動を通して、日本シノプシス合同会社の協力、および東芝デバイス&ストレージ (株) の学術奨励の助成を受けたものです。

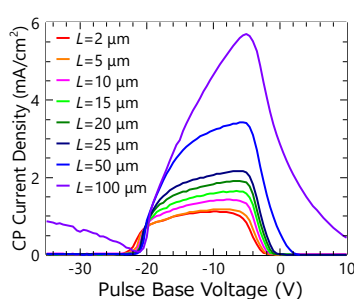


Fig.1 CP current measured with $t_r = 1 \mu\text{s}$, $t_f = 100 \text{ ns}$

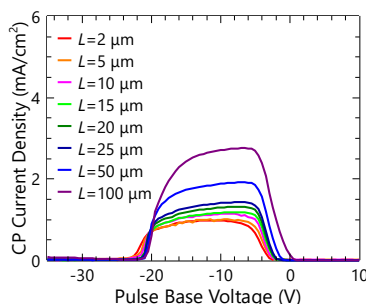


Fig.2 CP current measured with $t_r = 1 \mu\text{s}$, $t_f = 1 \mu\text{s}$

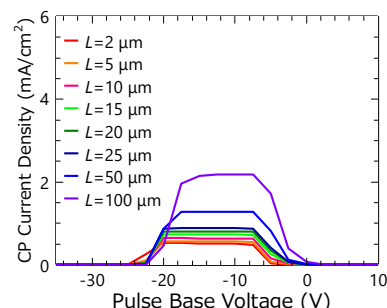


Fig.3 Simulated CP current with $t_r = 1 \mu\text{s}$, $t_f = 1 \mu\text{s}$

p チャネル SiC MOSFET の Charge Pumping 電流における Geometric Component の TCAD および実験的解析

TCAD and Experimental Analysis of the Geometric Component in Charge Pumping Current of p-Channel SiC MOSFETs

富山県立大¹, 産業技術総合研究所² ○(M2) 志村 一真¹, 岡本 大¹, 田口 雄大¹, 木全 健太¹,
染谷 満², 平井 悠久², 岡本 光央², 畠山 哲夫¹

Toyama Pref. Univ.¹, AIST², °Kazuma Shimura¹, Dai Okamoto¹, Yuta Taguchi¹, Kenta Kimata¹,

Mitsuru Sometani², Hirohisa Hirai², Mitsuo Okamoto² and Tetsuo Hatakeyama¹

E-mail: u455013@st.pu-toyama.ac.jp

SiC MOSFET では、負バイアスストレスにより界面トラップが生成され、しきい値電圧が変動する現象である Negative Bias Temperature Instability (NBTI) が信頼性上の課題となっている。このため、しきい値電圧に密接に関係する界面トラップの評価が重要であり、なかでも Charge Pumping (CP)法は有力な手法とされている[1]。しかし、SiC MOSFET においては、CP 電流に Geometric Component (GC)という界面トラップに由来しない成分が含まれることが報告されている[2,3]。本研究では、GC の発生メカニズム及びその抑制条件を明らかにし、CP 測定を界面トラップ評価の信頼性の高い手法として確立することを目的に、実験および TCAD シミュレーションを行った。

NO アニール処理を 60 分施したゲート長 $L = 2\text{--}50\ \mu\text{m}$ の横型 4H-SiC pMOSFET に対して、ベース電圧スイープモードによる CP 測定および TCAD シミュレーションを行った。ゲートに方形波パルスを印加し、周波数は 10 kHz、振幅は 20 V とし、パルスのベース電圧は -30 V から 10 V まで変化させた。パルスの立ち上がり時間および立ち下り時間は 10 ns および 10 μs の 2 通りを設定した。

Fig. 1 に、CP 電流のゲート長依存性の実験結果を示す。 $L = 5\text{--}50\ \mu\text{m}$ の範囲で、CP 電流は L の減少とともに低下するが、ベース電圧 -6 V 近傍（しきい値電圧付近）では、短チャネルにおいてわずかに増加する傾向が確認できる。Fig. 2 に、実験結果の解析に用いた TCAD シミュレーション結果を示す。シミュレーションは実験データと良好に一致しており、電流分布の解析から、CP 電流の成分の一部は GC に起因することが明らかになった。 $L \geq 10\ \mu\text{m}$ のデバイスでは、反転から蓄積への遷移時に、ゲート中央付近の正孔の一部が低移動度のためソース・ドレイン領域に到達できず、基板方向へ移動して電子と再結合することで、GC に寄与すると考えられる。また、しきい値付近での CP 電流の増加について、TCAD により検討を行った。蓄積状態から反転状態に変化した際の正孔分布の時間変化を TCAD で解析した結果、短チャネルでは正孔が迅速にチャネル全体に広がる一方、長チャネルでは非一様な正孔分布が生じることが明らかとなった。これにより、不均一な再結合が発生し、GC が生じたと考えられる。Fig. 3 に示すように、ゲート電圧の立ち上がりおよび立ち下り時間を正孔の拡散時間より長く設定することで、GC を抑制できることが実験および TCAD シミュレーションの両方で確認された。この CP 電流から N_{it} は $5.40 \times 10^{11}\ \text{cm}^{-2}$ と推定された。

[1] G. Groeseneken *et al.*, IEEE Trans. Electron Devices **31**, 42 (1984).

[2] D. Okamoto *et al.*, IEEE Trans. Electron Devices **55**, 2013 (2008).

[3] J. S. Brugler *et al.*, IEEE Trans. Electron Devices **16**, 297 (1969).

【謝辞】本研究は、文部科学省 革新的パワーエレクトロニクス創出基盤技術研究開発事業 JPY009777、JSPS 科研費 23K03928、東京大学 d.lab における VDEC 活動を通して、日本シノプシス合同会社の協力、および東芝デバイス&ストレージ（株）の学術奨励の助成を受けたものです。

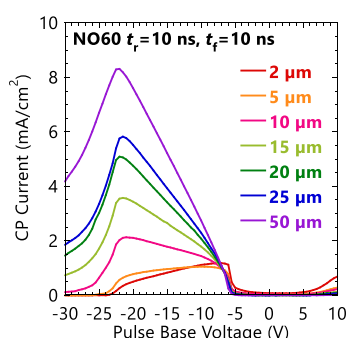


Fig. 1 CP current measured in SiC pMOSFETs ($L = 2\text{--}50\ \mu\text{m}$)

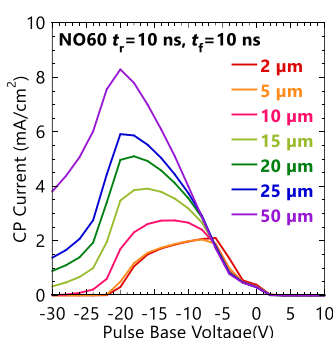


Fig. 2 Simulated CP current in SiC pMOSFETs ($L = 2\text{--}50\ \mu\text{m}$)

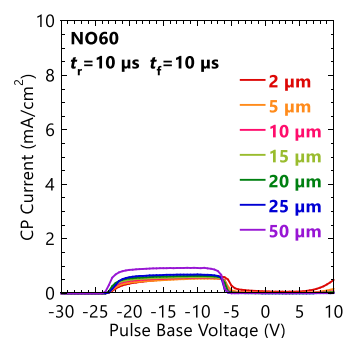


Fig. 3 Experimental CP current with gate voltage rise and fall times of 10 μs

4H-SiC/SiO₂ 界面の構造安定性およびバンド配列の理論解析： NO アニーリングの影響

Theoretical analysis for structural stability and band alignments at nitrogen
incorporated 4H-SiC/SiO₂ interface

三重大院工¹, 富山県立大工², 東北大 CIES³, 千葉大理⁴

○(M2)伊勢直斗¹, 秋山亨¹, 畠山哲夫², 白石賢二³, 中山隆史⁴

Mie Univ.¹, Toyama Pref. Univ.², Tohoku Univ.³, Chiba Univ.⁴

°Naoto Ise¹, Toru Akiyama¹, Tetsuo Hatakeyama², Kenji Shiraishi³, Takashi Nakayama⁴

E-mail: 424m204@m.mie-u.ac.jp

【はじめに】SiC は Si に比べて優れた物性値を有し、Si と同様に熱酸化過程によって SiO₂ 絶縁膜を形成するため、金属-酸化物-半導体電界効果トランジスタ(MOSFET)への応用が期待されている。しかしながら、熱酸化過程において SiC/SiO₂ 界面において界面準位が発生し、SiC-MOSFET のキャリア移動度を低下やリーク電流増加など性能を劣化させてしまうことが課題となっている[1,2]。この課題を解決する方法として、NO 分子を用いたアニーリング(NO-POA)が広く適応されている[3,4]。一方、界面における原子配置に依存した双極子の形成が、電気特性に重要な影響を与えることが示唆されている [5]。これまでに我々は、界面におけるバンド配列の面方位依存性と双極子の形成との関係性を第一原理計算にもとづき検討してきた[6]。本研究では、NO アニーリングによって窒素が導入された 4H-SiC/ SiO₂ 界面に注目し、その界面構造の安定性を明らかにして窒素導入によるバンド配列への影響を評価し、さらに双極子の形成との関係性についても検討する。

【結果および考察】各面方位における界面への窒素取り込みのエネルギー利得を計算すると、C 面および m 面では(窒素被覆率が 1 ML 未満の範囲において) 常に負となり N が取り込まれるのに対して、Si 面では窒素被覆率が 1/3 ML で正となり、窒素取り込みが制限されることが分かった。これは、Si-C 結合を Si-N 結合に置換することによる約 3.0 eV のエネルギー損に起因している。Fig. 1 は、これら窒素が導入され得る界面での伝導帯オフセットおよび価電子帯オフセットを示した模式図である。この図から、窒素の導入により、Si 面では伝導帯オフセットが増大するのに対して、C 面および m 面では減少することが示唆される。Si 面と C 面オフセットの面方位依存性の傾向は、X 線光電子分光(XPS)による測定結果[3,4]と定性的に一致した結果となっている。

【参考文献】 [1] V. V. Afanasev *et al.*, Phys. Status Solidi A **162**, 321 (1997). [2] A. Frazzetto *et al.*, Appl. Phys. Lett. **99**, 072117 (2011). [3] T.-H. Kil *et al.*, Appl. Phys. Lett. **116**, 122103 (2020). [4] T.-H. Kil *et al.*, Appl. Phys. Express. **14**, 081005 (2021). [5] T. Hatakeyama *et al.*, J. Appl. Phys. **131**, 145701 (2022). [6] S. Matsuda *et al.*, Jpn. J. Appl. Phys. **63**, 02SP69 (2024).

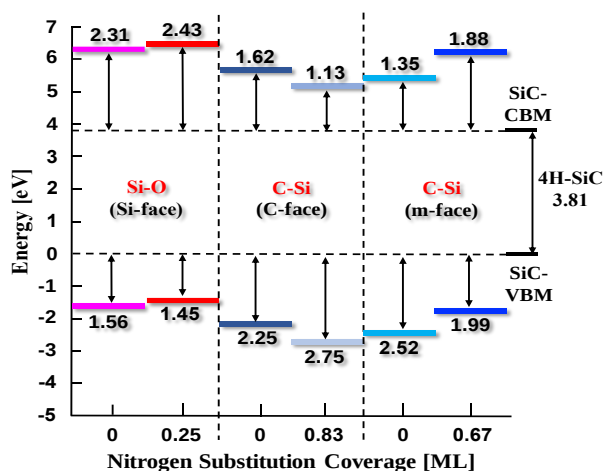


Fig. 1 Schematic diagrams of band offset (in eV) at 4H-SiC/SiO₂ interface with and without N atoms for the Si-face, C-face, and m-face. The valence band maximum and conduction band minimum of SiC (SiC-VBM and SiC-CBM, respectively) are indicated by dashed lines, while upper and lower short bars represent the positions of SiO₂-CBM and SiO₂-VBM, respectively.

空気をラジカル源とした SiC の近接場光エッチングの原理実証

Demonstration of near-field etching using oxygen as a radical source for SiC wafer

熊本大院先端¹, 熊本県産技セ², 熊本大熊創³

吉松 澤央¹, 吉田 恭平², 永岡 昭二^{2,3}, 高藤 誠¹

Faculty of Advanced Science and Technology, Kumamoto University, Kumamoto, 850-8555, Japan¹

Kumamoto Industrial Research Institute, Kumamoto, 892-0901, Japan²

Kumamoto Innovative Development Organization, Kumamoto University, Kumamoto 850-8555, Japan³

Reo Yoshimatsu¹, Kyohei Yoshida², Shoji Nagaoka^{2,3}, Makoto Takafuji¹

近年、炭化ケイ素 (SiC) は次世代電力用半導体デバイスへの応用が期待されている。SiC ウェハは原子レベル (0.1 nm オーダー) の表面平坦度が必要とされ、従来、コロイダルシリカやフュームドシリカなどの遊離砥粒を用いた精密研磨プロセスが利用されてきた。しかしながら、遊離砥粒を用いた研磨プロセスでは、砥粒との接触時に生じるナノサイズの研磨傷 (潜傷) の発生により、0.1 nm オーダーの平坦化が困難である。潜傷にレーザー光を照射し、近接場光と位相を揃えて原子が集団振動するコヒーレントフォノン (CP) を二原子分子雰囲気化で同時に誘起できれば、潜傷付近の二原子分子がラジカル化し、ラジカルが潜傷を選択的に攻撃して消失させると考えられている (近接場光エッチング) [1]。そこで本研究では、SiC における近接場光エッチングの原理実証を目的として、空気をラジカル源とする可視光レーザー照射による SiC の表面状態の変化を検証した。

4H-SiC (polished C 面, Brimatec LLC) ウェハをサンプルとして、レーザー照射によるウェハ表面の平坦性の変化を検証した。空気 (酸素分子) をラジカル源とすることを検討し、大気中にて各種レーザー出力 (500, 1000, 2000, 3000, 4000 mW) で 3 時間照射を行った。レーザーは、アブレーションが起きずウェハへのダメージが少ない連続波 (CW) 発振のレーザーとした。波長は、照射光が吸収されないように、酸素および 4H-SiC の吸収波長よりも長波長 (酸素の吸収波長: 280 nm, 4H-SiC のバンドギャップ: 380 nm) である 445 nm を選択した。レーザーの照射面積は、3 x 5 mm² で、照射強度が 26 W/cm² となるようにレーザー照射を行った。平坦性は、原子間力顕微鏡 (AFM) を用い表面粗さのパラメーターである算術平均高さ (Sa)、最大山高さ (Sp) の比較により評価した。

Fig. 1 にレーザー出力と Sp の減少率および Sa の変化を示した。500 mW および 1000 mW 照射時には Sa に顕著な変化は見られなかったが、1000 mW 照射時には Sp の減少が確認された。2000 mW 以上では Sa および Sp が顕著に減少し、特に 3000 mW, 4000 mW では Sa が 1 nm 以下にまで低下し、SiC の二次化学機械研磨に相当する平坦度に到達した。Sp の減少率は 2000 mW 以上で約 30 %に達し、それ以上の出力で一定となった。これは、2000 mW 以上では、ある一定の高さ以下に潜傷が縮小しないことを示している。この原因として、レーザー出力が低いことや、大気中で行ったため酸素濃度が低かったことが考えられる。Fig. 2 に、レーザー照射前と 4000 mW でレーザー照射した後の AFM 画像を示した。画像から、照射前に存在していた突起がレーザー照射後に縮小したことがわかる。以上より、445 nm の可視光レーザー照射により SiC ウェハ表面が 0.1 nm オーダーで平坦化可能であることが確認された。

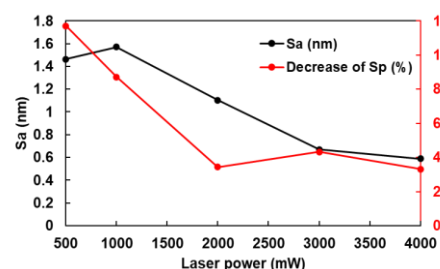


Fig. 1 The laser power dependence of surface roughness (Sa) and decrease of Sp. .

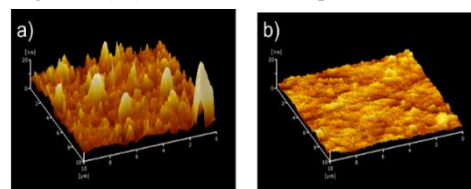


Fig. 2 AFM images of a SiC wafer before (a) and after (b) laser irradiation with 4000 mW.

[1] Takashi Yatsui, Nanophotonic Chemical Reactions New Photochemical Reactions and Their Applications, Springer, 2020.

顕微ラマン分光による曲げ応力を印加した GaN 基板の応力分布評価 Evaluation of stress distribution on GaN wafer applied with bending stress using Micro-Raman spectroscopy

中京大工¹, ○松下広大¹, 松田拓大¹, 須田潤¹

Chukyo Univ.¹, K. Matsushita¹, T Matsuda¹, J. Suda¹

E-mail: t22417m@m.chukyo-u.ac.jp

車載用ワイドギャップ半導体デバイスは 200℃以上の高温で動作させるため、電極界面の熱応力は閾値変動や機械的な剥離、クラックの信頼性低下の要因として指摘されている[1]。我々は最近開発が進む縦型 GaN-SBD を想定し、ラマン分光法により GaN 電極界面の熱応力の高温特性を調べた[1, 2]。本研究では、この界面熱応力による曲げひずみ特性を詳細に調べるため、界面熱応力と同程度の大きさの曲げ応力負荷による GaN のその場ラマン分光実験を行い、曲げ応力やひずみを実験的に求めたので報告する。得られた実験結果と FEM 解析結果はほぼ一致することがわかった。本研究の一部は 2023 年度科研費(課題番号: 23K04607)により行われた。関係者に深く謝意を表す。

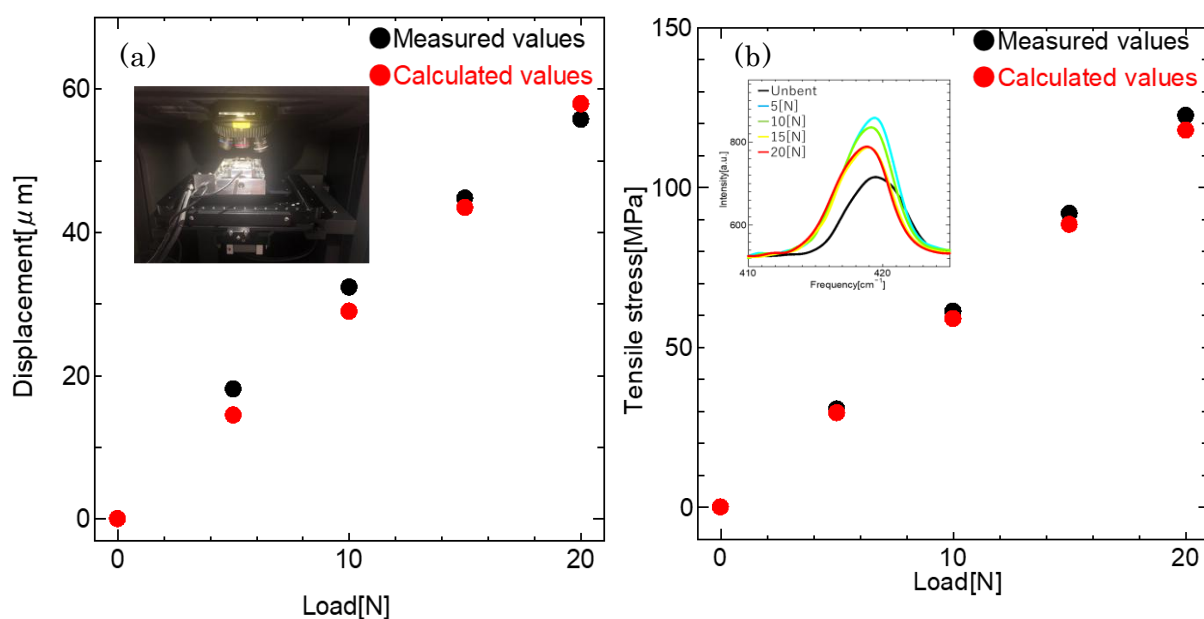


Fig.1 Experimental results in-situ Raman experiment for GaN wafer under bending stress loading. (a) Comparison of experimental values and calculated ones for displacement and bending load, and the inset shows in-situ Raman experiment for bent GaN sample. (b) Comparison of experimental values and calculated ones for tensile stress and bending load, and the inset shows bending dependence of Raman spectra in GaN.

<参考文献>

[1] M.Kawase, J.Suda, Vibrational Spectroscopy **118** 10331, 7pages (2022).

[2] M.Kodai, M.Takuto, J.Suda, エレクトロニクス実装学会第 34 回マイクロエレクトロニクスシンポジウム論文集 pp345-346.

セシウム蒸着した Mg ドープ InGaN の熱電子放出特性とその温度依存性

Thermionic Emission Property of Cs Deposited Mg-Doped InGaN and Its Temperature Dependence

静大院工¹, (株)東芝 総合研究所² °田代 承太郎¹, 木村 重哉², 宮崎 久生², 荻野 明久¹

Shizuoka Univ.¹, Corporate Laboratory, Toshiba Corp.²

°Jotaro Tashiro¹, Shigeya Kimura², Hisao Miyazaki², Akihisa Ogino¹

E-mail: tashiro.jotaro.20@shizuoka.ac.jp

【はじめに】InGaN は可視光にまたがるバンドギャップを有し、光吸収率も高いことから、光応用デバイスなどの応用が期待されている。近年、p-InGaN の開発が進み良質化した結果、これまで困難であった電子放出デバイスや熱電子発電への応用が検討され始めた。熱電子発電への応用では電子エミッタの温度依存性が重要であり、本研究では、Mg をドープした p 型 InGaN 表面へ Cs を蒸着して電子放出特性の向上を図るとともに、熱電子発電デバイス応用における動作温度低減について検討した。

【実験方法】Mg ドープ濃度が異なる In_{0.15}Ga_{0.85}N 層を最表面とする多層窒化物エミッタを作製し、SUS 製コレクタと間隔 1 mm で対向配置して二極真空型熱電子発電器を構築した。実験では、真空中で 300℃に加熱したエミッタ表面に Cs を吸着 (Cs ガス分圧 $P_{Cs} \approx 1.0 \times 10^{-5}$ Pa で 10 分間) した後、エミッタ温度 T_E を 100℃から 800℃まで 10℃/min で昇温し、エミッタ表面に白色 LED 光を照射したときの放出電流を測定した。この測定ではエミッタを接地されており、コレクタ電圧 V_c を -5~30 V で掃引して電子放出特性ならびに発電デバイスとしての出力特性を評価した。

【結果と考察】図 1 は Mg ドープ濃度の異なる In_{0.15}Ga_{0.85}N エミッタとして熱電子発電デバイスを構成したときのエミッタ-コレクタ間開放電圧 V_{oc} を示す。エミッタは接地されているため、 V_{oc} は V_c と等しく、エミッタからの放出電子に対して逆バイアスとなる $V_c = V_{oc} < 0$ のとき、発電出力が正となる。図より、Mg をドープした InGaN エミッタでは $T_E > 100^\circ\text{C}$ で $V_{oc} < 0$ であることから、エミッタからの放出電子が外部電界の印加なしに自身の運動エネルギーのみでコレクタに到達したことを意味し、発電領域での動作が確認された。 $T_E < 500^\circ\text{C}$ における Mg ドープの効果は顕著であり、 $T_E \approx 300^\circ\text{C}$ 、Mg ドープ濃度 10^{19} cm^{-3} で最大 0.84V に相当する出力電圧増加が確認された。また、光照射無しの際の熱電子放出電流の V_c 依存性から放出電子の電子温度 T_e を評価した。この結果、 $T_E \approx 300^\circ\text{C}$ のとき Mg ドープ無しのエミッタでは $T_e = 0.071 \text{ eV}$ 、Mg ドープ濃度 10^{19} および $9 \times 10^{19} \text{ cm}^{-3}$ のエミッタでは、それぞれ 0.058 eV および 0.053 eV であり、Mg ドープにより T_e が 18~25%程度低下することがわかった。放出電子のエネルギーは、Mg ドープによるフェルミ準位のシフトと電子放出面のエネルギーバンドの湾曲具合の変化に由来するものと考えられ、詳細を検討している。

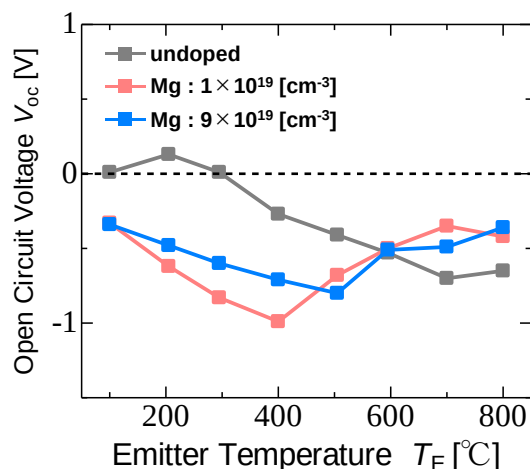


Fig.1. Emitter temperature dependence of open circuit voltage V_{oc} .

ラマン分光法による応力負荷された GaN 基板の電子物性解析

Analysis of the electronic properties of stress-loaded GaN substrates by Raman spectroscopy

中京大工¹, [○]松田拓大¹, 松下広大¹, 須田潤¹

Chukyo Univ.¹, T. Matsuda¹, K. Matsushita¹, J. Suda¹

E-mail: t22418m@m.chukyo-u.ac.jp

近年、半導体素子は小型化・高性能化が進んでいる。GaN は高耐圧・高周波特性に優れるため新しいパワー半導体デバイスとして注目されている。車載用ワイドギャップ半導体は 200℃程度の高温で動作するため、半導体と電極の熱膨張率の違いから、半導体界面では局所的な熱応力が発生する。この熱応力により、閾値変動や機械的な剥離、クラック等が発生し、信頼性低下の要因として指摘されている[1]。本研究室では既に GaN/Cr/Ti/Au においてラマン分光法により非破壊で熱応力と電子物性を同時に測定することに成功しており、熱応力により半導体界面での比抵抗が増加することを報告している[2]。しかし、高温領域の電子物性は熱応力だけではなく温度そのものの影響をもつ。そこで、本研究では電子物性の純粋な曲げ応力効果を評価することを目的とし、3 点曲げ試験機による応力負荷状態の n 型 GaN 半導体(Fig.1(a)) のその場ラマン分光実験を 0MPa から 153MPa まで行った。得られた LOPC モードのスペクトル(Fig.1(b)) から電子物性解析を行い、比抵抗の引張応力特性(Fig.1(c)) を求めた。本研究の一部は 2023 年度科研費(課題番号: 23K04607)により行われた。関係者に深く謝意を表す。

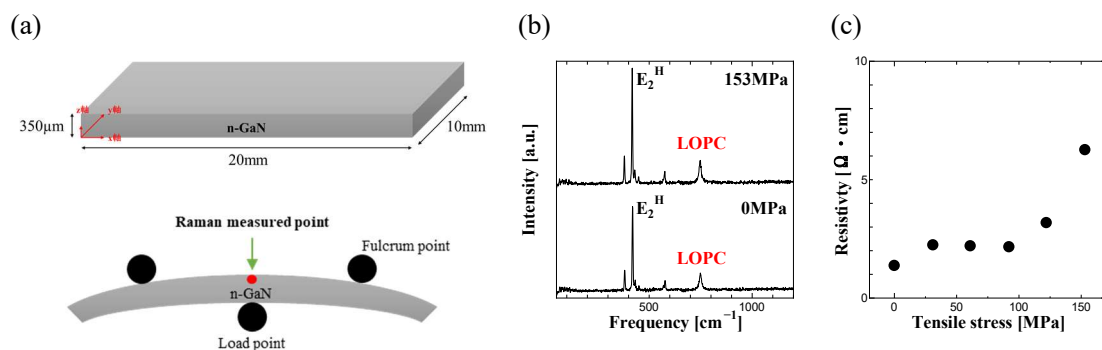


Fig.1 : (a) In-site Raman measurement during stress loading experiments with the sample of n-type GaN crystal.

(b) Raman spectrum of n-type GaN both at 153 and 0 MPa.

(c) The values of resistance with increasing tensile stress.

参考文献

[1] J. Suda *et al*, Spectrochimica Acta Part A **193**, pp.393-396 (2018).

[2] M. Kawase, J. Suda, Vibrational Spectroscopy vol.**118** 10331, 7pages (2022).

多元系 III 族窒化物による分極整合エピタキシャル構造を用いた 共鳴トンネルダイオードの検討 (2)

Study on resonant tunneling diodes based on polarization-matched epitaxial structures
with multicomponent group-III nitrides (2)

名工大 (B) 今泉 輝, 間瀬 晃, 江川 孝志, 三好 実人

Nagoya Institute of Tech. °Hikaru Imaizumi, Akira Mase, Takashi Egawa and Makoto Miyoshi
E-mail: h.imaizumi.946@stn.nitech.ac.jp

【はじめに】 Beyond 5G/6G に適用可能な超高速・大容量通信を実現するテラヘルツ波発信デバイスとして、共鳴トンネルダイオード (Resonant Tunneling Diode: RTD) が注目されている^[1]。窒化物 (GaN 系) 半導体による RTD は、mW レベルの出力が期待できるため近年特に関心が高まっているが^[2]、窒化物系材料特有の巨大分極が素子特性に影響を及ぼす事も示唆されている^[3]。我々は、このような GaN 系 RTD の課題に鑑み、四元 AlGaInN 量子井戸と AlInN 障壁層を備えた分極整合構造の二重障壁 RTD を考案した^[4]。本研究では、前回に引き続き、AlGaInN/AlInN 分極整合 RTD (PM-RTD) についてより詳細なデバイスシミュレーションを実施したので報告する。

【検討方法】 本検討に用いた RTD の断面模式図を Fig. 1 に示す。前回報告と同じ $\text{Al}_{0.17}\text{Ga}_{0.82}\text{In}_{0.01}\text{N}$ 量子井戸と $\text{Al}_{0.75}\text{In}_{0.25}\text{N}$ 障壁層を備えた PM-RTD を想定し、井戸層・障壁層の厚さを変化させた場合の電流密度-電圧 (J - V) 特性についてシミュレーションを実施した。シミュレーションは、Silvaco®社製 Atlas を用いた。得られた結果について、GaN 量子井戸と AlInN 障壁層を備える PM-RTD^[3]と比較しながら考察を進めた。

【結果と考察】 Fig.2(a), (b)に各々、障壁層・井戸層の厚さを変化させた AlGaInN/AlInN PM-RTD と GaN/AlInNPM-RTD の J - V 特性のシミュレーション結果を示した。同じ層厚構成の RTD で比べた場合、AlGaInN/AlInN PM-RTD は GaN/AlInN PM-RTD よりも小さい出力電流を示したが、peak-to-valley 電流比 (PVCR) は増加するという結果となった。当日は、障壁層の厚さを固定し井戸層の厚さを変化させた J - V 特性シミュレーションや、RTD の重要な性能指標である $\Delta J/\Delta V$ 、 $\Delta J/\Delta V$ の比較結果を示しながら、AlGaInN/AlInN PM-RTD の優位性について詳細報告する。

【参考文献】 [1] Suzuki *et al.*, APEX **17**, 070101 (2024). [2] Nagase *et al.*, Semicond. Sci. Technol. **38** 045011 (2023).
[3] Rong *et al.*, JAP **123**, 045702 (2018). [4] 今泉他、第 72 回応用物理学会春季学術講演会 (2025).

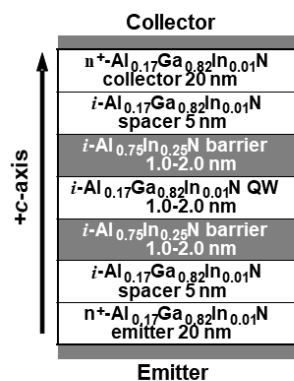


Fig.1. Schematic of AlGaInN/AlInN PM-RTD.

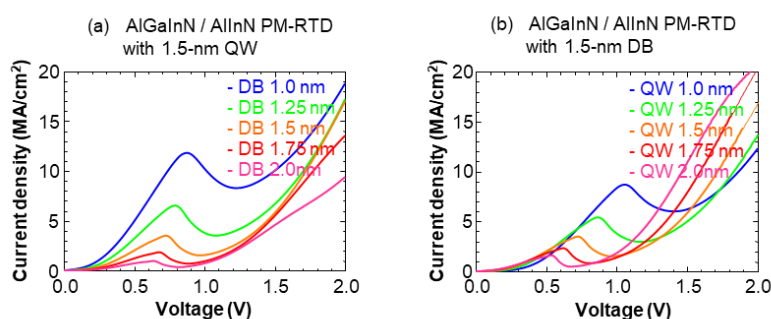


Fig.2. Simulated output J - V characteristics obtained for AlGaInN/AlInN PM-RTDs (a) with different DB thicknesses at a constant QW thickness of 1.5 nm (b) with different QW thicknesses at a constant DB thickness of 1.5 nm.

窒化物成長に向けた Si (111)/Diamond テンプレート基板の作製

Fabrication of Si (111)/Diamond Templates for Advanced III-Nitride Process

大阪公大工

○岩本 晃, 重川 直輝, 梁 剣波

Osaka Metropolitan Univ.

○Hikaru Iwamoto, Naoteru Shigekawa, Jianbo Liang

E-mail: liang@omu.ac.jp

【はじめに】 GaN は、その高い飽和電子速度と絶縁破壊電界から、高周波・高出力デバイスにおいて有望な材料である。しかし、デバイス動作時の発熱による素子の性能および信頼性の低下が課題として挙げられる。この問題に対処するため、ダイヤモンド基板の卓越した熱伝導率に注目し、放熱基板として利用した GaN-on-diamond 構造が、大きな関心を集めている[1]。我々はすでに Fig. 1(a)に示すように、成長用の Si(111)基板から分離され、単結晶ダイヤモンド基板の上に転写された窒化物半導体層から GaN HEMT を作製し、成長用基板上に作製した HEMT と比較して熱抵抗の低減を実証した[2]。本研究では窒化物半導体層の構造自由度拡大を目指し、Fig. 1(b)に示すように Si(111)薄膜をダイヤモンド基板に転送し、窒化物半導体層の結晶成長可能な on-diamond テンプレート基板を作製し、耐熱性の観点から、窒化物のヘテロエピタキシャル成長のプラットフォームとしての可能性を検討した。

【実験方法】 10 mm×12 mm、厚さ 2 μm の Si(111)デバイス層、厚さ 1 μm の酸化膜(BOX)層、および Si(100)基板から構成されるシリコン・オン・インシュレーター(SOI)基板を使用した。この SOI 基板の表面を、10 mm×10 mm、厚さ 300 μm の CVD 成長単結晶ダイヤモンド(100)基板に表面活性化接合(SAB)法を用いて接合した。接合界面の強化のために 600 $^{\circ}\text{C}$ でアニールを行った後、接合された SOI ウェハの Si(100)基板および BOX 層をエッチングし、Si(111)/diamond テンプレート基板を作製した。

【実験結果】 接合した試料の外観を Fig.2 に示す。全面積の~75%の接合に成功した。また、作

製した試料の耐熱性を、イオン注入後の典型的な熱処理温度である 1300 $^{\circ}\text{C}$ の耐熱性を実証し、GaN-on-diamond 構造の実現に向けた新たなアプローチとしての Si(111)-on-diamond テンプレート基板の可能性を示した。

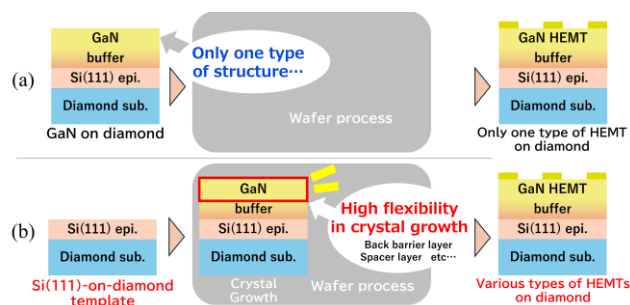


Fig. 1. Fabrication methods for realizing GaN-on-diamond HEMTs. (a) Previously reported approach [2]. (b) Approach proposed in this work.

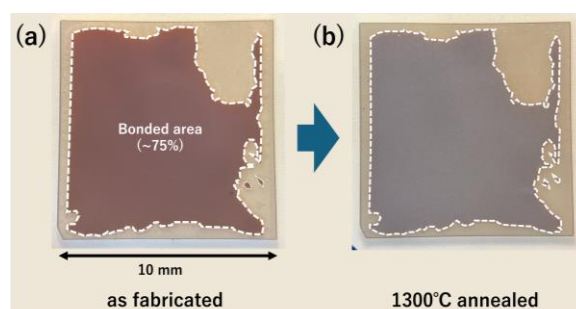


Fig. 2. A photograph of (a) as-fabricated and (b) 1300 $^{\circ}\text{C}$ annealed Si (111)/diamond template.

【謝辞】 本研究は JSPS 科研費 24K01364 の助成を受けたものです。

【参考文献】

- [1] T. Liu et al., IEEE Electron. Dev. Lett. **38**, 1417 (2017).
- [2] R. Kagawa et al., Small, 2305574 (2023).

電気化学インピーダンス分光法による n-GaN プロセス面の評価

Characterization of processed n-GaN surface by electrochemical impedance spectroscopy

北大量集センター 嶋崎 喬大、高橋 円空、赤澤 怜明、佐藤 威友

RCIQE, Hokkaido Univ., T. Shimazaki, E. Takahashi, S. Akazawa and T. Sato

E-mail: shimazaki.takahiro.u9@elms.hokudai.ac.jp

【はじめに】電気化学測定法は、測定電極を半導体表面に形成することなく電気的特性を評価できる[1]。本研究では、n 型 GaN 層に ICP-RIE 加工を施した試料に対し、光電気化学 (PEC) エッチングを用いた加工損傷の回復の様子を、電気化学インピーダンス (EIS) 測定法により定量的に評価することを目的とした。

【実験方法】GaN 自立基板上に結晶成長した n-GaN 層 (As-grown)と、さらにそこに ICP-RIE 加工を行ったものを参照試料(ICP-RIE)とし、その表面に表面通過電荷量が 100 mC/cm^2 となるように、光パルス (10Hz) を用いた PEC エッチングを 4 回繰り返した。それぞれのプロセス毎に、中性緩衝液 (pH7.0) 中で EIS 測定を行った。

【結果と考察】ICP-RIE 直後に測定したボード線図 (位相曲線) とフィッティングの際に用いた GaN/溶液界面の等価回路を、それぞれ Fig. 2(a), (b)に示す。As-grown 試料では、実験値は従来の等価回路 (C_{GaN}) に良く従ったが、ICP-RIE 後は、フィッティングできなかった (Fig. 2(a)の赤線)。特に、低周波領域での位相は -78° となり、純粋な容量特性 (位相差 -90°) から大きく遠ざかることがわかった。ここで、 C_{GaN} の代わりに面内の電気的不均一性を考慮した等価容量 CPE を用いてフィッティングを試みた結果、およそ 7 割の実験値を再現することができた。また、不均一性の指標である CPE-P 値を各プロセス面で比較したところ、ICP-RIE 後に値が 1 から低下したが、PEC エッチング後は回復傾向を示した (Fig. 3)。これらの結果は、ICP-RIE によって加工損傷の導入等により表面の電気的均一性が低下し、それが低損傷 PEC エッチングにより回復したことを示唆している。

【謝辞】本研究は、JSPS 科研費 JP23K26131, JP24K00934 および文部科学省「革新的パワーエレクトロニクス創出基盤技術研究開発」事業 JPMXP1225HK0027)として北海道大学の支援を受けて実施されました。

[1] 嶋崎他、2025 年春期応用物理学会 14p-P03-7.

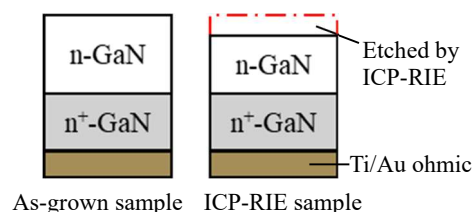


Fig 1. Schematics of n-GaN samples.

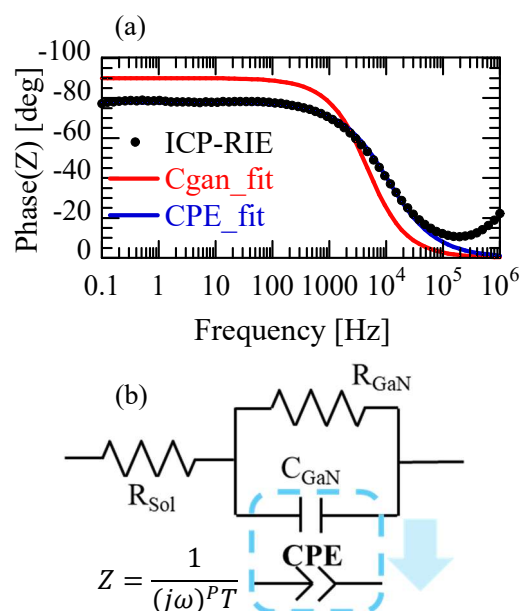


Fig 2. (a) Bode phase plots measured in the electrolyte and fitting curves on "ICP-RIE" sample. (b) Schematic diagram of equivalent circuits used for EIS analysis

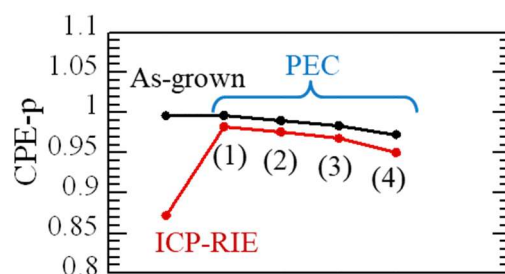


Fig 3. CPE P-values obtained on "As-grown" samples and "ICP-RIE" samples with PEC etching.

表面活性化接合を用いたダイヤモンド基板上 GaN メサ構造の絶縁特性

Isolation Characteristics of GaN Mesas on Diamond Substrates

Fabricated Using the Surface-Activated Bonding

大阪公大工¹, 東北大²

○砂本 陽成¹, 末光 哲也², 重川 直輝¹, 梁 剣波¹

Osaka Metropolitan Univ.¹, Tohoku Univ.²

○Yosei Sunamoto¹, Tetsuya Suemitsu², Naoteru Shigekawa¹, Jianbo Liang¹

E-mail: sk24310n@st.omu.ac.jp

【はじめに】 AlGaIn/GaN HEMT は、高い電子輸送特性と耐電圧特性を持ち、高周波・高出力デバイスへの実用化が進んでいる。しかし、動作時の自己発熱によるデバイス性能及び信頼性の低下が課題である。この課題を解決するために、高い熱伝導率を有するダイヤモンドを放熱基板として使用する GaN-on-diamond HEMT が注目されている[1]。これまで、我々は 3C-SiC/Si(111)上に成長した GaN HEMT 構造を単結晶及び多結晶ダイヤモンド基板に転送し、その後デバイスを作製する "bonding-first process" により GaN-on-diamond HEMT を作製し、高い放熱性を実証した[2,3]。上記プロセスは、窒化物デバイスに対して、スルービアの形成や完全に絶縁されたメサ構造の形成などへ適用可能であると考えられる。本研究では、絶縁された GaN メサ構造を持つ GaN-on-diamond デバイスを作製し、その電気特性を調査した。

【実験方法】 Si(111)基板上に成長された n-GaN epi. ($0.5\text{--}1 \times 10^{18} \text{ cm}^{-3}$, $1 \mu\text{m}$) と単結晶ダイヤモンド基板を表面活性化接合(SAB)法により接合した。そして、誘導結合プラズマ反応性イオンエッチング (ICP-RIE) によりメサ周辺の GaN をダイヤモンド基板まで完全にエッチングした後、オーミック電極を形成した。比較用試料として GaN-on-Si デバイス(Reference (a), (b), (c))を従来通り作製し、素子間のリーク電流特性を比較した。

測定にはメサ幅 $155 \mu\text{m}$ 、メサ間隔 $10 \mu\text{m}$ のデバイスを使用した。

【実験結果】 GaN-on-Si デバイス及び GaN-on-diamond デバイスの印加電圧 0V から 200V までの電気特性を Fig.1 に示す。この結果から、GaN-on-diamond デバイスは従来構造に対して絶縁性に優れた構造であると考えられる。

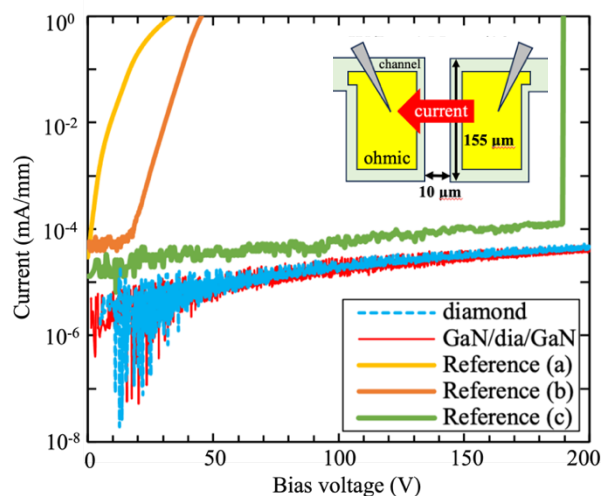


Fig. 1. I - V characteristics of the fabricated devices for bias voltages between 0 and 200 V.

【謝辞】 本研究の実施にあたり、JST/A-STEP 産学共同 JPMJTR222B 及び、JSAP 科研費 JP24H00425 の支援を受けた。

【参考文献】

- [1] S. Hiza, et al., in Extended Abstracts of 2019 SSDM, pp. 467-468 (2019).
- [2] R. Kagawa et al., Small, 2305574 (2023).
- [3] C. Moriyama, et al., presented in LTB-3D 2024 (31P-14)

光電気化学エッチングと 850°Cアニールを組み合わせた p-GaN MOS 界面の制御の試み

Attempt to control p-GaN MOS interfaces
by combining photoelectrochemical etching and 850°C annealing

北大量集センター¹ ○ (M2) 高橋 尚伸¹, (M2) 嶋崎 喬大¹, 佐藤 威友¹, 赤澤 正道¹

RCIQE, Hokkaido Univ.¹

°M. Takahashi¹, T. Shimazaki¹, T. Sato¹, and M. Akazawa¹

E-mail: takahashi.masanobu.s1@elms.hokudai.ac.jp

【はじめに】 p-GaN MOS 構造の容量－電圧 (C-V) 特性は負電圧方向に大幅にシフトする傾向があり、原因として GaN 表面近傍に窒素空孔欠陥 (V_N) によるドナー準位が発生している可能性が高く、我々は光電気化学 (PEC) エッチングや 850°Cでのキャップアニールにより、シフトを低減できることを報告してきた。^{1,2)} 今回、PEC エッチングとキャップアニールを組み合わせ p-GaN MOS 界面を制御することを試みた。

【実験方法】 MOVPE 法により、n-GaN (0001) 自立基板上に、高濃度 pn 接合を介した Mg ドープ p-GaN エピタキシャル層 ($N_A = 1 \times 10^{17} \text{ cm}^{-3}$) の成長を行った。まず PEC エッチングにより p-GaN 表面の 30nm 程度を削り、その後 AlON をキャップ材料として窒素雰囲気中 850°Cにおけるキャップアニールを 30 分間行った。80°Cの TMAH により AlON を除去し、再度 HF 処理を行った後、ALD により Al_2O_3 を堆積し、電極を形成して MOS 構造とした。比較試料として PEC エッチングを行わずに、800°Cまたは 850°Cにおける 30 分間のキャップアニールを行った試料も作製した。なお、ここでのキャップアニールは Mg アクセプターの活性化のための、脱水素アニールを兼ねている。完成した MOS 構造に対して、C-V 測定を 1kHz において行った。

【結果と議論】 作製した 3 通りの MOS 構造試料について得られた、正電圧側から初めて負電圧側へ電圧掃引した場合の C-V 特性を Fig. 1 に示す。800°Cアニール試料においては C-V 曲線の負電圧方向への大幅なシフトが観測された。アニール温度を 850°Cに上げると、C-V 曲線の負電圧方向へのシフトは大幅に低減した。これは、アニール温度上昇により、窒素空孔欠陥 (V_N) の表面に向かった拡散と表面における消失が促進されたためであると考えている。²⁾ PEC エッチング後に 850°Cアニールを行った試料においては、C-V 曲線の負電圧方向へのシフトがさらに低減した。PEC エッチングによりあらかじめ表面付近の V_N を含む層をエッチングして V_N の量を低減してから 850°Cアニールを行ったために、さらなる V_N 密度の低減がなされたものと考えている。しかし、Fig. 1 に見られるように、C-V 曲線にキンクが見られるようになった。キンクの容量値は価電子帯端上 0.9 eV の表面フェルミ準位位置に相当する。このキンクの起源については検討中であるが、PEC エッチング後の表面処理を最適化する必要がある。また、いずれの C-V 特性も容量の最大値は酸化膜容量に達しておらず、表面フェルミ準位が価電子帯端上 0.4 eV の位置でピンニングされている。界面準位が価電子帯近傍で非常に高密度であるためであると考えられる。

【謝辞】 本研究は文部科学省「革新的パワーエレクトロニクス創出基盤技術研究開発」事業 JPJ009777 の委託および科研費 JP24K22934、JP23K26131 の援助を受けました。MOVPE 成長を頂いた、豊田中央研究所の成田哲生氏に感謝いたします。

- 1) 忽滑谷他、2023 年応用物理学会秋季学術講演会。
- 2) 高橋他、2025 年応用物理学会春季学術講演会。

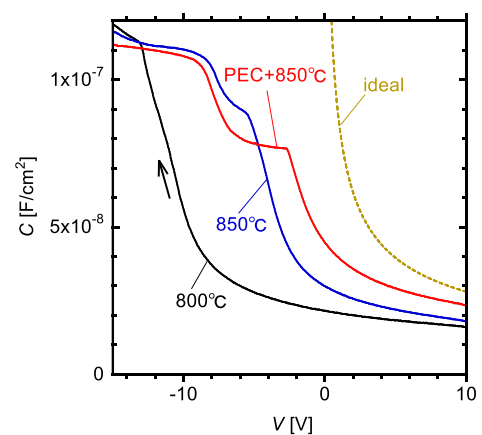


Fig.1 C-V characteristics of fabricated MOS samples.

Mg イオン注入 GaN に対する活性化熱処理前の 850°C熱処理の効果についての MOS 構造を用いた評価

Investigation of effects of 850°C annealing prior to activation annealing on
Mg-ion-implanted GaN using MOS structures

北大量集センター¹ (M1)唐沢 陽向¹, (M2)高橋 尚伸¹, 赤澤 正道¹

RCIQE, Hokkaido Univ.¹ Hinata Karasawa¹, Masanobu Takahashi¹, Masamichi Akazawa¹

E-mail: karasawa.hinata.p2@elms.hokudai.ac.jp

【はじめに】イオン注入のような GaN に損傷を与えるプロセスにおいて発生した欠陥について拡散の度合いを考える場合、欠陥のマイグレーションバリア (E_M) が主要なパラメータとなる。Ga 空孔 (V_{Ga})、N 空孔 (V_N)、格子間 Ga、格子間 N の中で、 V_N はいかなるフェルミ準位の位置においても最も大きな E_M を有する¹⁾ ので、 V_N が拡散するのに十分な温度である 850°C²⁾ は、前述 4 種の欠陥を拡散させるのに有効な温度であると考えられる。本報告では、Mg イオン注入後の不活性化熱処理に先行して 850°Cでの表面近傍欠陥の予備的な回復を図る熱処理を行うことにより、表面近傍欠陥を制御する可能性について、MOS 構造を用いて調べた。

【試料準備】MOVPE 成長による自立 GaN 基板上 n 型 GaN に対して、室温 50keV において Mg イオン注入を行った。ドーズ量は $1.5 \times 10^{12} \text{ cm}^{-2}$ とし、n 型の導電性を変えないように設定した。これにより最終的な MOS 構造を n-GaN MOS 構造として取り扱い、伝導帯付近の界面準位および界面近傍欠陥準位を評価することができる。熱処理は常圧窒素雰囲気中において AlON キャップ層を用いて、850°Cで 30 分あるいは 1250°Cで 1 分を行った。熱処理後、ALD により Al_2O_3 を堆積し、電極形成することで MOS 構造とした。

【結果と考察】850°Cと 1250°Cで 2 段階の熱処理を行った試料の C-V 特性を Fig. 1 に示す。周波数分散とヒステリシスの少ない良好な特性が得られた。また、高低周波法により導出された界面近傍禁制帯内準位密度分布を、界面形成前の熱処理の異なる MOS 構造間で比較して Fig. 2 に示す。イオン注入後熱処理をしない場合には $E_C - 0.3 \text{ eV}$ 付近に欠陥準位が見られ、界面近傍に $V_{Ga}V_N$ 欠陥が高密度に発生していた。³⁾ 850°Cの熱処理によって準位密度は下がったものの、 $E_C - 0.3 \text{ eV}$ 付近に若干上に凸な分布形状が見られた。これは、残留する $V_{Ga}V_N$ 欠陥によるものであった可能性がある。2 段階の熱処理を行った場合には、 $E_C - 0.3 \text{ eV}$ 付近の欠陥準位が明確には見られなくなった。GaN 表面が欠陥に対するシンクのように働き、表面に向かって拡散した $V_{Ga}V_N$ 欠陥が表面で消失する機構⁴⁾が考えられる。発表においては 1250°Cのみにおける熱処理とも比較するべく研究を進めている。

【謝辞】本研究は住友化学株式会社からの助成を受けて遂行された。また、本研究の一部は科研費 (JP24K22934, JP23K26131) の支援を受けて行われた。

- 1) S. Limpijumnong and C. G. Van de Walle, Phys. Rev. B **69**, 035207 (2004).
- 2) O. Ambacher et al., Jpn. J. Appl. Phys. **37**, 2416 (1998).
- 3) M. Akazawa, R. Kamoshida, S. Murai, T. Kachi, and A. Uedono, Jpn. J. Appl. Phys. **60**, 016502 (2021).
- 4) A. Uedono et al., Sci. Rep. **10**, 17349 (2020).

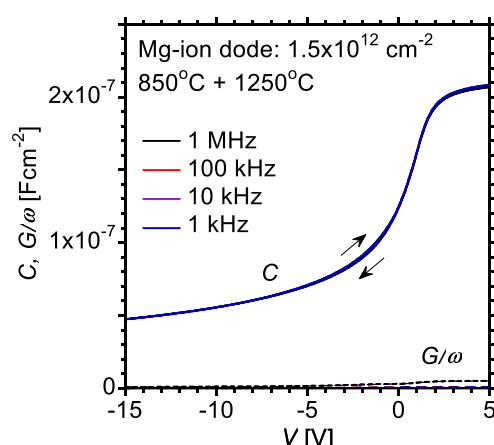


Fig. 1 C-V characteristics.

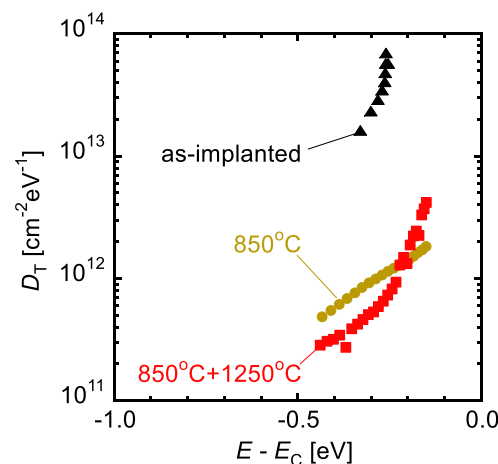


Fig. 2 Gap state density (D_T) distributions.

GaN 系 HBT に向けた p 型 GaInN/GaN MQW 構造の電気特性評価

Characterization of p-type GaInN/GaN MQWs for GaN-based HBTs

名古屋工業大学 ○(M2)井上 諒星、(M2)石田 颯汰朗、間瀬 晃、江川 孝志、三好 実人

Nagoya Institute of Technology Ryosei Inoue, Sotaro Ishida, Akira Mase, Takashi Egawa, and

Makoto Miyoshi

E-mail: r.inoue.125@stn.nitech.ac.jp

【はじめに】 ワイドギャップ半導体 GaN を用いたヘテロ接合バイポーラトランジスタ (HBT) は、同じ GaN 系 HEMT や他材料系の HBT に比べ、高速で大出力動作が可能のため、次世代の高周波デバイスとして期待できる[1]。一方、GaN 系 HBT では、Mg などアクセプタの活性化エネルギーが大きい事に加え、p 型層が不可避免的に n 型層に覆われた構成となるためにポストアニールによる水素脱離がしにくく、結果的に低抵抗の p 型層が得られにくいという課題がある。この課題に対して、npn 型 GaN-HBT を想定したうえで、p 型ベース層の横方向抵抗を低減する構成として、GaInN/GaN からなる多重量子井戸 (MQW) 構造の適用を検討してきた。本研究では、MQW 構造における Mg の変調ドーピングについて検討したので報告する。

【実験方法】 本研究で作製した試料のエピ構造を図 1 に示す。c 面サファイア基板の上に MOCVD 法を用いて、厚さ 600nm の n⁺-GaN サブコレクタ層([Si]=3.0×10¹⁸cm⁻³)、厚さ 250nm の n-GaN コレクタ層([Si]=2.0×10¹⁷cm⁻³)、厚さ 136nm の GaInN/GaN MQW 層を成膜した。MQW 構造は GaInN 井戸層 3nm、GaN 障壁層 3nm とし、井戸層数を 20 層とした。GaInN 井戸層と GaN 障壁層の両方に Mg をドーピングした試料と、GaN 障壁層のみに Mg をドーピングした試料([Mg]=3.0×10¹⁹ cm⁻³) を作製した。成長した試料に対し、窒素中 775℃90 分間のアクセプタ活性化処理を行った後、EB 蒸着による Pd/Ni/Au (60/10/30nm) 電極膜の形成、N₂/O₂ 比 4/1 からなる混合ガス中でのポストアニール処理を施した。このようにオーミック電極を形成した試料について、Van der Pauw 法による Hall 効果測定を行った。

【実験結果】 図 2 に比抵抗の温度依存性を示す。GaN 障壁層のみに Mg をドーピングした試料では比抵抗が一定となる温度領域があることが示されたほか、室温において 0.16 Ωcm という低い値が得られた。また、室温でのシート正孔密度は、GaInN 井戸層と GaN 障壁層の両方に Mg をドーピングした試料が 3.09×10¹³cm⁻²であったのに対し、GaN 障壁層のみに Mg をドーピングした試料は 1.26×10¹⁴cm⁻²という高い値を示した。

【謝辞】 本研究は、総務省 SCOPE (JP235006002)の委託を受けて実施された。

[1] Mase et al. Phys. Status Solidi A (2022) 219 2100397



図 1 試料のエピ構造

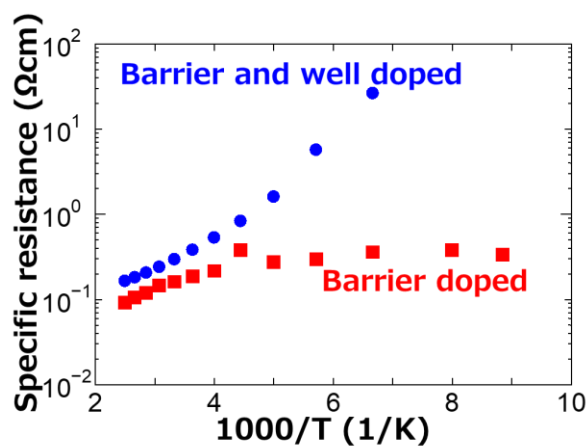


図 2 比抵抗の温度依存性

電気化学測定法による ud-AlGaIn/n-GaN 構造の電氣的評価

Electrical characterization of ud-AlGaIn/n-GaN structures by electrochemical methods

1. 北大量集センター, 2. NTT 物性科学基礎研究所

○高橋 円空¹, 嶋崎 喬大¹, 赤澤 伶明¹, 熊倉 一英¹, 谷保 芳孝², 佐藤 威友¹

RCIQE, Hokkaido Univ.¹, NTT Basic Research Labs²

○E. Takahashi¹, T. Shimazaki¹, S. Akazawa¹, K. Kumakura¹, Y. Taniyasu², T. Sato¹

E-mail: takahashi.enku.h2@elms.hokudai.ac.jp

【はじめに】電気化学測定法は、溶液／試料界面の電氣的特性を評価する手法で、評価面に直接金属電極を形成する必要がないというメリットがある。これまでに我々は、n-GaN および p-GaN/n-GaN 構造に対して、エッチング等の加工プロセスが GaN の電氣的特性に与える影響を明らかにしてきた[1]。本研究では、AlGaIn/GaN ヘテロ界面近傍の電子密度分布とそのバイアス依存性を明らかにするため、Al 組成 x を変えた $\text{Al}_x\text{Ga}_{1-x}\text{N}/\text{n-GaN}$ 構造に電気化学的測定法を適用し評価した。

【実験方法】試料構造を Fig.1 に示す。MOVPE 法により、C 面サファイヤ基板上に un-doped (ud) $\text{Al}_x\text{Ga}_{1-x}\text{N}/\text{n-GaN}$ ($N_D = 2 \times 10^{18} \text{ cm}^{-3}$) 構造を結晶成長した。In 線で試料端の一部を試料台へ配線し、ポテンショスタットに接続した。試料の電気配線に溶液が触れるのを防ぐため、接続部をワックスでカバーした。溶液にはリン酸緩衝液 (pH = 7.0) を使用し、暗中で測定を行った。

【結果と考察】溶液中で測定した試料の容量-電圧 ($C-V$) 特性を Fig.2 に示す。図中の波線は、組成比と厚さから算出した AlGaIn 層の静電容量 (C_{AlGaIn}) である。Sample A ($x = 0.265$) の測定値は、順・逆バイアスどちらも C_{AlGaIn} とよく一致したのに対し、Sample B ($x = 0.021$) の容量値は、順バイアス領域で C_{AlGaIn} より増加した。また、Sample B の $1/C^2-V$ 特性は2つの変曲点 (傾きの異なる3つの領域) が存在し、傾きから算出されるキャリア密度は、順バイアスの増加により減少する傾向にあった。Sample B について1次元 Poisson-Schrödinger 法で計算した AlGaIn/ GaN 界面近傍のエネルギーバンド図と $C-V$ 特性から得られたキャリア分布を Fig.3 に示す。un-doped AlGaIn 層内にも界面から約 15 nm の領域に 10^{17} cm^{-3} オーダーの電子が存在することが示唆された。これは、Sample B では AlGaIn/GaN 界面の伝導帯不連続量が小さく、順バイアス領域で GaN 層の電子が AlGaIn 層に侵入したことを示している。

【謝辞】JSPS 科研費 JP23K26131, JP24K00934 および文部科学省マテリアル先端リサーチ事業課題(JPMXP1225HK0027)として北海道大学の支援を受けて実施されました。

[1] 嶋崎 喬大 他 : 2025 年春応物, 14p-P03-7.

undoped- $\text{Al}_x\text{Ga}_{1-x}\text{N}$	↑ d Sample A ↓ x = 0.265 d = 84 nm
n-GaN ($N_D = 2 \times 10^{18} \text{ cm}^{-3}$)	Sample B x = 0.021 d = 92 nm
AlON buffer	
c-face sapphire sub.	

Fig. 1 Sample structures.

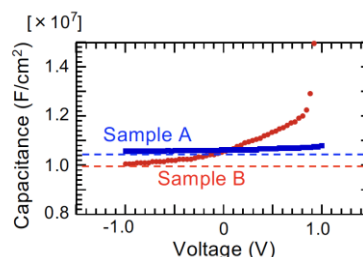


Fig. 2 $C-V$ characteristics measured in the electrolyte.

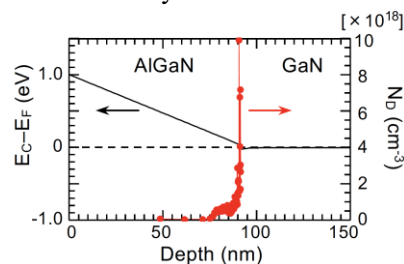


Fig. 3 Band diagram of Sample B with carrier profiles obtained by $C-V$ measurements.

CL-PEC エッチングにより形成した リセスゲート AlGaN/GaN ヘテロ構造トランジスタの電気的特性 Electrical properties of recessed-gate AlGaN/GaN heterostructure transistors processed by contactless-photoelectrochemical (CL-PEC) etching

北大量集センター 勝又 十勝、塩澤 直生、岡野 陽樹、佐藤 威友

RCIQE, Hokkaido Univ. T. Katsumata, N. Shiozawa, H. Okano, and T. Sato

E-mail: katsumata.tokachi.n4@elms.hokudai.ac.jp

【はじめに】これまでに我々は、AlGaN/GaN 構造にコンタクトレス光電化学 (CL-PEC) エッチングを用いてゲートリセス加工を施し、溶液に浸して UV 光を照射するだけという簡便な手法で AlGaN/GaN HEMTs (高電子移動度トランジスタ) のノーマリーオフ動作を達成した[1]。本研究では、CL-PEC エッチングおよびゲート電極プロセスの最適化を目的とし、エッチング条件を変えて作製した素子の電気的特性を比較した。

【実験方法】初期膜厚 40 nm の AlGaN 層を持つ試料表面に Ti/Al/Ti/Au オーミックカソードあるいは Ti ショットキーカソードを形成し、 $K_2S_2O_8$ 水溶液中にて中心波長 260nm の UV 光を照射しながらエッチングを行った。ICP-RIE による素子間分離後、ショットキーゲート電極 ($L_g = 10 \mu m$, $W_g = 100 \mu m$) およびソース・ドレイン電極を形成し、Fig.1 に示される 2 種類のトランジスタ (planar device, recessed device) を作製した。

【結果と考察】Ti/Al/Ti/Au カソードを使った場合、エッチング深さは反応時間に対して線形的に増大したが、Ti カソードを使った場合、AlGaN 層約 7 nm を残してエッチングは自己停止した。作製した素子のしきい値電圧(V_{th})と相互コンダクタンス(g_m)を Fig.2 に示す。どちらの素子も V_{th} は d_{AlGaN} の減少とともに正方向にシフトした。プレーナー素子では、 d_{AlGaN} の減少とともにチャネル抵抗が増大し g_m が減少した。また、 d_{AlGaN} が 10 nm を下回るとソース・ドレイン間のアクセス領域が高抵抗化し有効な測定値が得られなかった。一方、リセス素子では、 d_{AlGaN} の減少による g_m の低下は抑制される傾向を示した。また、自己停止したリセスゲート素子では g_m が向上することがわかった。

【謝辞】本研究は、JSPS 科研費 JP23K26131, JP24K00934 および文部科学省マテリアル先端リサーチ事業課題(課題番号 JPMXP1225HK0027)として北海道大学の支援を受けて実施されました。

[1] 沖 勇吾 他 : 2023 年秋応物, 21a-P06-3.

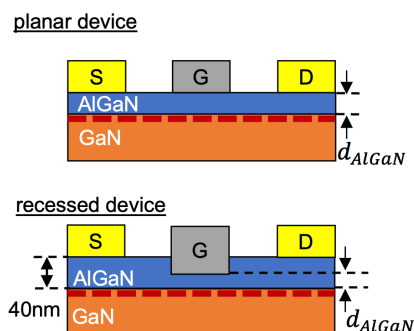


Fig. 1 Schematics of devices structures.

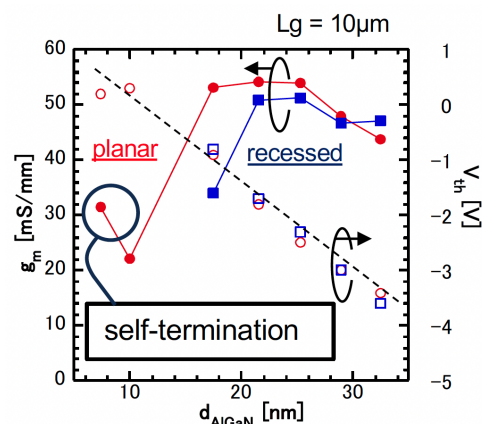


Fig. 2 d_{AlGaN} -dependence of g_m and V_{th} values obtained on various CL-PEC etched transistors.

ミスト CVD 法による GaN 系 MIS デバイス向け $\text{Al}_{1-x}\text{Ti}_x\text{O}_y$ ゲート絶縁膜の作製と堆積メカニズムの解明

Deposition Mechanism of $\text{Al}_{1-x}\text{Ti}_x\text{O}_y$ Gate Insulator Films

for GaN-based MIS Devices by Mist-CVD

熊本大¹ °大竹 浩史¹, 中村 有水¹, 谷田部 然治¹

Kumamoto Univ.¹, °Hiroshi Otake¹, Yusui Nakamura¹, Zenji Yatabe¹

E-mail: ohtake@st.cs.kumamoto-u.ac.jp; yatabe@cs.kumamoto-u.ac.jp

1.はじめに

高性能な窒化ガリウム(GaN)系金属-絶縁膜-半導体(MIS)デバイスを実現するためには、広い禁制帯幅と高い誘電率を併せ持つゲート絶縁膜を採用する必要がある。本研究では、酸化アルミニウム(Al_2O_3)と二酸化チタン(TiO_2)の組み合わせである $\text{Al}_{1-x}\text{Ti}_x\text{O}_y$ 混晶ゲート絶縁膜に着目した。 $\text{Al}_{1-x}\text{Ti}_x\text{O}_y$ は結晶化温度が TiO_2 よりも高いためアモルファス構造を維持しやすく、広い禁制帯幅と高い誘電率の両立が期待される材料である [1]。本研究では、堆積手法にミスト CVD 法を用い、その混晶比制御性と物性値の制御性、堆積メカニズムについて報告する。

2.実験方法

原料溶液には Al 源としてアルミニウムアセチルアセトナート [$\text{Al}(\text{C}_5\text{H}_7\text{O}_2)_3$]、Ti 源としてチタンテトライソプロポキシド [$\text{Ti}(\text{C}_3\text{H}_7\text{O})_4$]、溶媒としてメタノール(CH_4O)とアセチルアセトン($\text{C}_5\text{H}_8\text{O}_2$)を使用した [2]。キャリアガスである窒素の流量を 3 L/min に固定し、堆積温度を 250-450 °C で 50 °C ずつ変化させ、各堆積温度で 2 インチ Si 基板上にミスト CVD 法により $\text{Al}_{1-x}\text{Ti}_x\text{O}_y$ 薄膜を堆積した。

3.実験結果及び考察

図 1 に $\text{Al}_{1-x}\text{Ti}_x\text{O}_y$ の堆積温度と組成比 $\text{Al}/(\text{Al}+\text{Ti})$ の関係を示す。図 1 より堆積温度が高温になるにつれて膜中の Al の割合が増加することが明らかになった。また堆積温度 400 °C で溶液比 $\text{Al}/(\text{Al}+\text{Ti})$ と組成比 $\text{Al}/(\text{Al}+\text{Ti})$ がほぼ一致する $\text{Al}_{1-x}\text{Ti}_x\text{O}_y$ 薄膜が堆積できた。堆積温度が高温になるにつれて膜中の Al の割合が増加する要因を Al_2O_3 、 TiO_2 それぞれの堆積速度から考察した。図 2 に Al_2O_3 、 TiO_2 単体のそれぞれの堆積速度のアレニウスプロットを示す。 Al_2O_3 は堆積温度増加に伴い堆積速度も線形的に増加する反応律速であるが、 TiO_2 の堆積速度はほぼ一定の供給律速であった。また堆積温度 400 °C において Al_2O_3 と TiO_2 の堆積速度が概ね同等であった。これより Al_2O_3 と TiO_2 の堆積速度の差が膜中 Al 割合の増加と、溶液比 $\text{Al}/(\text{Al}+\text{Ti})$ と組成比 $\text{Al}/(\text{Al}+\text{Ti})$ の一致の原因と考えられる。続いて図 3 に組成比 $\text{Ti}/(\text{Al}+\text{Ti})$ と膜密度の関係を示す。この密度の値から文献で報告されている ALD 法と同等の緻密な膜が作成可能であることが示唆された。

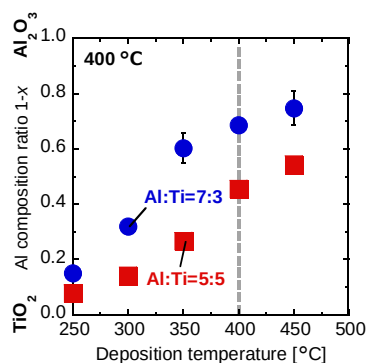


図 1. Temperature dependence of the Al composition in $\text{Al}_{1-x}\text{Ti}_x\text{O}_y$ films.

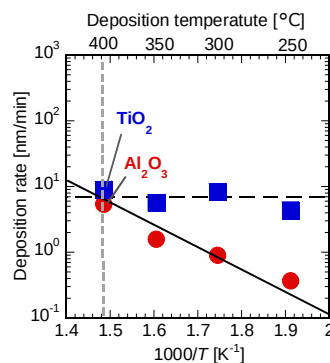


図 2. Arrhenius plot of deposition rate of Al_2O_3 and TiO_2 .

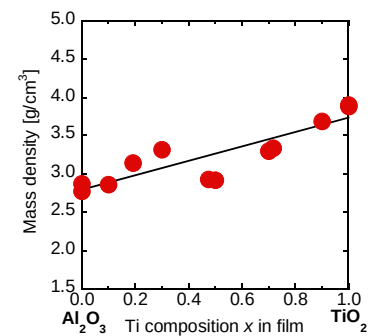


図 3. Mass density of mist $\text{Al}_{1-x}\text{Ti}_x\text{O}_y$ films.

参考文献

- [1] D. D. Nguyen, and T. Suzuki, J. Appl. Phys. **127**, 094501 (2020).
- [2] Z. Yatabe et al, Jpn. J. Appl. Phys. **58**, 070905 (2019).

GaN 表面酸化に向けたミスト熱酸化プロセス

Mist Thermal Oxidation Process for GaN Surface Oxidation

熊本大¹ [○](M1)濱砂 涼介¹, (D)Soe Thin Nu¹, (M2)平倉 拓海¹,

中村 有水¹, 谷田部 然治¹,

Kumamoto Univ.¹, [○]Ryosuke Hamasuna¹, Thin Nu Soe¹, Takumi Hirakura¹

Yusui Nakamura¹, Zenji Yatabe¹,

E-mail: 258d8849@st.kumamoto-u.ac.jp; yatabe@cs.kumamoto-u.ac.jp

1.はじめに

AlGaIn/GaN MOS-HEMT のノーマリーオフ動作を実現する手法としてリセスゲート構造がある。しかし一般的なドライエッチングでは(Al)GaN 表面にエッチングダメージを与える。本研究では低ダメージエッチングを実現する新たな手法として、ミスト化学気相成長(CVD)法を応用したミストエッチングに着目した [1]。しかしながらミストエッチングにより GaN 表面を直接エッチングすることは困難であると予想される。そこで GaN 表面をミスト法で熱酸化し Ga₂O₃ をエッチングする二段階のプロセスの実現を目指している。本研究ではこのミスト CVD 法を用いた GaN 表面の熱酸化プロセスを確立するため、初期検討として Si 基板の熱酸化を行い SiO₂ 膜の成長速度や膜厚の面内分布、電気特性を調査した。

2.実験方法

基板には 2 インチ Si を用いた。HF 処理により自然酸化膜を除去した後、ミスト CVD 法を用いて熱酸化を行った。溶液には水、キャリアガスには N₂、基板温度は 500–950 °C の範囲で行った。酸化膜厚および屈折率は分光エリプソメトリーによって測定した。比誘電率は容量-周波数 (C-f) 測定を行った結果から算出した。

3.実験結果及び考察

図 1 に基板温度と酸化速度のアレニウスプロットを示す。アレニウスプロットから活性化エネルギーは 78.3 kJ/mol となりウェット酸化における活性化エネルギー 68.2 kJ/mol と同等の値となった [2]。図 2 に酸化膜の C-f 特性を示す。一般的な熱酸化 SiO₂ と同程度の比誘電率 $\epsilon_r=3.9$ が得られた。図 3 に測定した 2 インチ基板における SiO₂ 膜厚の面内分布を示す。面内分布は反応器内部での温度分布に起因すると考えられる。また波長 632.8 nm での屈折率は $1.46 \pm 1 \times 10^{-3}$ となり熱酸化 SiO₂ の屈折率と同等で、良質な SiO₂ 膜が形成されたことが示唆された。

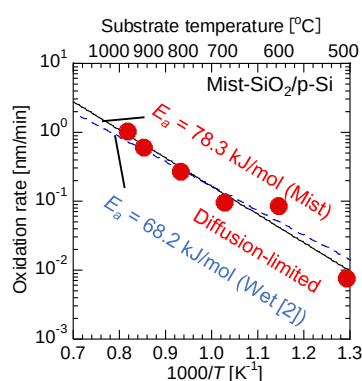


図 1. Arrhenius plot of thermal oxidation rate of Si.

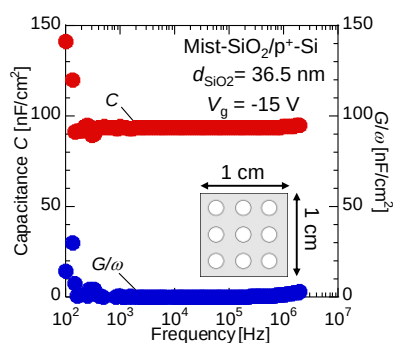


図 2. Frequency dependence of C and G/ω of thermally grown SiO₂.

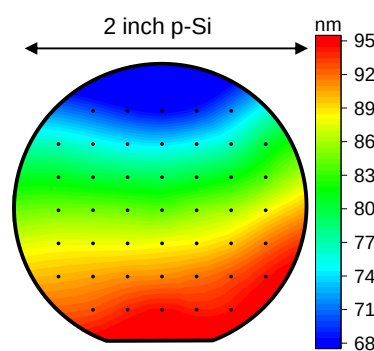


図 3. Thickness distribution of thermally grown oxide on Si wafer.

参考文献

- [1] T. Kawaharamura et al., Jpn. J. Appl. Phys. **51**, 036503 (2012).
- [2] B. E. Deal et al., J. Appl. Phys. **36**, 3770 (1965).

ミストエッチングに向けた GaN 表面のミスト熱酸化

Mist Thermal Oxidation of GaN Surface for Mist Etching

熊本大¹, [○](M2)平倉 拓海¹, (D)Soe Thin Nu¹, (M1)濱砂 涼介¹,

中村 有水¹, 谷田部 然治¹

Kumamoto Univ.¹, [○]Takumi Hirakura¹, Thin Nu Soe¹, Ryosuke Hamasuna¹,

Yusui Nakamura¹, Zenji Yatabe¹

E-mail : hirakura@st.cs.kumamoto-u.ac.jp; yatabe@cs.kumamoto-u.ac.jp;

【はじめに】

窒化ガリウム (GaN) 系半導体は広いバンドギャップ、高い絶縁破壊電界などの優れた物性を有し、GaN 系デバイスは高効率なコンバータ・インバータに有望である [1]。リセスゲート構造の実現にはドライエッチングがしばしば用いられるが、(Al)GaN 表面へのプラズマダメージが生じデバイスの特性悪化の要因となる。そこで本研究では酸化物堆積手法の一つであるミスト化学気相成長(CVD)法をエッチングに応用したミストエッチング法に注目した。エッチング溶液を超音波でミスト化し、化学反応によりエッチングを行うため、プラズマを使用せず低ダメージ・低コストでのエッチングが期待できる [2]。ミストエッチングは(Al)GaN 表面で酸化とエッチングの二段階の反応が同時に起こることでエッチングが進行する可能性があるため、本研究ではミストエッチングの基礎検討として GaN 表面をミスト熱酸化し、GaN の酸化層である酸化ガリウム (Ga_2O_3)のエッチングを試みた。

【実験方法】

ミスト溶液に水、キャリアガスに N_2 を用いてミスト熱酸化を行った。膜厚の測定には分光エリプソメータを用い、ミスト熱酸化後の Ga_2O_3 膜厚を測定した。また酸化剤であるミストの発生量を最適化するために、超音波霧化装置内の溶液量とミスト発生量の依存性も調査した。

【結果】

図 1 に超音波霧化装置内の溶液量とミスト発生量の関係を示す。液面高さが 36 mm (~ 溶液量 135 mL)の場合にミスト発生量が最大となり、この高さは超音波振動子の焦点距離と一致した。図 2 に各温度と酸化レートの関係を示す。800 °C 以上で熱酸化膜が形成され、温度が高いほど酸化レートが高くなることが分かった。これは先行研究の O_2 雰囲気中でのドライ熱酸化と同様の結果である [3]。熱酸化時の GaN 膜厚の減少量と Ga_2O_3 膜厚の形成量の比と、それぞれの分子量から算出した Ga_2O_3 の密度の温度依存性を図 3 に示す。今回形成した Ga_2O_3 の密度は全ての温度領域において約 4.3–5.1 g/cm^3 であり、これはアモルファス Ga_2O_3 の密度として報告されている値の範囲内であった [4]。よってミスト熱酸化で形成された Ga_2O_3 はアモルファスである可能性が示唆された。また、X 線回折法による測定においても Ga_2O_3 由来のピークは確認されず、ミスト熱酸化で形成された Ga_2O_3 はアモルファスであると考えられる。

【参考文献】 [1] J. T. Asubar et al., J. Appl. Phys. 129, 121102 (2021). [2] T. Kawaharamura, and T. Hirao, Jpn. J. Appl. Phys. 51, 036503 (2012). [3] 山田他, 第 77 回応用物理学会秋季学術講演会 16p-B1-4 (2016). [4] J. Zhang et al., Sci. Rep. 15, 9492 (2025).

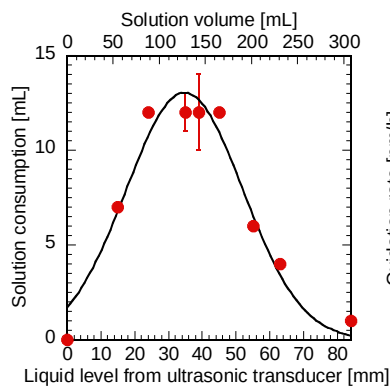


Fig. 1. Mist source solution consumption at various liquid level from ultrasonic transducer.

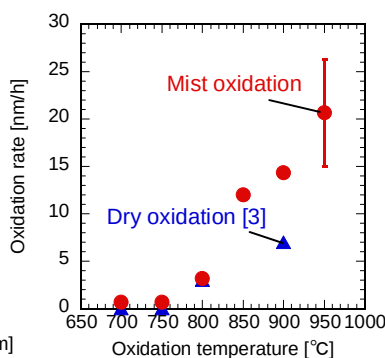


Fig. 2. Oxidation rate of GaN surfaces at various temperatures.

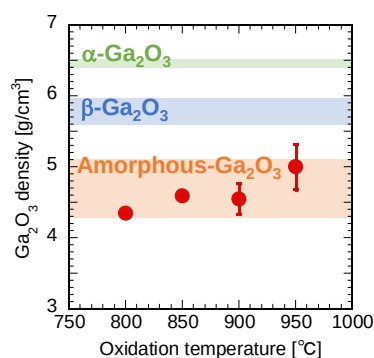


Fig. 3. Ga_2O_3 density at various temperatures.

13 Semiconductors | Oral presentation : 13.8 Optical properties and light-emitting devices

[9a-N205-1~10] 13.8 Optical properties and light-emitting devices

[9a-N205-1]

No presentation

[9a-N205-2]

Demonstration of (219–221 nm)-Band Extreme-far-UVC LEDs on c-Sapphire

O(P)Amina Yasin¹, Yuki Nakamura¹, M. Nawaz Sharif¹, M. Ajmal Khan¹, Hideki Hirayama¹
(1.RIKEN)

[9a-N205-3]

A new tri-layer Ni/Al/Au p-electrode in 281 nm UVB LED Boosted EQE to 4.6%

OHamida Zia^{2,1}, Amina Yasin², Kohei Fujimoto^{1,2}, Hiroyuki Yaguchi¹, M. Ajmal Khan², Hideki Hirayama² (1.Saitama University, 2.Riken)

[9a-N205-4]

Dependence of light output on Si concentration of deep-UV LEDs with Si-doped quantum well structures

OMarina Fujita¹, Takeuchi Tetsuya¹, Kamiyama Satoshi¹, Iwaya Motoaki¹, Ishiguro Hisanori¹, Takehisa Teppei¹, Muto Hibiki¹, Miura Sena¹, Takase Kenta¹ (1.Meijo Univ)

[9a-N205-5]

Temperature Dependence of Photoluminescence in Layered Two-Dimensional TiNCl

OMasaru Oda¹, Taisei Ukon¹, Masashi Tanaka¹, Hisao Kondo², Aishi Yamamoto³ (1.Kyushu Inst. of Tech., 2.Ehime Univ., 3.Hiroshima Inst. of Tech.)

[9a-N205-6]

Observation of Multiple-quantum-well Polaritons by Reflectance Spectra Measurements in Organic-inorganic 2D Perovskite Film

ONaoki Shimosako¹, Yasuhiro F. Miura², Yoshiya Akagi², Hideyuki Kunugita³, Kazuhiro Ema³
(1.Shizuoka Univ., 2.Hamamatsu Univ. School of Med., 3.Sophia Univ.)

[9a-N205-7]

Electronic and Luminescence Properties of Novel Zero-Dimensional Li₂HfX₆ Halide Scintillators for Neutron DetectionO(DC)Chihaya Fujiwara^{1,2}, Shunsuke Kurosawa^{2,3,4,5}, Akihiro Yamaji^{2,3}, Akira Yoshikawa^{2,3}
(1.Graduate School of Eng., Tohoku Univ., 2.IMR, Tohoku Univ., 3.NICHe, Tohoku Univ., 4.ILE Osaka Univ., 5.Institute for Integrated Radiation and Nuclear Science, Kyoto Univ.)

[9a-N205-8]

Luminescence color tuning of colloidal silicon quantum dots dispersible in polar solvents by gel permeation chromatography

O(M1C)Shota Sasaki¹, Nobuyoshi Koshida^{1,2}, Toshihiro Nakamura¹ (1.Hosei Univ., 2.Tokyo Univ. of A&T)

[9a-N205-9]

Narrow band luminescence from organic dye and silicon quantum dot hybrid thin film with Fabry–Pérot resonator

O(M1)Daigo Michikoshi¹, Nobuyoshi Koshida^{1,2}, Takashi Kasahara¹, Toshihiro Nakamura¹
(1.Hosei Univ., 2.Tokyo Univ. A&T)

[9a-N205-10]

Improvement of luminescence properties of Si quantum dot based electrogenerated chemiluminescence device using organic molecules

O(M1C)Rikuto Tanaka¹, Nobuyoshi Koshida^{1,2}, Takashi Kasahara¹, Nakamura Toshihiro¹
(1.Hosei Univ., 2.Tokyo Univ.)

Demonstration of (219–221 nm)-Band Extreme-far-UVC LEDs on c-Sapphire

RIKEN¹, Amina Yasin^{1,*}, Yuki Nakamura¹, M. Nawaz Sharif¹, M. Ajmal Khan¹, Hideki Hirayama¹

*e-mail: amina.yasin@riken.jp

Far-Ultraviolet-C (far-UVC) AlGaIn-based light-emitting diodes (LEDs) emitting below 230 nm are gaining significant attention for their potential to safely inactivate viruses in public spaces without harming human skin or eyes. However, achieving high efficiency at wavelengths below 230 nm, particularly below 222 nm, remains a major challenge [1-2]. Taniyasu et al. reported the external quantum efficiency (EQE) of on-wafer device on the order of ~0.000001% estimated [1], which is still lower than that for typical on wafer UVB LEDs (EQE ≈ 10%) [2]. To enable filter-free, practical disinfection systems while suppressing the harmful part of the spectral range longer than 230 nm, the development of shorter-wavelength LEDs (219–222 nm) with improved performance is highly desirable. In this study, we report the fabrication and optimization of AlGaIn-based far-UVC LEDs with peak wavelengths at 219, 220, and 221 nm. To improve emission efficiency, we optimized the epitaxial structure by engineering the n-type AlGaIn layers and introducing an intrinsic AlGaIn (i-AlGaIn) layer followed by a multi-quantum well (MQW) active region (Figure 1). To isolate the role of the i-AlGaIn layer, we also fabricated LEDs using only the i-AlGaIn layer (without MQW) as the active region. Devices were grown on AlN/c-sapphire templates using metal-organic chemical vapor deposition (MOCVD). By increasing the Al composition in the i-AlGaIn layer to 90.5%, 90%, and 88.7%, the emission peaks were successfully tuned to 219 nm, 220 nm, and 219 nm, respectively. Structural and compositional optimizations of the i-AlGaIn and MQW active region led to improved internal quantum efficiency (IQE) and electron injection efficiency (EIE). The EQEs of the fabricated LEDs, measured under continuous-wave operation at room temperature, were 0.0017% (219 nm), 0.009% (221 nm) with only i-AlGaIn) and 0.012% (221 nm) with corresponding output powers of 0.01 mW, 0.008 mW, and 0.002 mW at 20 mA. As shown in Figure 2, the EQE increases significantly with the incorporation of the MQW structure and optimized Al composition in the i-AlGaIn layer, which also enabled the shift to shorter emission wavelengths. These results highlight a promising approach toward realizing efficient extreme-far-UVC LEDs suitable for safe and effective viral disinfection. **References:** [1]. Y. Taniyasu et al, Nature, 441, 325–328 (2006). [2]. Khan and Hirayama et al. Phys. Status Solidi A, 221, 2400064 (2024).

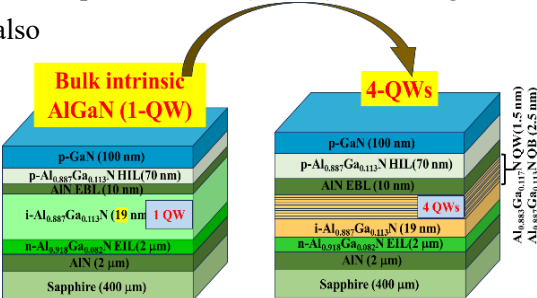


Figure 1. Schematic diagram of the 219-221 nm far-UVC LED structure along with Al composition and layers thickness information

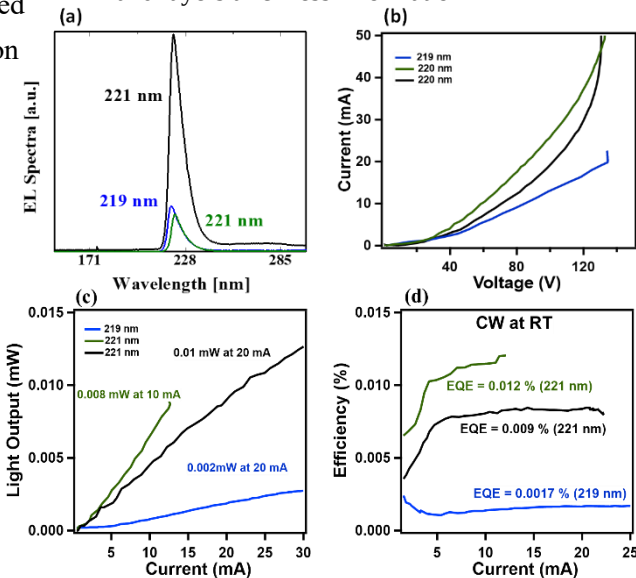


Figure 2. Performance evaluation of the 219-221 nm far-UVC LED: (a) EL spectra, (b) Current vs Voltage (I–V) characteristics, (c) Current vs Light power (I–L) characteristics, (d) Current vs EQE (I–EQE) characteristics

A new tri-layer Ni/Al/Au p-electrode in 281 nm UVB LED Boosted EQE to 4.6%

RIKEN¹, Saitama University², Hamida Zia^{1,2*}, Amina Yasin¹, Kohei Fujimoto^{1,2}, Hiroyuki Yaguchi², M. Ajmal Khan¹, Hideki Hirayama¹

e-mail*: zia.h.608@ms.saitama-u.ac.jp

AlGaN-based ultraviolet-B light-emitting diodes (UVB-LEDs) are attracting great attention due to their compact size, energy efficiency, and long lifespan, making them a promising alternative to conventional mercury-based UV lamps. However, their external efficiency (EQE) remains significantly lower than that of blue LEDs, primarily due to their low light-extraction efficiency (LEE). The reason for low LEE in these devices is mainly attributed to factors such as high internal reflection due to the high refractive index of AlGaN and absorption losses in the p-GaN layer. Our group previously demonstrated that LEE could be significantly improved by introducing a transparent contact layer and a highly reflective Ni/Al p-electrode [1,2]; however, this approach suffered from poor current-voltage (I-V) characteristics ($V_f \sim 42$ V at 20 mA) due to inadequate contact between the p-electrode and p-AlGaN. To address this issue, we developed 281 nm UVB LEDs with improved LEE by incorporating a new combination of tri-layer Ni/Al/Au p-electrode with optimized thickness.

Reciprocal space mapping confirmed partial relaxation in the n-Al_{0.61}Ga_{0.39}N buffer layer (~54%) relative to a fully relaxed AlN substrate, indicating good crystalline quality. Consequently, we optimized a Ni (10 nm)/Al(50 nm)/Au(100 nm) p-contact and conducted a comparative study on the same wafer under continuous-wave operation at room temperature using both the conventional Ni (20nm)/Au(100nm) p-contact and new tri-layer Ni(10nm)/Al(50nm)/Au (100nm) p-contact. An improve in the external quantum efficiency (EQE) of up to 4.6% compared to that of 4.2% EQE obtained from Ni (20nm)/Au (100nm) contact layer LED. Also, the light output power of 12 mW could be achieved. The Ni/Al/Au configuration demonstrated 35% higher reflectance and improved electrical conductivity, as observed in the I-V characteristics (Figure). This enhancement is attributed to the combined effect of highly reflective Ni (10 nm), Al (50 nm), and Au (100 nm) layers, which significantly improve both optical and electrical properties. The current-voltage (I-V) characteristics of Ni/Al/Au LED is improved ($V_f \sim 33$ V at 20 mA), which is comparable to Ni/Au LED. **References:** [1] M. Ajmal Khan and Hirayama et al. Sci Rep 12, 2591 (2022). [2] M. Ajmal Khan and Hirayama et al. Journal of Crystal Growth 604, 127032 (2023).

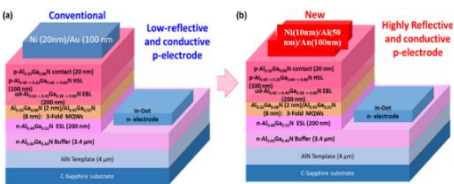


Figure 1. Schematic of the UVB LED structures grown on AlN templates

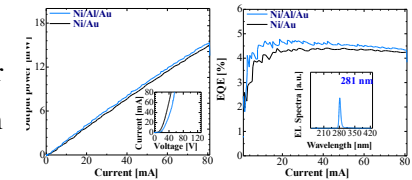


Figure 2. The performance analysis: current vs Voltage (I–V), Electroluminescence (EL) spectral emission, current vs output power (I–L) and the current vs EQEs (I–EQEs) characteristics of small LED (size: 200 μm × 200 μm).

Si 添加量子井戸活性層を有する深紫外 LED の光出力の Si 濃度依存性

Dependence of light output on Si concentration of deep-UV LEDs with Si-doped quantum well structures

名城大・理工 ○藤田麻里奈, 竹久哲平, 武藤響己, 三浦聖央, 高瀬健太,
石黒永孝, 竹内哲也, 上山智, 岩谷素顕

M. Fujita, T. Takehisa, H. Muto, S. Miura, K. Takase
H. Ishiguro, T. Takeuchi, S. Kamiyama, M. Iwaya
E-mail: 253428032@ccmailg.meijo-u.ac.jp

高品質 AlGa_{0.35}N 量子井戸形成のために、量子井戸層や障壁層への Si ドーピングが試みられている。例えば、AlGa_{0.35}N 井戸層のみに 1.9×10¹⁷ cm⁻³の比較的低い濃度の Si をドーピングすることで、非放射再結合中心が低減し、CL 強度が最大化した[1]。一方、GaInN 量子井戸 LED を眺めてみると、分極電場遮蔽のために、Ga_{0.4}N 障壁層への 1.0×10¹⁸ cm⁻³以上の高濃度 Si ドーピングが行われ、発光強度が増大することが報告されている[2,3]。このような状況下、AlGa_{0.35}N 活性層に対する最適な Si 濃度を、深紫外 LED の発光強度の観点で検討した例はほとんどない。そこで本研究では、280 nm 帯の AlGa_{0.35}N 深紫外 LED に対し、量子井戸層あるいは量子障壁層に異なる濃度の Si をドーピングし、その光出力の Si 濃度依存性を評価した。

Fig.1 に、作製した Si 添加 AlGa_{0.35}N 量子井戸活性層を有する深紫外 LED の構造を示す。本研究では、Si 濃度および添加位置を変えた 6 種類のサンプルを作製した。具体的には、障壁層のみに 5.0×10¹⁷、1.5×10¹⁸ cm⁻³の Si をドーピングした 2 種類、量子井戸層のみに 5.0×10¹⁷、1.5×10¹⁸、4.5×10¹⁸ cm⁻³をドーピングした 3 種類、およびアンドーピングサンプルの計 6 種類である。Fig.2 に例として、アンドーピングサンプルの発光スペクトルを示す。設計通り、280nm での発光が得られた。続いて、Fig.3 に各サンプルの 40 mA 駆動時の光出力を示す。Si ドーピングすることで、アンドーピング試料に比べ、同等以上の光出力が得られた。特に、障壁層への Si ドーピングの効果が大きく、具体的には、障壁層に Si を 5.0×10¹⁷ cm⁻³ドーピングした場合に、アンドーピング試料に比べて光出力が約 1.3 倍になり、最も高い光出力であった。今後は、Fig.3 に示した試料の濃度よりも高濃度および低濃度の Si ドーピングの検討も進める予定である。

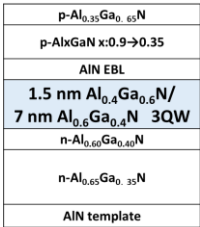


Fig.1 Sample structure

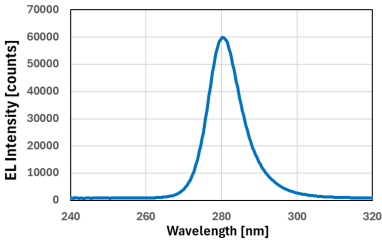


Fig.2 Emission spectrum

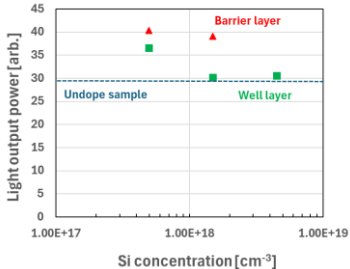


Fig.3 Light output at 40mA injection

【参考文献】 [1] S. F. Chichibu, Appl. Phys. 113, 213506 (2013).[2] G. Franssen, Appl. Phys. 87, 041109 (2005).[3] Y. C. Cheng, Appl. Phys. 1093, 1096, (2003).

【謝辞】 本研究の一部は環境省「革新的な省 CO₂ 型環境衛生技術等の実用化加速のための実証事業」の援助により実施した。

層状 2 次元半導体 TiNCI の発光の温度依存性

Temperature Dependence of Photoluminescence in Layered Two-Dimensional TiNCI

九工大院工¹, 愛媛大院理工², 広工大工³

○ 小田 勝¹, (M2) 右近 泰征¹, 田中 将嗣¹, 近藤 久雄², 山本 愛士³

Kyushu Inst. of Tech.¹, Ehime Univ.², Hiroshima Inst. of Tech.³

◦ Masaru Oda¹, Taisei Ukon¹, Masashi Tanaka¹, Hisao Kondo², Aishi Yamamoto³

E-mail: odamasa@mns.kyutech.ac.jp

層状物質である遷移金属窒化ハロゲン化物 (Metal Nitride Halides (MNXs)) は、層間にアルカリ金属がインターカレートされると高温超伝導体になる物質であり、理論・実験の両面から研究が盛んに行われている。その骨格構造である MNXs も古くより第一原理計算が行われ、半導体として振舞うことが予測されているが、超伝導の特性に興味が集まってきたことや、試料の作製・保存の困難さにより光学・電気計測が難しいことなどから、MNXs 自体の実験研究はごく僅かしか行われていない。一方近年になり、MNX 系は組成が多様であることから、光学・電気特性の幅広い変化・制御が期待できることや、未踏の領域を多く残す二次元半導体材料であることなどから、理論研究者を中心に MNXs が再注目されており[1]、物性の計算と予測が数多く実施されている。

そこで我々は、超伝導体の研究を通じて高品質な試料の作製が可能となった、MNXs の一つである α 型 TiNCI に着目し、実験による MNXs の物性解明を目指す研究を開始した。MNXs の多くは半導体の基礎物性である室温下のバンドギャップエネルギー (E_g) の実験値が得られていない。そこではじめに、発光スペクトル (Fig.1(a) 赤線) と、拡散反射スペクトルの測定から E_g の値を定量評価するための、測定法・解析法を検討した。その結果、どちらの測定・解析法でもほぼ同じ E_g の値が得られた (前者が Fig.1(a) 青丸、後者が(b) 緑丸の位置の値)。MNXs の E_g を定量評価するための 2 通りの方法が用意できたと言える。次に、TiNCI の発光スペクトルの温度依存性 (Fig. 1(c)) を測定し、Fig. 1(a)と同様の手法で各温度における E_g の値を求めた。その結果、6 ~ 50 K の領域では、一般的な半導体と同様に温度上昇とともに E_g が減少するのに対し、50 K 以上では逆に増大するとの結果を得た (Fig. 1(d) 黒丸)。この特異な振る舞いは、今回測定した TiNCI と同様に、例外的に逆の温度依存性を示す CuCl 等の半導体で用いられるボーズ・アインシュタイン振動子モデル[2] (Fig. 1(d)中の式) により再現できた (Fig. 1(d) 黒線)。講演では、実験で得た TiNCI の発光スペクトルと E_g の温度依存性の特徴と特異性の詳細を示し、それらの原因について議論する。

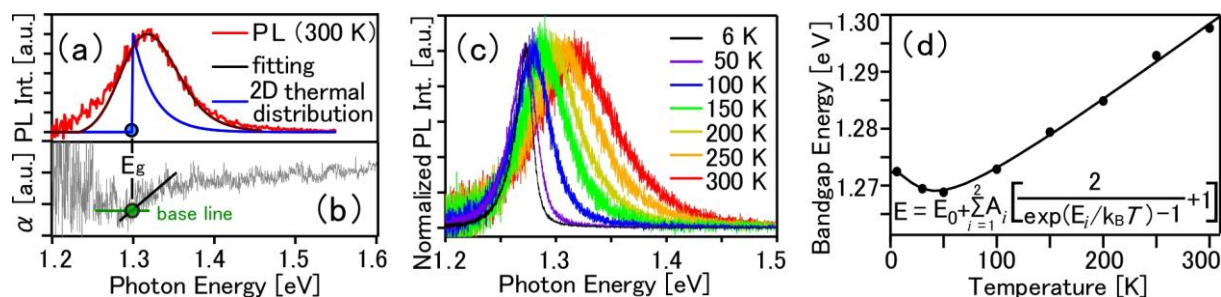


Fig 1: PL (a) and absorption coefficient spectrum (b). Temperature dependence of PL spectra (c) and E_g (d).

[1] C. Zhang et al., *J. Solid State Chem.* **303**, 122517 (2021). [2] A. Göbel, et al. *PRB* **57** 15183 (1998).

有機無機 2D ペロブスカイト膜における 反射スペクトル測定による多重量子井戸ポラリトンの観測

Observation of Multiple-quantum-well Polaritons

by Reflectance Spectra Measurements in Organic-inorganic 2D Perovskite Film

静岡大¹, 浜松医大医², 上智大理工³

○下迫 直樹¹, 三浦 康弘², 赤城 嘉也², 樺田 英之³, 江馬 一弘³

Shizuoka Univ.¹, Hamamatsu Univ. School of Med.², Sophia Univ.³

○Naoki Shimosako¹, Yasuhiro F. Miura², Yoshiya Akagi², Hideyuki Kunugita³, Kazuhiro Ema³

E-mail: shimosako.naoki@shizuoka.ac.jp

1. 研究背景

2D 物質の量子井戸 (QW) に形成された励起子は、異なる QW における励起子エネルギーが完全に一致した場合、隣接する QW が光を介して相互作用し、多重量子井戸 (MQW) ポラリトン形成する^[1]. これにより、エネルギー分裂や super-radiant モードの出現など、MQW ポラリトン特有の効果が現れる. MQW ポラリトンは、高度に制御された GaAs 系材料などを用いて研究が進められてきた^[2]. 一方、有機無機 2D ペロブスカイト材料は、励起子束縛エネルギーが非常に大きく、自己組織化によって井戸幅が均一なため、基礎光学スペクトルのみで MQW ポラリトン効果を観測できる可能性がある. さらに、Langmuir-Blodgett (LB) 法を用いて井戸層数 N_w を制御すれば、 N_w に対する MQW ポラリトンモードの形成、変化を詳細に調べることができる. 本研究では、LB 法により N_w を制御した有機無機 2D ペロブスカイト薄膜を用いて、MQW ポラリトンを観測した.

2. 実験及び結果、考察

LB 法によって石英ガラス基板上に作製された $[\text{CH}_3(\text{CH}_2)_{17}\text{NH}_3]_2\text{PbI}_4$ 薄膜を用い^[3], 20 K において反射スペクトルの N_w 依存性を測定した (Fig. 1). $N_w = 2$ では、単一の励起子ピークを持つ反射構造が観察され、 N_w が増加するとこの反射構造は、大きく変化した. この振る舞いは、非局所分極を用いた転送行列による理論計算と良い一致を示し、基本的な光学スペクトルのみから MQW ポラリトンを観測することに成功した. 詳細な結果や考察は当日報告する.

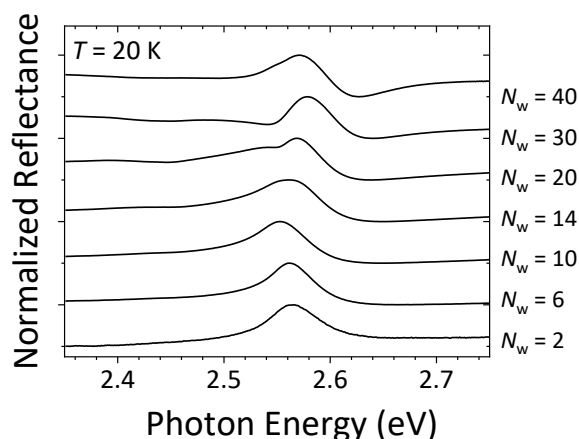


Fig. 1 N_w dependence of reflectance spectra at 20 K.

[1] L. C. Andreani *et al.*, *Phys. Status Solidi B* 188, 29 (1995). [2] 例えば J. J. Baumberg, *et al.*, *Phys. Rev. Lett.* 80, 3567 (1998). [3] Y. F. Miura, *et al.*, *ACS Omega* 7, 47812 (2022).

中性子検出に向けた新規ゼロ次元型 Li_2HfX_6 ハロゲン化物シンチレータの電子・発光特性

Electronic and Luminescence Properties of Novel Zero-Dimensional

 Li_2HfX_6 Halide Scintillators for Neutron Detection東北大 工¹, 東北大 金研², 東北大 NICHe³, 大阪大 レーザー研⁴, 京都大 複合研⁵°(D)藤原 千隼^{1,2}, 黒澤 俊介^{2,3,4}, 山路 晃広^{2,3}, 吉川 彰^{2,3}Department of Mat. Sci., Graduate School of Eng., Tohoku Univ.¹, IMR, Tohoku Univ.², NICHe,
Tohoku Univ.³, Institute for Laser Eng., Osaka Univ.⁴, Institute for Integrated Radiation and
Nuclear Science, Kyoto Univ.⁵,°(D)Chihaya. Fujiwara^{1,2}, Shunsuke. Kurosawa^{2,3,4}, Akihiro. Yamaji^{2,3}, Akira. Yoshikawa^{2,3}E-mail: fujiwara.chihaya.p8@dc.tohoku.ac.jp

ゼロ次元型ペロブスカイトハロゲン化物 A_2BX_6 ($\text{A}=\text{Cs}$; $\text{B}=\text{Hf}, \text{Zr}$; $\text{X}=\text{Cl}, \text{Br}, \text{I}$) 材料は空間的に孤立した $[\text{BX}_6]^{2-}$ 八面体クラスターに由来する自己束縛励起子(STE)からの発光を示し、シンチレータ材料として有望視されている[1]。しかし、そのほとんどがガンマ線や X 線を対象としたシンチレータで、中性子シンチレータとしての応用例はない。また中性子検出に関して主流の ^3He ガスを用いた中性子検出器は、資源の希少性から今後の供給不安定性が指摘され、代替材料の開発が強く求められている[2]。本研究ではこのような背景を踏まえ、高感度に中性子を検出可能な新規の高輝度中性子シンチレータ開発を目的とし、中性子と高い反応断面積を持つ ^6Li を含む Li を A サイトに導入した Li_2HX_6 ($\text{X}=\text{Cl}, \text{Br}, \text{I}$) シンチレータを開発し、その構造、電子物性、並びに発光特性について、実験的及び第一原理計算による検討を行った。 Li_2HfX_6 ($\text{X}=\text{Cl}, \text{Br}, \text{I}$) 結晶は Bridgman-Stockbarger 法により育成した。合成した Li_2HfX_6 の発光機構を明らかにするために、発光特性の温度依存性を測定した。VASP[3]を用いて第一原理計算を行い、 Li_2HfX_6 の電子状態を評価した。

図 1 には Li_2HfCl_6 の LUMO の電荷密度分布を示した。図 1 より Hf 周りに電荷が局在化していることが明らかとなり、 $[\text{HfX}_6]^{2-}$ が孤立したゼロ次元型を有することが分かった。発光スペクトルを測定したところ Li_2HfCl_6 において STE 由来

の 450 nm にピークを持つ青色発光が確認された。本講演では Cs_2HfX_6 と Li_2HfCl_6 の構造の違いによる、電子物性や発光特性の変化や、中性子応答性に関して詳細に報告する。

[1] A. Burger *et al.*, *Appl. Phys. Lett.*, vol. 107, no. 14, pp. 2–6, 2015.

[2] R. T. Kouzes *et al.*, *Nucl. Instrum. Methods Phys. Res. A*, vol. 784, pp. 172–175, 2015.

[3] P. E. Blöchl, *Phys. Rev. B Condens. Matter*, vol. 50, no. 24, pp. 17953–17979, Dec. 1994.

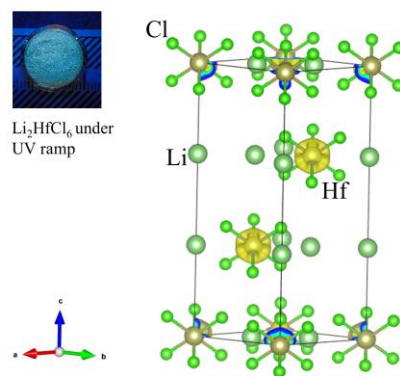


図 1 Li_2HfCl_6 の結晶構造とその LUMO 準位における電荷密度分布($0.005 \text{ e}/\text{\AA}^3$)

ゲル浸透クロマトグラフィーを用いた極性溶媒分散性 Si 量子ドットの発光色制御



Luminescence color tuning of colloidal silicon quantum dots dispersible in polar solvents by gel permeation chromatography

法政大学院理工¹, 東京農工大², °(M1C)佐々木 翔汰¹, 越田 信義^{1,2}, 中村 俊博¹

Hosei Univ.¹, Tokyo Univ. of A&T², °Shota Sasaki¹, Nobuyoshi Koshida^{1,2}, Toshihiro Nakamura¹

E-mail: nakamura@hosei.ac.jp

1. はじめに：近年、半導体量子ドットを用いた発光デバイスが注目されている。半導体量子ドットとは、ナノサイズの半導体単結晶であり、粒径の制御により発光色変化が可能である。当研究グループでは、地殻中に豊富に存在し環境に無害である Si の量子ドットの独自の低温加熱破碎法による大量生成プロセスを確立し[1]、サイズ分離などによる発光波長制御を行ってきた[2]。これまで当グループで作製した量子ドットは無極性溶媒分散性試料が主であったが、今回は極性溶媒分散性 Si 量子ドットを作製し、ゲル浸透クロマトグラフィー (GPC) によりサイズ分離を行い、発光色制御を試みた。

2. 実験方法：陽極化成法により形成した多孔質 Si 粉末を、OH 基を有する不飽和炭化水素である Ethyl 10-undecenoate 溶媒中で破碎処理を行い、Si 量子ドットを得た。その後、GPC 装置 (LaboACE LC-5060) を用いて、量子ドットのサイズ分離と溶媒除去を行い、極性溶媒への分散確認および発光特性の評価を行った。

3. 結果と考察：種々の溶出時間 t で GPC 処理と溶媒除去を行いメタノールへ分散させた Si 量子ドットの発光の様子およびスペクトルを Fig. 1 に示す。 t の増加により発光色が赤色から橙色に変化した。発光スペクトルでも系統的な短波長側にシフトが確認され、溶出時間毎にサイズ分離が行われ発光色が変化したことを

示唆している。また Fig. 2 に参照用として作製した無極性溶媒分散性 Si 量子ドットとの分散性比較を行った。溶媒として無極性溶媒であるヘキサンと極性溶媒であるメタノールの混合液を用いた。図より今回の試料はサイズ分離したいずれの試料においても極性溶媒への良好な分散を有していることが確認できた。本講演では、GPC 処理を行った Si 量子ドットの透過型電子顕微鏡観察サイズ分布の評価や表面状態の確認、詳細な発光特性の評価結果について報告する予定である。

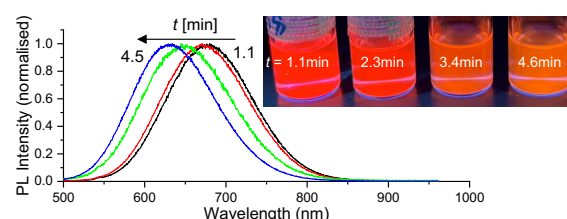


Fig. 1: PL spectra and photograph of GPC treated Si quantum dots in ethanol, under UV illumination for different elution time t of GPC treatments.

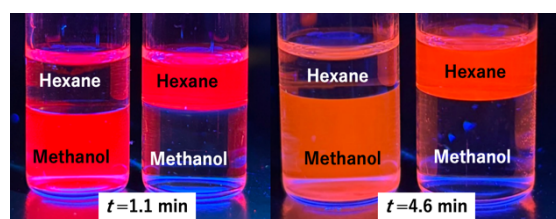


Fig. 2: Photograph of GPC treated colloidal Si quantum dot samples with different dispersibilities.

参考文献: [1] T. Nakamura, et al. *APL Mater.* 8, 081105 (2020). [2] 長澤 功樹 他, 第 85 回応用物理学会秋期講演会 (2022).

Fabry-Pérot 型共振器を用いた有機分子-Si 量子ドット ハイブリッド薄膜からの狭線幅発光

Narrow band luminescence from organic dye and silicon quantum dot hybrid
thin film with Fabry-Pérot resonator

法政大院理工,¹ 東京農工大,² O(M1) 道越 大悟,¹ 越田 信義,^{1,2} 笠原 崇史,¹ 中村 俊博¹

Hosei Univ,¹ Tokyo Univ. of A&T,² Daigo Michikoshi,¹ Nobuyoshi Koshida,^{1,2} Takashi Kasahara,¹

Toshihiro Nakamura¹

E-mail: nakamura@hosei.ac.jp

1. はじめに：有機分子と量子ドットとの共鳴エネルギー移動は近年発展が著しい量子ドット発光ダイオードの性能向上に活用¹⁾されている。またエネルギー移動現象は共振器効果により制御することが可能であることも報告²⁾されており、有機-無機ハイブリッド薄膜におけるこれらの効果は学術的に興味深い。本研究では、環境負荷の少ない発光材料である Si 量子ドット (SiQD) に着目し、有機色素分子とのエネルギー移動現象の光共振効果について調べるため、エネルギー移動ドナーに紫外発光性有機分子である 2,2''-Bi-9,9'-spirobi[9H-fluorene] (BSBF) を用い、SiQD と共添加した共振器付ハイブリッド薄膜の発光特性を調べた。

2. 実験方法：発光層としてスピコート法により PMMA 中に SiQD と BSBF を共添加したハイブリッド薄膜を作製した。Fig. 1 に溶液中の両者の発光および吸収に対応する励起 (PLE) スペクトルを示す。図より良好なスペクトルオーバーラップから両者の共鳴エネルギー移動が期待できる。Si 基板上に、発光層の上下を真空蒸着により成膜した銀薄膜で挟んだファブリーペロー共振器構造を形成し試料とした。

3. 実験結果と考察：Fig. 2(a) に共振器を含まないハイブリッド薄膜の PLE スペクトルを示す。図より BSBF を添加することで BSBF の共鳴

吸収波長において SiQD の発光強度の増大が観測され両者の効率的なエネルギー移動が確認できる。Fig. 2(b) に共振器付薄膜および薄膜のみ試料の PL スペクトルを示す。図より薄膜のみ試料では BSBF 添加による発光増強が確認できるが、共振効果による狭線幅発光では強度の減少が確認できる。これは共振器によるエネルギー移動現象の抑制現象を示唆している。

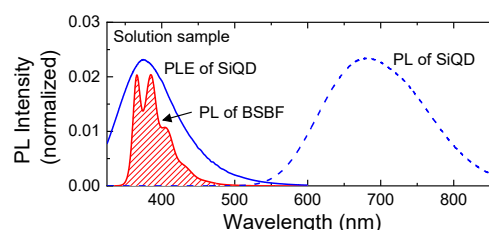


Fig. 1. Spectral overlap between PL of BSBF and PLE of SiQD in solution.

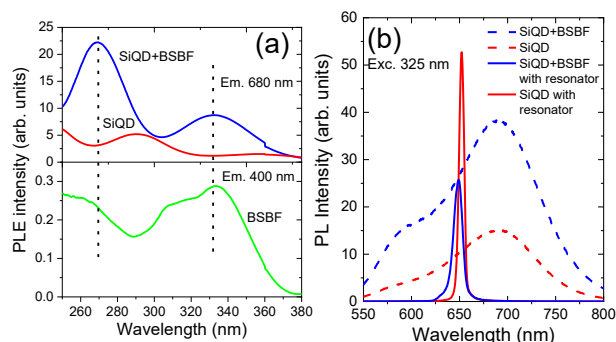


Fig. 2. (a) PLE spectra of SiQD-BSBF hybrid film, SiQD film, and BSBF film. (b) PL spectra of SiQD-BSBF hybrid film and SiQD film with and without Fabry-Pérot resonator.

参考文献 1) J. Xu et al., Adv. Opt. Mater 6, 1800181 (2018); 2) Li Guo et al., Appl. Phys. Lett. 89, 061104 (2006)

酸化還元メディエーター有機分子添加による Si 量子ドット電気化学発光デバイスの特性改善



Improvement of luminescence properties of Si quantum dot based electrogenerated chemiluminescence device via redox mediator organic molecules

法政大院理工¹, 東京農工大², (M1C)田中 陸翔¹, 越田 信義^{1,2}, 笠原 崇史¹, 中村 俊博¹

Hosei Univ.¹, Tokyo Univ. of A&T², Rikuto Tanaka¹, Nobuyoshi Koshida^{1,2}, Takashi Kasahara¹,

Toshihiro Nakamura¹

E-mail: nakamura@hosei.ac.jp

1. はじめに

近年、溶媒分散可能な半導体量子ドットを用いた発光デバイスが注目されている。半導体量子ドットコロイドの中でも地殻中に豊富に存在し環境にやさしいシリコン (Si) を原料とした Si 量子ドット (SiQD) においても発光デバイスの開発¹がされているが、一般にその作製プロセスは複雑である。我々のグループは、簡易に作製可能である電気化学発光 (ECL) 透明電極セルの発光層として SiQD を用いたマルチカラー発光デバイスを開発²してきた。しかし、このデバイスは SiQD の励起効率が低く不安定なラジカル状態が励起の中間過程に含まれるため、発光輝度などのデバイス性能は低い。今回、デバイスの励起過程における問題点を克服するために酸化還元メディエーター³と呼ばれる有機分子を SiQD ECL デバイスに添加し、その発光特性改善を試みた。

2. 酸化還元メディエーターの導入

多孔質 Si を原料とした独自の大量生成プロセスにより SiQD を作製し過去と同様のプロセス²で模式図 Fig. 1(a)のデバイスを作製した。本研究において、過去の報告⁴で金属錯体分子を発光層として含む ECL デバイスにおいて大幅な黄色 ECL 発光の輝度の改善をもたらした有機分子 2CzPN を酸化還元メディエーターと

して、SiQD ECL デバイスに添加した。

3. 実験結果とまとめ

Fig. 1(b)に SiQD のみ、また 2CzPN を添加した溶液を用いた印加電圧 4 V でのデバイスの発光の様子と ECL スペクトルを示す。図から 2CzPN 添加により SiQD のバンド間遷移に起因する ECL 発光の強度が約 12 倍に増加していることが確認できた。これは 2CzPN が酸化還元メディエーターとして作用し、SiQD の励起効率を大幅に向上させたためと考えられる。本講演では、その他の発光特性改善のメカニズムの検討を含む詳細な実験結果について報告する。

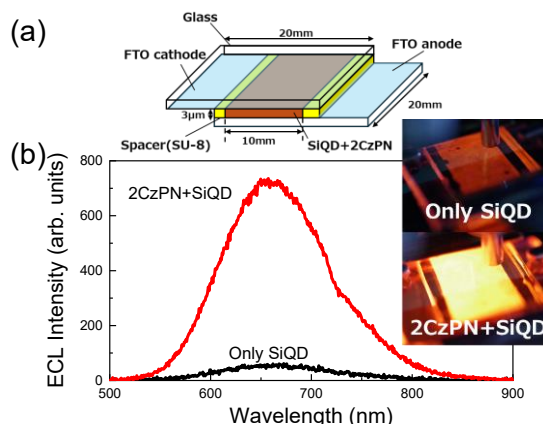


Fig. 1:(a) Schematic illustration of ECL device. (b) ECL spectra of SiQD ECL devices with and without 2CzPN. Inset shows the pictures of the corresponding devices.

参考文献：1) F. Maier-Flaig et al., Nano Lett. 13, 475 (2013); 2) R. Sugaya et al., ACS Appl. Opt. Mater. 3, 178 (2025); 3) E. Kato et al., Electrochemistry. 91, 047002 (2023); 4) N. Ichinohe et al., Electrochemistry, 92, 027004(2024)

13 Semiconductors | Oral presentation : 13.8 Optical properties and light-emitting devices

[9p-N205-1~8] 13.8 Optical properties and light-emitting devices

[9p-N205-1]

Emission color change in $\text{Ca}_5\text{Ga}_6\text{O}_{14}$ depending on the Bi^{3+} concentration

○(M2)Taiyo Inomata¹, Wataru Hikita¹, Kenji Toda¹ (1.Niigata Univ.)

[9p-N205-2]

Predicting site-preference for Eu^{2+} -activator in inorganic phosphors by machine learning

○Jumpei Yamashita¹, Yukinori Koyama², Takashi Takeda², Hidekazu Ikeno¹ (1.Osaka Metropolitan Univ., 2.NIMS)

[9p-N205-3]

Optical properties of GaN:Eu,O with controlled excitation efficiency

○Keito Mori¹, Shuhei Ichikawa¹, Yasufumi Fujiwara², Kazunobu Kojima¹ (1.Osaka Univ., 2.Ritsumeikan Univ.)

[9p-N205-4]

Potential of Eu^{3+} -Doped CaCO_3 Phosphor for Luminescence Thermometry

○(D)Hirohisa Miyata¹, Yuichi Hirai², Takayuki Nakanishi², Jumpei Ueda¹ (1.JAIST, 2.NIMS)

[9p-N205-5]

Evaluation of solid-liquid phase transition in organic-inorganic hybrid material using simultaneous measurement of photoluminescence and X-ray total scattering data

○Seiya Shimono¹, Kei Watanabe¹, Shogo Kawaguchi¹, Hiroki Yamada¹ (1.JASRI)

[9p-N205-6]

Trap Density of Photo-Stimulated Luminescence in $\text{Zn}_2\text{GeO}_4\text{:Mn}^{2+}$

○(M2)Rintaro Kadowaki¹, Tsuyoshi Okuno¹ (1.The University of Electro-Communications)

[9p-N205-7]

Luminescence enhancement of deep-red-emitting $\text{SrCa}_2\text{Ga}_2\text{O}_6\text{:Mn}^{4+}$ by Ba^{2+} -doping

○(D)Wataru Hikita¹, Yuko Nasuda², Hiroshi Okura², Kenji Toda¹ (1.Niigata Univ., 2.Fuso Chem. Co., Ltd.)

[9p-N205-8]

Improvement of luminescence properties $\text{ZnGa}_2\text{O}_4\text{:Cr}^{3+}$ far-red emitting phosphors by doping with In and Si

○Misuke Maruyama^{1,2}, Tomoki Abe^{1,3}, Takeru Sugimoto^{1,3}, Takemi Yamamoto^{1,2}, Takahiro Asino^{1,2}, Koutoku Ohmi^{1,2} (1.Tottori Univ., 2.Densibutsuri Lab., 3.Hikarihandoutai Lab.)

Ca₅Ga₆O₁₄における Bi³⁺濃度に依存した発光色変化

Emission color change in Ca₅Ga₆O₁₄ depending on the Bi³⁺ concentration

新潟大¹ ○(M2)猪俣 太陽¹, (D)疋田 渉¹, 戸田 健司¹

Niigata Univ.¹ ○Taiyo Inomata¹, Wataru Hikita¹, Kenji Toda¹

E-mail: f24b038a@mail.cc.niigata-u.ac.jp

【緒言】

Bi³⁺賦活蛍光体は 3P-1S 電子軌道間の 6p-6s 電子スピン許容遷移による発光を示す材料であり、Bi³⁺イオンの配位環境に強く依存して発光色が変化する。一方で、その励起スペクトルはほとんどの場合で近紫外領域にのみ現れる。このような特徴から、紫外線を吸収したり可視光に変換したりする必要のある用途での利用が考えられる材料である。本研究では、新規な Bi³⁺賦活蛍光体の探索を行っていたところ、ストークスシフトの広い橙赤色発光を示す Ca₅Ga₆O₁₄:Bi³⁺を発見した。しかしながら、Ca₅Ga₆O₁₄:Bi³⁺は緑色発光する蛍光体として既に報告されており^[1]、今回得られた発光は前例のないものであった。

【実験】

Ca₅Ga₆O₁₄:Bi³⁺は通常の固相反応法により合成した。原料である CaCO₃, Ga₂O₃, Bi₂O₃ を Ca_{5(1-x)}Bi_{5x}Ga₆O₁₄ (0.0025 ≤ x ≤ 0.03) の組成となるように秤量し、アセトンを加えてメノウ乳鉢で湿式混合した。混合物をペレット状に成形し、アルミナボートに置いて空気雰囲気下 1200°C で 6 時間焼成し目的物を得た。

【結果と考察】

図 1 に合成した試料の励起・発光スペクトルを示す。紫外線を照射したところ、Bi³⁺イオンが濃度 1 mol%以下の試料では橙赤色発光、それより高濃度の試料では緑色発光が見られた。リートベルト解析により、Bi³⁺イオンは低濃度のときは歪んだ八面体型の Ca サイトに優先的に固溶し橙赤色発光を示し、高濃度のときは三角柱型の Ca サイトに優先的に固溶し緑色発光を示していると考えられた。

結晶場強度の観点では、三角柱型サイトに比べ八面体型サイトのほうが強い結晶場となるため、

Bi³⁺イオンが八面体型サイトに固溶して長波長発光が現れたと考えられる。以上より、橙赤色発光する Ca₅Ga₆O₁₄:Bi³⁺を開発し、その発光特性の由来を明らかにすることに成功した。

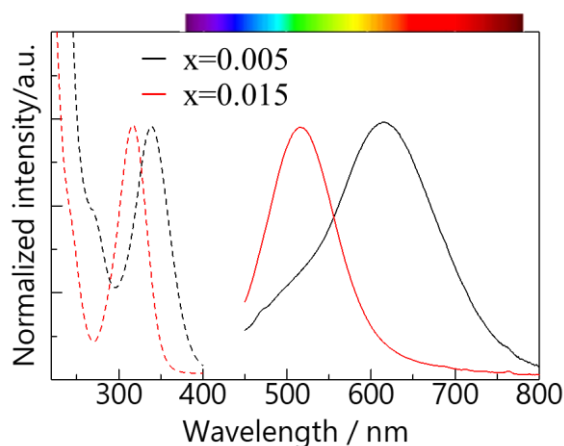


Fig. 1 PLE (broken lines) and PL (solid lines) spectra of Ca_{5(1-x)}Bi_{5x}Ga₆O₁₄ phosphors.

【参考文献】

[1] B. Qu et al., *J. Lumin.*, **263**, 120106, (2023).

機械学習を用いた無機蛍光体における Eu²⁺賦活イオンのサイトプリファレンス予測

Predicting site-preference for Eu²⁺-activator in inorganic phosphors by machine learning

阪公大工¹, 物材機構² ○(M2) 山下 淳平¹, 小山 幸則², 武田 隆史², 池野 豪一¹

Osaka Metropolitan Univ.¹, NIMS.², ○Jumpei Yamashita¹, Yukinori Koyama², Takashi Takeda²,

Hidekazu Ikeno¹

E-mail: sn24959g@st.omu.ac.jp

【緒言】無機結晶に発光イオンを賦活した無機蛍光体は、白色 LED など身近に用いられており、現在も新規蛍光体の研究が活発に行われている。Eu²⁺イオンは代表的な賦活イオンであるが、空間的に広がった Eu-5d 軌道が配位子の軌道と強く混成するため、賦活イオンが形成するエネルギー準位は配位子の種類や配位数などの局所構造の影響を受け変化する。そのため、発光特性も局所構造の影響を強く受ける。現在探索されている蛍光体には、置換サイトの候補が複数あるものも多く、サイトによって局所構造が異なるため発光特性も異なる。無機蛍光体における賦活イオンのサイトプリファレンスを実験的に報告している例は少なく、第一原理計算による評価は、スーパーセルを用いるため計算コストが高いという問題がある。そこで本研究では、機械学習を用いてホスト結晶の原子配列から直接 Eu²⁺ 賦活イオンのサイトプリファレンスを予測することを目的とする。

【手法】本研究では、Eu²⁺の置換サイトとして複数の候補が考えられる無機蛍光体を対象とした。ホスト結晶を同族元素で置換した仮想構造や、同一組成で実験的に報告されている空間群とは異なる空間群の結晶構造も計算対象にした。100～350 原子程度のスーパーセルを作成し、各置換サイトに Eu を 1 つ賦活した系についてそれぞれ第一原理計算で求めた全エネルギーを比較することで、サイトプリファレンスを決定した。交換相関ポテンシャルには GGA+*U* 法を用い、Eu の 4f 軌道に *U*=7.5 eV のハバード項を加えた。得られたデータを用いて、占有サイト予測分類モデルを構築した。説明変数には、ホスト結晶の配位数や結合長などの幾何学的なものに加えて、電気陰性度や電気陰性度などの元素の特徴量を用意し、Sequential Feature Selection(SFS)法による特徴量選択を実施した。機械学習アルゴリズムには LightGBM を採用し、*k* 分割交差検証(*k*=5) とベイズ最適化によるハイパーパラメータの調整を行った。

【結果】仮想構造を含む Eu²⁺無機蛍光体 273 個の系についてサイトプリファレンスの計算を行った。データを訓練データ 232 個、テストデータ 41 個に分割しモデルを作成した。正解率(Accuracy)によってモデルを評価した結果を Fig.1 に示す。テストデータにおいて、85%の確率で占有サイトを正しく予測するモデルの構築に成功した。また、特徴量重要度を Fig.2 に示す。モデルに最も影響を与えた特徴量は配位多面体の小さなサイトの最短結合距離に対する配位多面体の大きなサイトの最短結合距離であった。

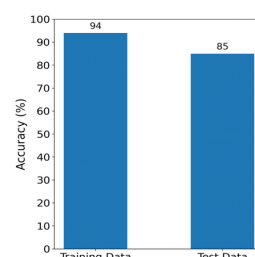


Fig.1. Accuracy in the prediction model.

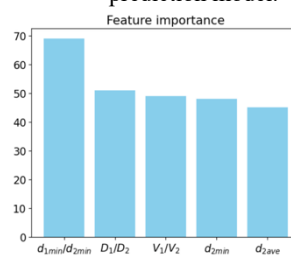


Fig.2. Feature importance.

d: Binding distance

D: Distance between cations

V: Coordination polyhedron Volume

Subscripts 1 and 2 denote the size with the larger and smaller coordination polyhedron sizes, respectively.

成長中のアニール処理により励起効率を制御した Eu, O 共添加 GaN の光学特性

Optical properties of GaN:Eu,O with controlled excitation efficiency

by annealing during epitaxy

阪大院工¹, 立命館大総研² ○森 恵人¹, 市川 修平¹, 藤原 康文², 小島 一信¹

Osaka Univ.¹, Ritsumeikan Univ.²

○Keito Mori-Tamamura¹, Shuhei Ichikawa¹, Yasufumi Fujiwara², Kazunobu Kojima¹

E-mail: mori@sfm.eei.eng.osaka-u.ac.jp

希土類元素の Eu に加えて O を共添加した GaN(GaN:Eu,O)は色純度の高い赤色発光を示し、チップサイズの減少に伴う発光効率の低下も殆どないことから、赤色 μ -LED の候補として期待されている[1]。これまでの研究において、結晶成長後にアニール処理を施すことが、LED の更なる高輝度化にむけて有用であることが明らかになっている[2]。一方で、LED 構造成長後のアニール処理では、p 型コンタクト層へのダメージなどから電気特性の悪化などに課題があった。

そこで本研究では、結晶成長過程でのアニール処理によって、同様の高輝度化の効果が得られることを目指し、成長中のアニール処理の有無を変化させて GaN:Eu,O 試料を作製し、光学評価を行った。有機金属気相成長(OMVPE)法により、サファイア基板上に厚さ 300 nm の GaN:Eu,O を発光層として有する LED 構造を成長した。この際、GaN:Eu,O 層成長後かつ p-GaN 層成長直前に、成長炉内でアニール処理(1100°C, 20 min)を施し、アニール処理を施さなかった試料と併せて評価を行った。波長可変の CW 色素レーザーを用いて、10 K 下で Eu の 5D_0 - 7F_0 準位間を共鳴励起した際の PL 励起分光マップ(CEES)を Fig. 1 に示す(図中のラベルは各種発光中心を表す)。アニール処理のない場合に観測された発光中心 OMVPE1,2 (輸送効率が低いため高輝度・高効率化に不利)が、成長中アニール処理を施した場合には消光していることが明らかになった。また 320 nm 固体レーザーを用いて GaN 母体を励起した場合の、規格化 PL スペクトルと、積分球を用いた測定により同定した各試料の室温での外部量子効率(EQE)を、Fig. 2 および Fig. 3 にそれぞれ示す。母体励起の場合でも同様に、OMVPE1,2 に相当する低エネルギー側のショルダー部分の PL 強度が低くなっていることが分かる。いずれの試料においても、強励起領域では Eu 励起準位の飽和による EQE の低下がみられるが、弱励起領域ではアニール処理を施した試料で高い EQE を示すことが明らかになった。レート方程式に基づく理論解析から[4]、両試料中の光学活性な Eu 濃度はともに $7.6 \times 10^{18} \text{ cm}^{-3}$ 程度と見積もられたが、アニール処理を施すことで Eu^{3+} イオンの励起寿命が 36 μs から 25 μs に短寿命化することが明らかになった。これは、エネルギー輸送効率の高い発光中心の再形成がアニールに伴って生じ、弱励起領域での EQE の向上に寄与したことを示している。以上より、結晶成長過程でのアニール処理によりエネルギー輸送効率を制御することが可能であり、特に弱励起領域での動作を想定した μ -LED 素子の高輝度化に対して有利な技術であることが明らかになった。当日は添加 Eu 濃度を増加した試料の評価結果についても発表を行う。

謝辞 本研究は科研費(No. 23H05449)の支援を受けて行われました。

文献 [1] A. Dussaigne, *et al.*, *JAP* **128**, 135704 (2020). [2] T. Iwaya, *et al.*, *APL* **122**, 032102 (2023). [3] D. Timmerman, *et al.*, *PRA* **13**, 014044 (2020). [4] 森恵人ら, 第 72 回春季応物学会, **16p-K302-3** (2025).

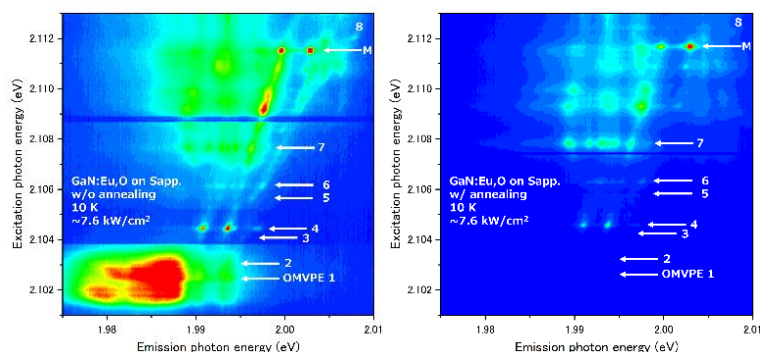


Fig. 1. CEES mappings of (a) without and (b) with annealing in GaN:Eu,O samples at 10 K.

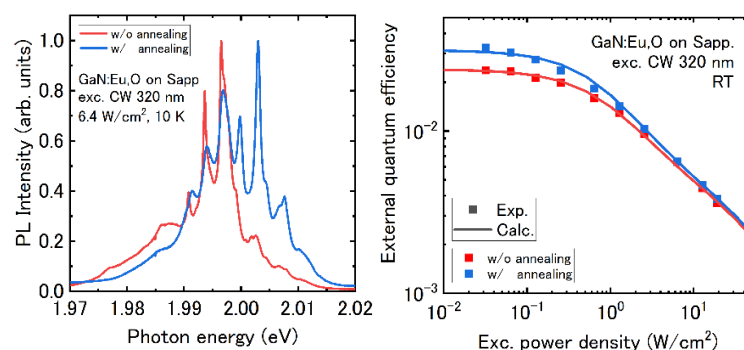


Fig. 2. PL spectra of with and without annealing in GaN:Eu,O by indirect excitation at 10 K.

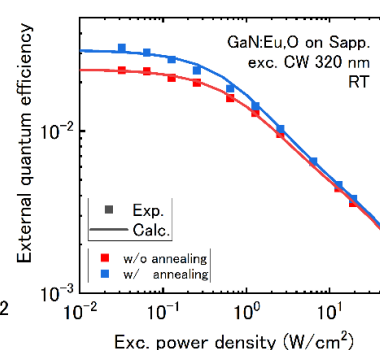


Fig. 3. An excitation power dependence of EQE values in GaN:Eu,O samples at RT.

Eu³⁺添加 CaCO₃ 蛍光体の蛍光温度計への応用可能性について

Potential of Eu³⁺-Doped CaCO₃ Phosphor for Luminescence Thermometry

北陸先端科学技術大学院大学¹, 物質・材料研究機構²

○(D) 宮田大壽¹, 平井 悠一², 中西 貴之², 上田純平¹

Japan Advanced Institute of Science and Technology¹, National Institute for Materials Science²,

Hirohisa Miyata¹, Yuichi Hirai², Takayuki Nakanishi², Jumpei Ueda¹

E-mail: ueda-j@jaist.ac.jp

【背景】蛍光温度計とは、プローブの発光特性の温度依存性を利用して温度を測定する温度計である。蛍光温度計に用いられる発光特性には、蛍光寿命、発光強度、発光波長等があるが、本研究では Eu³⁺の異なる遷移の発光強度比の温度依存性を利用する。ホストとして選択した CaCO₃ の安定相である calcite (*R* $\bar{3}c$)は、分子性アニオンである CO₃²⁻イオンが層状に積み重なった構造を持ち、温度の上昇に伴い CO₃²⁻イオンが回転し“向き”を失うことで *R* $\bar{3}m$ 相へと相転移する。[1] Eu³⁺ の ⁵D₀-⁷F_j 発光において、⁵D₀-⁷F₁ 発光は磁気双極子遷移 (MD), ⁵D₀-⁷F₂ 発光は電気双極子遷移 (ED) に由来する。MD 遷移の遷移確率は周囲の環境にほとんど影響されないのに対し、ED 遷移の遷移確率は局所環境に対して非常に敏感である。本研究では、温度による結晶構造の微小な変化に伴う ED/MD 比の変化を用いた温度計測を企図する。また、CaCO₃:Eu³⁺ 蛍光体の蛍光温度計としての応用可能性を探ると共に、分子性アニオンが蛍光体の発光特性に与える影響についても検討する。

【実験方法】CaCO₃:0.5%Eu³⁺-0.5%Li⁺を共沈法及び沈殿物の熱処理により合成した。CaCl₂・2H₂O (3N), EuCl₃・6H₂O (4N), (NH₄)₂CO₃ を出発原料とし、目的組成比の塩化物水溶液を攪拌しながら (NH₄)₂CO₃ 水溶液を滴下した。得られた沈殿物は遠心分離し 80°C で乾燥した後、電荷保障剤として Li₂CO₃ (4N)を加え 700°C, CO₂ 雰囲気中で熱処理した。作製した試料の結晶相は粉末 X 線回折(XRD)により同定し、熱処理後のサンプルを試料として各種光学測定を行った。

【結果・考察】XRD パターンより熱処理後のサンプルは calcite の単相であることが確認された。Fig. 1 に単結晶 XRD パターンの温度依存性を示す。結晶構造解析より昇温による格子の膨張が観測されたが、測定温度領域では相転移は認められなかった。一方 Fig. 2 の蛍光スペクトルの温度依存性より ED/MD 比が昇温に応じて減少したことが分かる。本発表では詳細な結晶構造解析と光学測定により calcite 結晶の温度変化に伴う微細な構造変化に伴う光学特性の変化について議論する。

[1] R. Hazen and R. Downs, *High-Temperature and High Pressure Crystal Chemistry* (De Gruyter, Berlin, Boston, 2000).

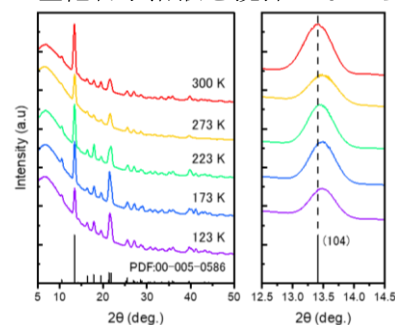


Figure 2 Temperature dependence of single crystal XRD pattern.

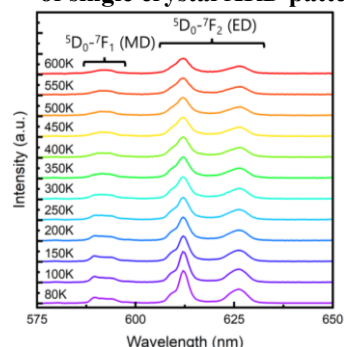


Figure 2 Temperature dependence of CaCO₃:Eu³⁺ PL spectra normalized by MD intensity.

X線全散乱と発光特性の同時測定システムを用いた 有機・無機ハイブリット蛍光材料の評価

Evaluation of solid-liquid phase transition in organic-inorganic hybrid material using
simultaneous measurement of photoluminescence and X-ray total scattering data

JASRI¹, °下野 聖矢¹, 渡邊 佳¹, 河口 彰吾¹, 山田 大貴¹

JASRI¹, °Seiya Shimono¹, Kei Watanabe¹, Shogo Kawaguchi¹, Hiroki Yamada¹

E-mail: s_shimono@spring8.or.jp

マンガンイオンを発光中心とする蛍光材料は、ランタノイド元素を発光中心とする蛍光材料と比較して、製造コストや毒性が低いため、様々な光学分野に応用できる可能性がある。最近では、蛍光体の骨格構造に有機・無機ハイブリット材料を用いることで、発光に關与するマンガンの元素間距離を有機分子で制御した高効率な蛍光体が報告されている[1,2]。一方で、熱安定性の向上のために、発光特性の熱安定性の詳細な評価と分析が不足していることが、LEDデバイスへの応用に向けた重要な課題となっている。

本研究では、発光特性の熱安定性を評価するために、SPRING-8のビームラインBL04B2にX線全散乱と発光特性の同時測定システムを構築した(図1)。このシステムにより、100 K~1073 Kの温度領域で、個々の測定データ間で生じる測定条件の差を排除することができ、発光特性の熱安定性を結晶構造の観点から解明することが可能となる。図2に $[\text{C}_5\text{H}_9\text{N}_2]_2[\text{MnBr}_4]$ における同時測定の結果を示す。固体-液体相転移において、発光の消光が観測され、先行研究と同じ結果が得られた[2]。当日は、同時測定システムおよび有機・無機ハイブリット蛍光材料の $[\text{C}_5\text{H}_9\text{N}_2]_2[\text{MnCl}_{4-x}\text{Br}_x]$ ($x = 0 \sim 4$)の実験結果の詳細について発表する。

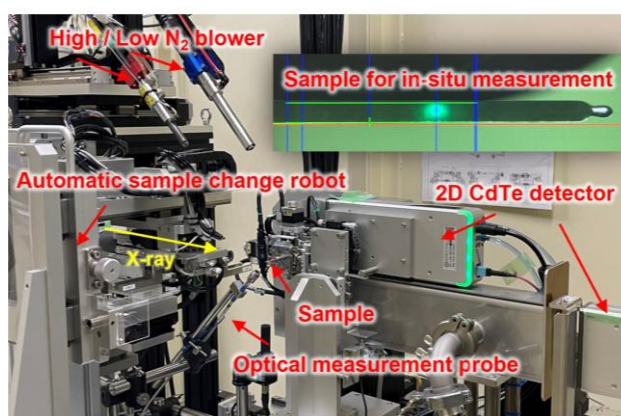


Fig. 1. Simultaneous XRD and PL measurement system at BL04B2, SPRING-8.

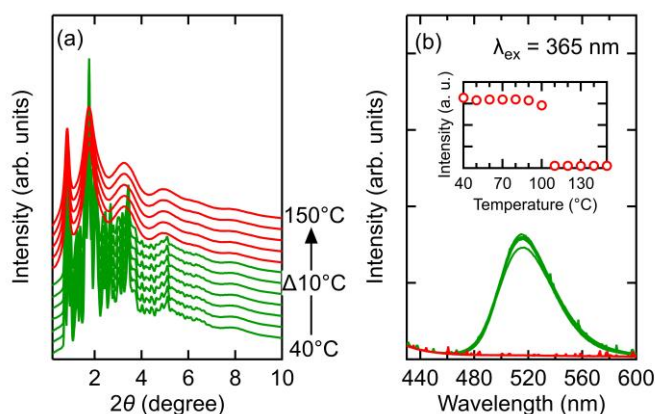


Fig. 2. Temperature dependences of XRD and PL data.

[1] Y. Qin, et al.: Coord. Chem. Rev. 416, 213331. (2020).

[2] S. Shimono, et al.: Mater. Res. Bull. 159, 112103 (2023).

Zn₂GeO₄:Mn²⁺における光刺激発光トラップ密度の評価

Trap Density of Photo-Stimulated Luminescence in Zn₂GeO₄:Mn²⁺

電気通信大学, °(M2)門脇 凜太郎, 奥野 剛史

The University of Electro-Communications, °Rintaro Kadowaki, Tsuyoshi Okuno

E-mail: k2433037@edu.cc.uec.ac.jp

1. 背景

我々にとって身近な記憶素子は、電子や磁気を用いたものがほとんどだが、近年では光電融合のように、電子よりも信号伝達速度が速く、損失の少ない光を使うことで高速化や省エネルギーを目指す試みが世界中で行われており、記憶素子も同様に、光を使ってデータを保持する光学データストレージ(Optical Data Storage)というものが研究されている。この光学データストレージに有望な材料としては、アップコンバージョンナノ粒子と呼ばれる蛍光体が注目されており、約 28 nm という集積度を実現している[1]。しかし、データの書き込みに相当するものは粒子の配置であり、光を用いるのは読み出しのみである。そこで、光刺激発光(Photo-Stimulated Luminescence: PSL)蛍光体を用いることで、書き込みも光で行うことができる記憶素子を実現できるのではないかと期待されている[2]。

光学データストレージに必要な要素としては、PSL 信号強度が十分に高い、残光減衰時間が短い、信号保持時間が長いなどが挙げられるが、PSL のメカニズムが完全には解明されておらず、指標となる材料が発見されていないのが現状である[3]。

本講演では、光刺激発光蛍光体 Zn₂GeO₄:Mn²⁺(ZGO:Mn)において、PSL 強度が励起光強度に対して飽和する現象を発見したことを報告するとともに、PSL トラップの密度を内部量子効率と PSL/PL 積分強度比などから推定した結果を紹介する。

2. 結果と考察

Figure 1.に ZGO:Mn の PSL 測定結果を示す。測定開始直後に 325 nm He-Cd レーザーを 60 秒間照射して励起し、その後遮断した。遮断から 60 秒後に 980 nm レーザーを照射して 300 秒間光刺激発光を測定した。なお、検出波長は発光スペクトルの最大値をとる 537 nm で測定を行った。

325 nm の励起光の強度を変えながら測定を行ったところ、100%から 0.1%までは PSL 積分強度がほとんど変化しなかったのに対して、0.1%から 0.0025%になると急激に変化する現

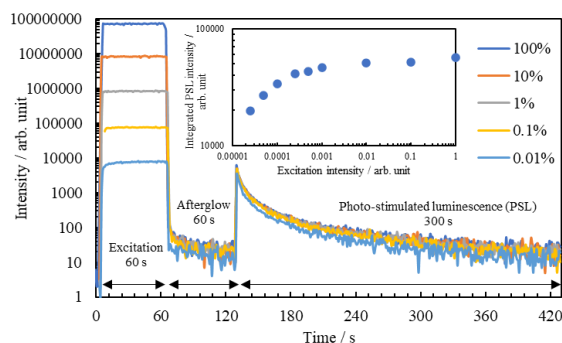


Figure 1. Measurement of PSL and Excitation intensity dependence of integrated PSL intensity in ZGO:Mn.

象を確認した。このことから、PSL トラップへの遷移確率は励起光強度によって決まるが、PSL トラップの数には上限があるため、励起光強度が一定値(飽和点)を超えると PSL トラップが一杯になり、それ以上遷移できなくなると考えられる。また、この飽和点を用いることにより、PSL トラップの密度を評価した。

PSL トラップ密度 N_T は、次の式で表される。

$$N_T = \frac{P_o \lambda \alpha \eta_{\text{int}}}{\pi h c r^2} \frac{I_{\text{st}}}{I_{\text{ex}}} (1 - e^{-\alpha d}) \quad (1)$$

ここで、 P_o は飽和点での励起光パワー(W)、 λ は励起光の波長(nm)、 α は吸収係数(cm^{-1})、 η_{int} は内部量子効率、 h はプランク定数、 c は光速、 r はビーム半径(cm)、 I_{st} は PSL 積分強度、 I_{ex} は励起光照射時の積分強度、 d は試料の厚み(cm)である。 $P_o=20 \mu\text{W}$, $r=0.06 \text{ cm}$ であり、測定結果から $\eta_{\text{int}}=0.455$, $I_{\text{st}}/I_{\text{ex}}=0.0109$ であったから、 $\alpha=1 \text{ cm}^{-1}$, $d=10^{-2} \text{ cm}$ とすると、 N_T は 10^{13} cm^{-3} となった。

3. まとめ

本研究では PSL 強度が励起光強度に対して飽和することを発見した。この結果は、光学データストレージを設計する際に最適な励起光強度の決定に応用できると考えられる。

参考文献

- [1] D. Dai et. al., *Molecules* **2024**, 29, 254
- [2] Y. Zhuang et. al., *Adv. Funct. Mater.* **2018**, 28, 1705769
- [3] L. Yuan et al., *Laser Photonics Rev.* **2020**, 14, 2000123

Ba²⁺固溶による深赤色蛍光体 SrCa₂Ga₂O₆:Mn⁴⁺の発光特性向上

Luminescence Enhancement of Deep-Red-Emitting SrCa₂Ga₂O₆:Mn⁴⁺ by Ba²⁺-Doping

新潟大院¹, 扶桑化学工業(株), °(D)疋田 渉¹, 那須田 祐子², 大倉 央², 戸田 健司¹

Niigata Univ., Fuso Chemical Co., Ltd.

E-mail: f24k002j@mail.cc.niigata-u.ac.jp

【緒言】

本研究では Tululite の構造を持つ深赤色蛍光体 SrCa₂Ga₂O₆:Mn⁴⁺の発光特性向上を目指した。SrCa₂Ga₂O₆ は結晶構造中に等間隔に隔てられた八面体サイトを有しており、Mn⁴⁺イオンはこのサイトに導入されて深赤色発光を示す^[1]。この構造的特徴から、八面体サイト同士の距離を離すような構造調整を行うことで、Mn⁴⁺イオン同士の距離が離れ、更なる発光強度の増大が期待できる。よって、結晶格子の拡大を期待して SrCa₂Ga₂O₆:Mn⁴⁺に対して Ba²⁺イオンの導入を検討した。

【実験】

Ba 固溶 SrCa₂Ga₂O₆:Mn⁴⁺ (Ba-SCG:Mn⁴⁺) は一般的な固相法により合成した。BaCO₃、SrCO₃、CaCO₃、Ga₂O₃、MnO₂ を Ba_{0.33}Sr_{0.67}Ca₂Ga₂(1-x)Mn_{2x}O₆ (0.01 ≤ x ≤ 0.06) の組成となるように量り、アセトンを加えてメノウ乳鉢で湿式混合した。混合物をアルミナボートに乗せ、空気雰囲気下 1000℃で 4 時間仮焼した。仮焼した混合物をメノウ乳鉢で再度粉砕し、アルミナボートに移して空気雰囲気下 1200℃で 6 時間焼成した。得られた試料は粉砕して粉末にして測定に利用した。

【結果と考察】

蛍光分光光度計を用いた測定により、紫外線または青色光照射下で Ba-SCG:Mn⁴⁺が 709nm にピークを持つ深赤色発光を示すことがわかった。発光強度は Mn⁴⁺濃度が x = 0.04 のときに最大となった。粉末リートベルト解析により、Ba²⁺イオンは Sr と Ca の 2 サイトに導入されており、結果として格子長が拡大したことが明らかになった。青色光励起時の発光強度は

SrCa₂Ga₂O₆:Mn⁴⁺に対して約 2 倍に到達した。この特性向上は BaCO₃ 原料の自己フラックス

効果による粒子成長と八面体サイト同士の距離が離れ濃度消光が抑制されたことが理由と考えられる。よって、Ba²⁺イオンの導入による深赤色蛍光体 SrCa₂Ga₂O₆:Mn⁴⁺の大幅な発光特性向上に成功した。

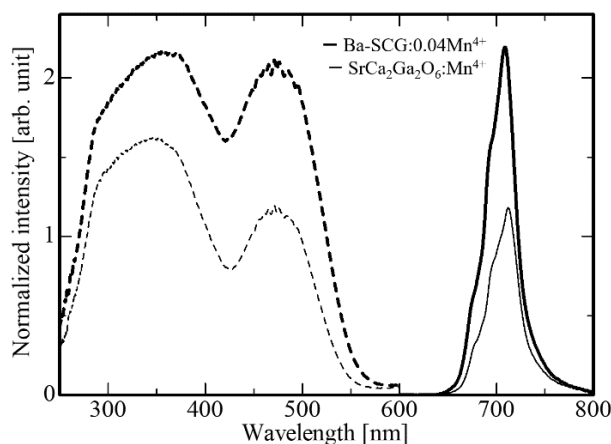


Fig. PLE (broken lines) and PL (solid lines) spectra of SCG:Mn⁴⁺ and Ba-SCG:0.04Mn⁴⁺ excited under blue light.

【参考文献】

[1] W. Hikita *et al.*, *RSC Adv.*, **15**, 7039-7049, (2025).

In、Si 共添加による ZnGa₂O₄:Cr³⁺ 遠赤色蛍光体の発光特性の改善

Improvement of luminescence properties of ZnGa₂O₄:Cr³⁺ far-red emitting phosphors

by doping with In and Si

鳥取大学¹ ○(M1)丸山美輔¹阿部友紀¹杉本彪瑠¹山本健幹¹芦野貴大¹大観光徳¹
Tottori Univ.¹ ○(M1)Misuke Maruyama¹,Tomoki Abe¹, Takeru Sugimoto¹, Takemi Yamamoto¹,
Takahiro Asino¹, Koutoku Ohmi¹
E-mail: m25j4058m@edu.tottori-u.ac.jp

1. 序論

これまで我々は植物育成用照明としての応用を目的として 700nm 付近で遠赤色発光を示す ZnGa₂O₄:Cr³⁺に着目し、粉末試料の発光特性改善や薄膜試料の導電性向上を検討してきた。そのような背景を踏まえて、粉末試料の発光特性改善のため我々は In をドーピングし最適濃度を検討した。その結果 ZnGa_{1.98-x}In_xO₄:Cr³⁺_{0.02}(x=0.08)粉末の 1350℃,5h 焼成試料で、混晶化と結晶粒子の成長が確認され、発光強度は約 1.5 倍に増加していた[1]。しかし薄膜での導電性がみられなかったため、導電性の発現と発光特性の改善を目指して、新たに Si のドーピングを試みた。

2. 実験方法

ZnGa_{1.90}O₄:Cr³⁺_{0.1} と ZnGa_{1.90-x}In_xO₄:Cr³⁺_{0.1} (x=0.08)、ZnGa_{1.90-(x+y)}In_xSi_yO₄:Cr³⁺_{0.1} (x=0.08, y=0.000125)の 3 つの試料を作製した。出発原料として ZnO,Ga₂O₃,Cr₂O₃,In₂O₃,SiO₂ を用い、それらの混合し、高速昇温電気炉にて 1350℃、11 時間、大気雰囲気中で焼成した。

3. 実験結果および考察

図 1 より、ICSD と比較して In・Si ドーピングした二つの試料はどちらも低角度側にシフトしており、これは Ga³⁺(0.76 Å)サイトにイオン半径の大きい In³⁺(0.94 Å)の置換が促進され、格子面間隔が拡大したからと考えられる。また、In ドープと In,Si 共ドープ試料ではシフトの変化がほとんど見られず、Si 添加量が非常に少なかったことによるものだと考えている。図 2 の SEM 画像より、粒径の大きさは無添加≒In 有 Si 無<<In 有 Si 有となっている。図 3 の PL・PLE スペクトルより、発光強度が In ドープで約 1.15 倍、In,Si 共ドープで約 2 倍に発光強度が増加している。これらの結果から、In のみのドーピングにより混晶化は起こるが結晶粒の成長はせず、発光強度の増加は僅かであるのに対し、In,Si 共ドーピングにおいては Si がフラックスとして働き固相反応が促進され、粒子が大きくなるとともに Cr³⁺の付活量が増加し、結果的に発光強度が大幅に増加したと考えられる。一方 In,Si 共ドーピング粉末試料における導電性は確認さ

れていない。

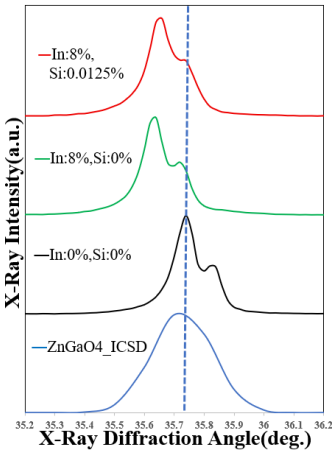


図 1 : XRD main peak.

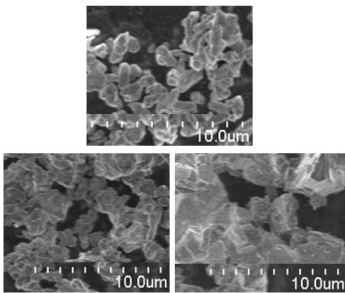


Fig. 2 SEM photographs
upper : In 0, Si 0 left : In 0.08, Si 0
right: In 0.08, Si 0.000125

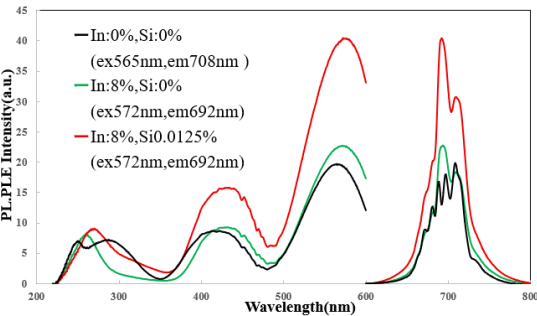


Fig. 3 PL and PL excitation spectra.

[1]山崎 他,第 71 回応用物理学会, 23 p-P04-10 (2024).

13 Semiconductors | Poster presentation : 13.8 Optical properties and light-emitting devices

[9p-P12-1~18] 13.8 Optical properties and light-emitting devices

[9p-P12-1]

Analysis of Near-Infrared Wavelength Quantum Cascade Lasers using CaF_2/Si Heterostructures

○(M2)Haibo Wang¹, Zhiyuan Fan¹, Shutang Qi¹, Masahiro Watanabe¹ (1.Science Tokyo)

[9p-P12-2]

Investigation of carrier lifetime in thin double-stacked quantum dot structures

○Yuto Yamaoka¹, Noriyuki Taoka¹, Wakana Takeuchi¹, Takeyoshi Sugaya², Keshiro Goshima¹ (1.AIT, 2.AIST)

[9p-P12-3]

Effects of stresses on a band structure of (001)-oriented semi-insulating InP:Fe

○Yasuhiro Matsuo¹, Naoki Nakamura¹, Hideo Takeuchi² (1.Mitsubishi Electric, 2.Osaka Metropolitan Univ.)

[9p-P12-4]

Crystal growth and optical properties of ZnIn_2Se_4 semiconductor

○Asato Takegami¹ (1.Gunma Univ.)

[9p-P12-5]

Cu doping effects on optical and electronic properties of double perovskite semiconductors with Ag and In under high pressure

○Ryotaro Shimoda¹, Takumi Horikoshi¹, Satoshi Nakano², Kiyoto Matsuishi¹ (1.Tsukuba Univ., 2.NIMS)

[9p-P12-6]

Exciton-biexciton dynamics in two-dimensional lead bromide perovskite

○(M2)Chikako Akagi¹, Masahiro Tokunaga¹, Hideyuki Kunugita¹, Kazuhiro Ema¹ (1.Sophia Univ.)

[9p-P12-7]

Deposition and Evaluation of CsPbBr_3 Perovskite Quantum Dots using Electrostatic Spraying Deposition Method

○(M2)Koshi Nishiguchi¹, Ryotaro Noguchi¹, Ginga Hamada¹, Tadahiro Tokuhara¹, Naoki Ohtani¹ (1.Doshisha Univ.)

[9p-P12-8]

Preparation and evaluation of thin films using InP Quantum Dots by Electrostatic Spraying Deposition Method

○(M2)Ryotaro Noguchi¹, Koshi Nishiguchi¹, Ginga Hamada¹, Tadahiro Tokuhara¹, Naoki Ohtani¹ (1.Doshisha Univ.)

[9p-P12-9]

Synthesis of copper indium sulfide quantum dots and their application to spectral converter

○Ginga Hamada¹, Naoki Ohtani¹, Tadahiro Tokuhara¹, Ryotaro Noguchi¹, Koshi Nishiguchi¹ (1.Doshisha Univ.)

[9p-P12-10]

Exploration of Liquid Phase Synthesis of Wide-Band Excitation and Narrow-Band Emission Carbon Dots

○(M1)Takeru Akiyama¹, Aoi Maruyama¹, Yoshiki Iso¹, Tetsuhiko Isobe¹ (1.Keio Univ.)

[9p-P12-11]

Exploration of Liquid-Phase Synthesis of Florescent Graphene Quantum Dots:
Optimal Design of Glycol Synthesis Solvents

○(M1)Maho Imamura¹, Yoshiki Iso¹, Tetsuhiko Isobe¹ (1.Keio Univ.)

[9p-P12-12]

Synthesis and Evaluation of a Terbium Complex Using Carbon Nitride-Based Dicyandiamide as a Ligand

○Ryo Nakahara¹, Haruki Takemura¹, Taisei Hara¹, Taisei Tominaga¹, Naoki Ohtani¹ (1.Doshisha Univ.)

[9p-P12-13]

Effect of Annealing Conditions on Optical Properties of LaF₃-LaOF: Yb³⁺/Tb³⁺

○Toshihiro Nonaka¹, Mutsuto Yamamoto², Takahito Imai³, Shin-Ichi Yamamoto³ (1.Otemon Gakuin Univ., 2.NIT Toyota College, 3.Ryukoku Univ.)

[9p-P12-14]

T_1 time of ¹⁶⁷Er hyperfine structure measured by time-resolved spectral hole burning

○(M2)Taeko Hamazaki¹, Zentaro Matsuzaki¹, Hiroo Omi², Shoichiro Yasui^{3,4}, Satoru Adachi³, Tomohiro Inaba⁴, Xuejun Xu⁴, Takehiko Tawara¹ (1.Nihon Univ., 2.Yamato Univ., 3.Hokkaido Univ., 4.NTT Basic Research Lab.)

[9p-P12-15]

Novel Crystal structures of Phosphor for WLED with Wide Emission Wavelength Range by Machine Learning

○(M1)Manato Omori¹, Masaya Abe¹, Hayato Higuchi², Masaya Miyagawa², Hiromitsu Takaba² (1.Sch. Adv. Eng. Kogakuin Univ., 2.Dept. Env. Chem. Kogakuin Univ.)

[9p-P12-16]

Doping Effects of Cr₂O₃ on Broad Near-infrared Luminescence of Bi₂O₃-GeO₂ Glasses

○Yasushi Nanai¹, Yusuke Shinomoto¹, Moe Suzukawa¹, Nobuaki Kitazawa¹ (1.Natinal Defense Acad.)

[9p-P12-17]

Control of Persistent Luminescence Characteristics of Multicomponent Gallium Oxides by Ion Doping

○Yuki Misawa¹, Naoteru Nakao¹, Hiroaki Samata¹ (1.Kobe Univ.)

[9p-P12-18]

Influence on luminescent properties of Al addition for Sr₂MgSi₂O₇:Eu,Dy afterglow phosphors

○(DC)Jumpei Kamikawa¹, Haruka nagao², Nobuhisa Fujima^{1,2}, Hiroko Kominami^{1,2}, Kazuhiko Hara^{1,2,3} (1.Grad.School of S&T., Shizuoka Univ., 2.Faculty of Eng., Shizuoka Univ., 3.Res. Inst. Electron.)

Si/CaF₂ ヘテロ構造を用いた 近赤外波長量子カスケードレーザの理論解析

Analysis of Near-Infrared Wavelength Quantum Cascade Lasers using CaF₂/Si Heterostructures

東京科学大学工学院 ○王 海波, 范 志遠, 祁 樹堂, 渡辺 正裕

Science Tokyo, ○Haibo Wang, Zhiyuan Fan, Shutang Qi and Masahiro Watanabe

E-mail: wang.h.aq@m.titech.ac.jp

【はじめに】量子カスケードレーザ(QCL)は、量子井戸中のサブバンド間遷移を光利得の基本原則とすることから、活性層材料として、間接遷移半導体であるシリコン(Si)をも想定することが可能となる。本研究では、Si と CaF₂ のヘテロ構造を用いて、想定発振波長 1.65 μm の QCL 構造を提案する。Si と CaF₂ は結晶構造が類似で、格子不整合は 0.6 % と小さく、Si 基板上に高品質な Si/CaF₂ 薄膜積層構造をエピタキシャル成長させて深い量子井戸を形成できることから、近～中赤外での発振が可能な活性層が設計可能である。SOI 基板上に形成した量子井戸活性層とスラブ型導波路を想定した QCL 構造を提案し、しきい値電流密度の理論解析を行ったので報告する。

【素子構造】今回提案する QCL の構造を Fig.1 に示す。SOI 基板上にスラブ型導波路を仮定し、活性層(active layer)を上下に挟んだ Si 導電層を介して電流を注入する。活性層 1 周期分の量子井戸構造を Fig.2 に示す。注入層、遷移層、引き抜き層の各層は、Si と CaF₂ が交互に積層された構造であり、Si/CaF₂ 界面におけるバンド不連続は 1~2.3[eV]であることから[1]、近赤外波長のレーザ設計が可能となっている。緩和層を除いた 1 周期の Si/CaF₂ 層厚構成は (0.93/0.62/0.93/0.62/0.62/1.24/1.55/1.24/0.62/1.24) nm である。今回提案する注入層は 2 つの Si 量子井戸で構成され、それぞれの基底準位を介して遷移層の上位準位まで電子をトンネル輸送する。遷移層は、サブバンド間のエネルギー差により 1.65 μm のレーザ発振が可能となるよう準位設計され、引き抜き層により反転分布を実現する。

【閾値電流密度解析】注入層の注入可能最大電流密度は、エミッタのドーピング濃度を 10^{19}cm^{-3} と仮定した場合に、11.7 kA/cm^2 と見積もられた。Fig. 3 に示す解析結果より、3 種類の異なる

導電層厚さ(t_{CL})における閾値電流密度 J_{th} の特性を比較したところ、 t_{CL} が 100 nm のときに閾値電流密度が最も低くなることが確認された。散乱時間 $\tau_{21} \cong \tau_2 = 0.63 \text{ ps}$, $\tau_1 = 0.31 \text{ ps}$ [2]、周期数 $N = 15$ 、導波路幅 $W = 900 \text{ nm}$ 、 $t_{\text{CL}} = 100 \text{ nm}$ とし、n 型 Si による自由キャリア吸収および導波路損失(20 cm^{-1})を考慮した 2 次元導波路モード解析を行った結果、光閉じ込め係数 $\Gamma = 0.82$ が得られた。これに基づき算出された J_{th} は 1.82 kA/cm^2 であり、注入可能最大電流密度を大きく下回る値となった。以上の結果から、本構造は十分な光利得を確保できると考えられ、レーザ発振の可能性が示唆された。

[1] K.Suda et al., Jpn. J. Appl. Phys. 54 04DJ05 (2015).

[2] G. Tei et al., IEICE Trans. Electron., E106.C(5), 157–164 (2023).

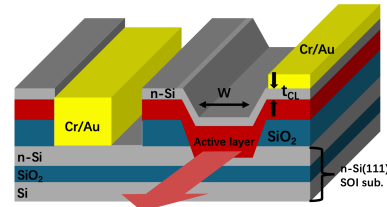


Fig.1 素子構造模式図

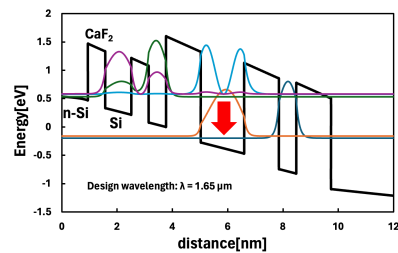


Fig.2 活性層バンドプロファイル

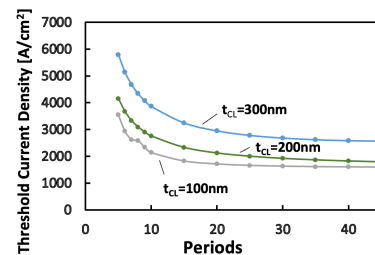


Fig.3 閾値電流密度

2 層積層構造量子ドットの発光寿命の解析

Investigation of carrier lifetime in thin double-stacked quantum dot structures

愛知工業大工¹, 産総研² 山岡 勇登¹, 田岡紀之¹, 竹内和歌奈¹, 菅谷武芳², 五島敬史郎¹

Aichi Institute of Technology¹, AIST², Yuto Yamaoka¹, Noriyuki Taoka¹, Wakana Takeuchi¹,
Takeyoshi Sugaya², Keshiro Goshima¹,

E-mail: v25727vv@aitech.ac.jp

1.はじめに

近年, 通信における情報量の増加に伴い, 高速伝送が求められている. その中で光通信が注目され, 主な光源として半導体レーザーが広く利用されている. しかし従来の半導体レーザーは, 発熱や光の損失により電力変換効率が低く, 温度上昇によって閾値電流が増加するという課題を抱えている. これらの問題を克服する次世代光源として期待されているのが量子ドットレーザーである. 量子サイズ効果により, 量子ドットはエネルギー準位が離散化し, 温度変化に強く, 低閾値電流・低消費電力・高速変調応答などの特長を示す. 特に, 発光寿命は発光効率や閾値電流密度に影響を与える重要なパラメータであり, その最適化は量子ドットレーザーの高性能化に不可欠である.

本研究では, 積層構造の量子ドットのレーザーへの応用を目指し, 積層量子ドットのドット間隔によるキャリアの緩和過程の違いについて解明することを目的としている.

2.実験方法

本研究で使用した試料を Fig.1 に示す. 試料は, GaAs 基板上で量子ドットに In_{0.4}Ga_{0.6}As, バリア層に GaAs を用いて成長させた. ドットの形状は四角錐台である.

今回用いた構造は量子ドットを積層する際, 2 層毎に積層間隔を 40[nm] 離れた構造で, ドット間隔を d として $d=10\text{nm}$, $d=7\text{nm}$, $d=3\text{nm}$ の 3 種類の試料で実験を行っている. [3]

この 3 種類の試料に対し, 10K において PhotoLuminescence (PL) 法で発光強度を測定し, ピーク付近の波長に対して Time-Correlated Single Photon counting (TCSPC) 法で発光寿命を測定した.

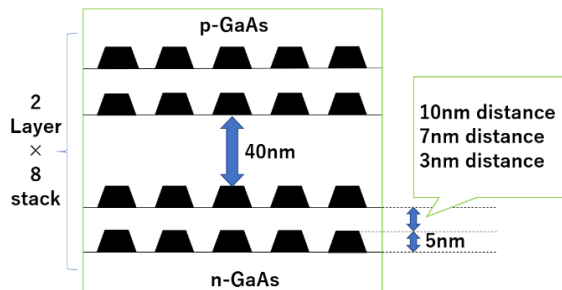


Fig.1 Sample Structure

3.実験結果

最大光子数を測定した時刻($t=0$)から任意の時間 t における光子数の変化 $\Delta n_e(t)$ は以下の式で表すことができる.

$$\Delta n_e(t) = \Delta n_e(0) \exp\left(-\frac{t}{\tau}\right) \quad (1)$$

式(1)における τ が発光寿命である. これを実験結果にフィッティングし求めた発光寿命を Fig.2 に示した. Fig.2 より $d=10\text{nm}$ や $d=3\text{nm}$ の発光寿命が 1.9~2.0ns に対し, $d=7\text{nm}$ は 2.3ns 前後と長い寿命になるという結果が得られた.

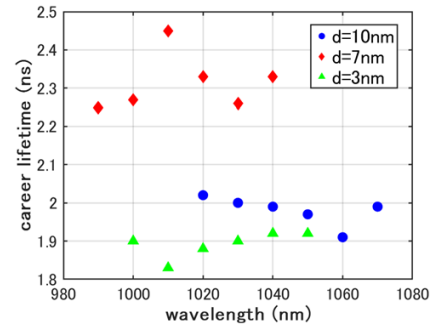


Fig.2 Career lifetime at 10K

4.考察

今回使用した $d=10\text{nm}$ は電子と正孔ともにドット内に波動関数が閉じ込められる. $d=7\text{nm}$ は, 正孔はドット内に波動関数が閉じ込められるのに対し, 電子は障壁層に波動関数が広がる. $d=3\text{nm}$ は電子と正孔ともに障壁層に波動関数が広がると考えている. また, 直接再結合による再結合確率 $W(\omega)$ は以下の式のように表される.

$$W(\omega) = |P_{cv}|^2 \frac{|\langle \phi_{e,ne} | \phi_{h,nh} \rangle|^2}{\delta(E_c(\mathbf{k}_{\parallel}) - E_v(\mathbf{k}_{\parallel}) - \hbar\omega)} \quad (2)$$

式(2)における $|\langle \phi_{e,ne} | \phi_{h,nh} \rangle|^2$ は電子と正孔の波動関数の重なり積分を示している. $|P_{cv}|^2$ は量子ドットを形成する材料固有の値のため今回は定数項と考える. ドット間隔によって量子準位は変化しないことからデルタ関数項中の $E_c(\mathbf{k}_{\parallel}) - E_v(\mathbf{k}_{\parallel})$ も変化しない. よって, $d=7\text{nm}$ は電子と正孔の波動関数の広がり方に違いがあることが重なり積分の値を小さくする原因となり, 遷移確率が低くなったと考えられる. 本発表では, 電子と正孔の空間分布に関するシミュレーションを用いて発光特性の議論を行う.

参考文献

- [1] 中山 正照: 半導体の光物性, pp246-248 (コロナ社, 2013)
- [2] G. Wang *et al.*, Appl. Phys. Lett. **64**, 2815 (1994)
- [3] T. Sugaya *et al.*, Appl. Phys. Lett. **97**, 043112 (2010)

(001) 面方位半絶縁性 InP:Fe への応力によるバンド構造への影響

Effects of stresses on a band structure of (001)-oriented semi-insulating InP:Fe

三菱電機株式会社 高周波光デバイス製作所¹ 大阪公立大学大学院 工学研究科²○ 松尾 泰弘¹, 中村 直幹¹, 竹内 日出雄²Mitsubishi Electric Corp.¹ ○Y. Matsuo, N. Nakamura, Osaka Metropolitan Univ.² H. Takeuchi

E-mail: matsuo.yasuhiro@ap.mitsubishielectric.co.jp

光通信システムで用いられる化合物半導体素子では、単結晶基板の格子定数と異なる材料をエピタキシャル成長してその格子を歪ませることでバンド構造を変化させる設計が適用されており、これに関する研究も精力的に行われている [1]。一方で化合物半導体素子は、電極材などで用いる異種材料との熱膨張係数の差などにより何らの応力が加わっているが、この応力のバンド構造、引いてはデバイス特性への影響はあまり調べられていない。

そこで我々は、Fe ドープされた (001) 面方位半絶縁性 InP 単結晶基板を半導体素子に適用する 90 μm 厚にして、保護金属を 100 nm 成膜し、劈開で 5 mm 幅の短冊状のサンプルを作製した。このサンプルを加圧により一軸方向に凸 (Tensile stress) と凹 (Compressive stress) の向きに応力を印加した状態をつくり、室温でサンプル表面を光変調反射 (Photoreflectance:PR) 分光法により評価を行った。ここでサンプルの応力量の計測には、Keyence 製レーザ顕微鏡 VK-X3000 を用いた。

PR スペクトルを Fig. 1 に示す。1.33 から 1.34 eV 付近で x 軸と交わるエネルギー値をバンドギャップエネルギー E_g に対応すると仮定すると、従来から報告されている基板との格子不整合からなる応力による E_g の変化と同様に [2]、応力に応じて Tensile stress においては小さくなり、Compressive stress では大きくなる傾向が観測された。これは素子のアセンブリ工程を含めた製造プロセスの応力が、デバイス特性に影響を与えることを示唆している。Fig. 2 に凹の向きに応力を与えたときの反り評価例を示す。講演では、これから得られる曲率半径と応力との関係性など詳細な報告をする。

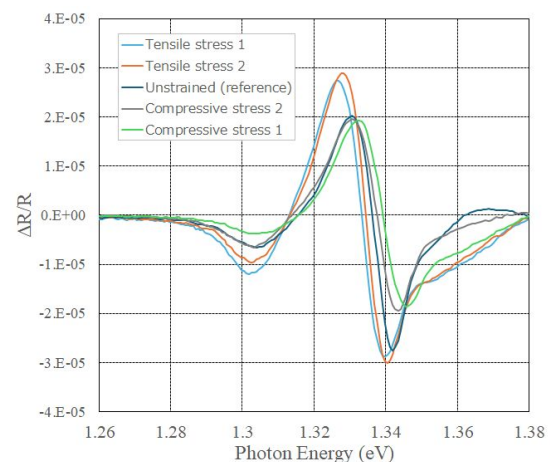


Fig 1: Photoreflectance spectra of (001)-oriented InP:Fe in the presence of various stresses.

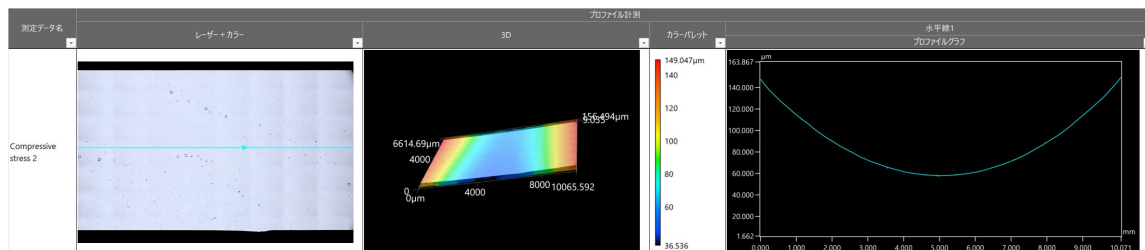


Fig 2: Flatness imaging of the sample in the presence of the compressive stress 2 denoted in Fig. 1.

[1] H. Asai and K. Oe, J. Appl. Phys. Vol.54 2052 (1983)

[2] Keh Yung Cheng, III-V Compound Semiconductors and Devices. Springer (2020) p225

ZnIn₂Se₄ 半導体結晶の育成と光学的評価

Crystal growth and optical properties of ZnIn₂Se₄ semiconductor

群馬大学大学院 理工学府 ○竹上 京里, 尾崎 俊二

Graduate School of Science and Technology, Gunma Univ., ○A. Takegami and S. Ozaki

E-mail: t241d034@gunma-u.ac.jp

研究背景 ZnIn₂Se₄ (ZISE)は欠損カルコパイライト構造を有する、バンドギャップエネルギー (E_g) が~1.9 eV の半導体である。しかし、結晶育成が困難であることから研究報告例は少なく、多くの光学物性が不明である。本研究では ZnIn₂Se₄ 結晶を育成し、光吸収およびフォトルミネッセンス (PL)測定を行ったので報告する。

実験 ZISE 結晶は垂直ブリッジマン法により育成した。カーボンコートを施した石英管に、化学量論的に秤量した Zn、In、Se (純度 99.9999%) を真空封入 (~10⁻⁶ Torr) し、アンプルを作製した。作製した石英アンプルは、温度勾配を有する縦型管状電気炉内に設置し、~1100°C に昇温した後、~1°C/h となる冷却速度で降下させることでバルク結晶を育成した。育成した結晶は XRD 測定を行い、欠損カルコパイライト構造であることを確認した。光吸収と PL 測定においては、ワイヤーソーにて切り出した結晶を両面鏡面研磨し、脱脂洗浄を行った後に使用した。

結果 Fig. 1 に光吸収係数 α^2 のスペクトルを示す。基礎吸収端は 22 ~300 K にかけて低エネルギー側にシフトしており、 E_g が単調に減少していることがわかる。Pässler の式を用いた解析の結果、これは電子-フォノン相互作用に起因すると考えられる。カルコパイライト構造 AgInSe₂ で観測されている様な E_g の特異な温度依存性¹⁾は、欠損カルコパイライト構造 ZISE では観測されなかった。また Fig. 2 に PL 測定の結果を示す。20 K ~300 K にかけて発光強度は小さくなり、ピークエネルギーは低エネルギー側に単調にシフトしていることがわかる。

1) S. Ozaki and S. Adachi, J. Mater. Sci: Mater. Electron **18**, p.S25 (2007).

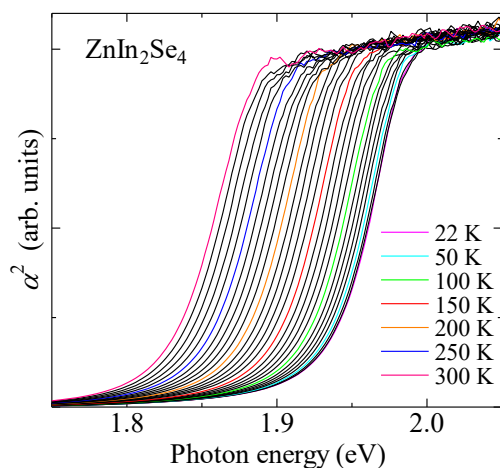


Fig. 1 吸収係数 α^2 の温度依存性

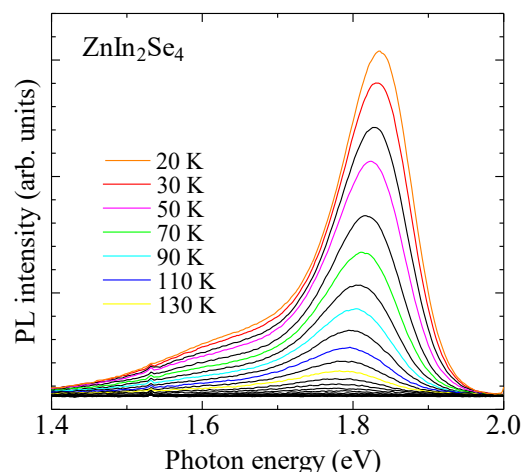


Fig. 2 PL スペクトルの温度依存性

Ag・In系ダブルペロブスカイト半導体の高圧下の光物性におけるCuドーピング効果

Cu doping effects on optical properties of double perovskite semiconductors with Ag and In under high pressure

筑波大数物¹、物材機構² ○(M1)下田諒太郎¹、堀越拓海¹、中野智志²、松石清人¹

Univ. of Tsukuba¹, NIMS², ○R. Shimoda¹, T. Horikoshi¹, S. Nakano², K. Matsuishi¹

E-mail: s2520373@u.tsukuba.ac.jp

有機無機複合型ペロブスカイト半導体は、太陽電池材料や光電子材料などへの応用が期待されているが、鉛使用による環境負荷や、空気中の不安定さといった課題がある。この課題を解決するために鉛の代わりに2つの金属カチオンを用いたハロゲン化金属ダブルペロブスカイト半導体が注目されている。その中でも本研究では、大気中で高い安定性を示し、ダブルペロブスカイト半導体の中では貴重な直接遷移型を示す $\text{Cs}_2\text{AgInCl}_6$ に注目した。この物質は大気圧中で、自己束縛励起子に由来するブロードな白色発光を示すため、発光デバイスへの応用も期待される。我々のグループでは、発光効率の向上やバンドギャップの制御のためにCuを添加した単結晶の作製に成功し、Cu添加によってバンドギャップや発光が変化することを確認してきた[1]。また、Cuを添加していない試料については、高圧下のX線回折測定や光吸収測定において、8.2 GPaで変調構造の出現(Fig. 1(a)中に示した矢印)を伴う立方晶から正方晶への構造相転移や、その前後でバンドギャップの特異な変化が見られる(Fig. 2 中に示した赤丸)など、非常に興味深い物性を明らかにしてきた。そこで、本研究では、Cuの添加によって高圧下の構造物性や光物性がどう変わっていくのかを明らかにすることを目的とした。

単結晶試料は水熱合成法により作製し、試料作製時の $\text{AgCl}:\text{CuCl}$ の仕込み値が1:15のものを $\text{Cs}_2\text{AgInCl}_6:\text{Cu15}$ と表記し、この試料を高圧実験に用いた。高圧下粉末X線回折測定では、8.2 GPaにおいて無添加の試料で見られた変調構造の出現と同様の変化が確認された(Fig. 1(a))。Fig. 1(b)には体積対圧力をプロットしたものを示す。この図から三次のBirch-Murnaghan状態方程式を使って体積弾性率を求めたところ、Cuを添加してもその値はほとんど変化せず、Cuは構造物性においては大きな影響を及ぼさないことが分かった。高圧下光吸収測定の結果から求めた圧力変化に伴うバンドギャップの変化をFig. 2に示す。Cuを添加した試料(Fig. 2の青丸)は無添加の試料に比べてバンドギャップが狭小化していることが確認されたが、バンドギャップの圧力変化はほとんど同じであった。高圧下発光測定では、Cuを添加していない試料の発光では複数の成分の位置が圧力変化に伴って複雑に移動するのに対し(Fig. 2の赤三角)、Cuを添加した試料では主要な発光ピークは一つでそのエネルギーは圧力を印加してもほとんど変化しなかった(Fig. 2の青三角)。講演では光吸収測定において、2.1 eV付近に現れるCu添加特有の光学遷移の圧力変化についても議論する。

[1] 圓道多起, 他, 第84回応用物理学会秋季学術講演会, 22p-C601-6 (2023).

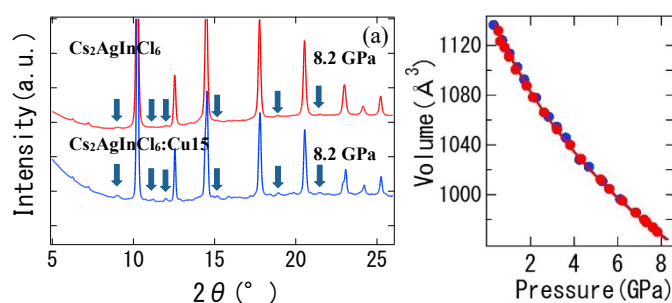


Fig. 1 (a) XRD patterns after structural phase transition occurred, and (b) pressure versus volume of $\text{Cs}_2\text{AgInCl}_6$ (red) and $\text{Cs}_2\text{AgInCl}_6:\text{Cu}$ (blue).

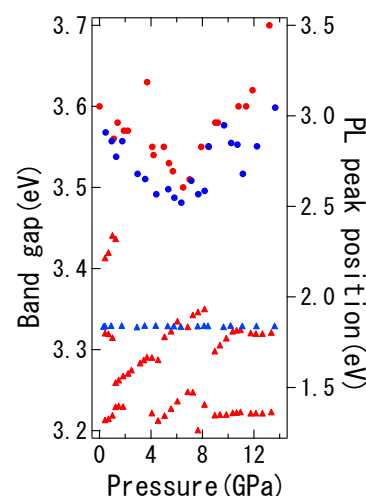


Fig. 2 Changes in the bandgaps (circles) and PL peak energies (triangles) of $\text{Cs}_2\text{AgInCl}_6$ (red) and $\text{Cs}_2\text{AgInCl}_6:\text{Cu}$ (blue) with pressure.

無機有機ペロブスカイト 2 次元物質 $(\text{C}_4\text{H}_9\text{NH}_3)_2\text{PbBr}_4$ の 励起子・励起子分子系のダイナミクス

Exciton-biexciton dynamics in two-dimensional lead bromide perovskite

上智大理工, (M2) 赤城智佳子, 徳永真大, 樺田 英之, 江馬 一弘

Faculty of Science and Technology, Sophia Univ., Chikako Akagi, Masahiro Tokunaga,

Hideyuki Kunugita, and Kazuhiro Ema

E-mail: c-akagi-3w0@eagle.sophia.ac.jp

1. 研究背景

2 次元 (2D) ペロブスカイトは、数 100meV に及ぶ大きな励起子束縛エネルギーを有し、励起子が極めて安定に存在することから、基礎および応用研究の両面で注目を集めている。さらに、数 10 meV の束縛エネルギーを持つ励起子分子 [1]に関する研究も進められており、その非線形光学応答や励起子分子レーザーへの応用も検討されている[2]。しかし、励起子・励起子分子系における生成・緩和ダイナミクスについては未解明な点が多く残されている。本研究では、時間分解フォトルミネッセンス測定 (TRPL) を用い、これらのダイナミクスの解明を目指す。

2. 実験及び結果、考察

本研究では、自身で作成した $(\text{C}_4\text{H}_9\text{NH}_3)_2\text{PbBr}_4$ 単結晶試料を使用した。15K における発光、反射及び TRPL スペクトルを測定した。Fig.1 に発光スペクトルの励起強度依存性、Fig.2 にエネルギーダイアグラムを示す。励起強度を上げると、励起子微細構造 (Γ_1 , Γ_2 , Γ_3) の低エネルギー側に励起子分子発光 (M 発光) が立ち上がっていくのが見られた。TRPL 測定することで、励起分子形成過程や励起子分子緩和過程が解明できる。当日の発表では、これらの実験結果の詳細と解析を説明する。

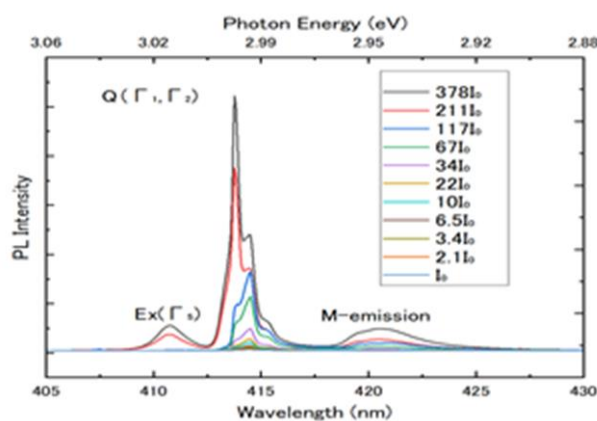


Fig.1 Excitation intensity-dependent PL spectra of C4PbBr4 single crystal.

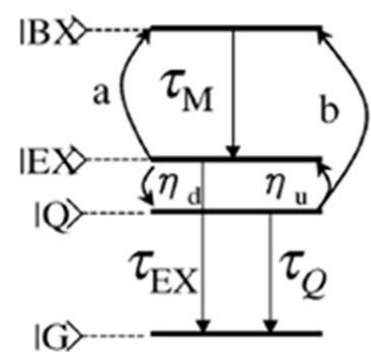


Fig.2 Energy-level dynamics of the exciton-biexciton system of C4PbBr4 single crystal.

[1] Y. Kato, *et.al.*, Solid State Commun., 2003; W. Li, *et. al.* Nanophotonics, 2020.

[2] T. Kondo, *et.al.*, Solid State Commun., 1998; X. He, *et.al.*, Adv. Opt. Materials, 2022.

静電噴霧法による CsPbBr₃ ペロブスカイト量子ドットの成膜と評価 Deposition and Evaluation of CsPbBr₃ Perovskite Quantum Dots using Electrostatic Spraying Deposition Method

同志社大, 理工学研究科 ○(M2) 西口 昂志, 野口 遼太郎, 濱田 銀河, 徳原 忠大, 大谷 直毅

Doshisha Univ., Graduate School of Science and Engineering,

°Koshi Nishiguchi, Ryotaro Noguchi, Ginga Hamada, Tadahiro Tokuhara, and Naoki Ohtani

E-mail: ctwk0327@mail4.doshisha.ac.jp

CsPbBr₃ ペロブスカイト量子ドット (PeQDs) は、FWHM が狭く優れた発光特性を示すが、熱や極性溶媒に弱い。本研究では、PbBr₂ のシェル層で覆った CsPbBr₃ を作製した。また、低コストで均一な薄膜を形成できる静電噴霧法 (ESD 法) を用いて PeQDs 薄膜を作製し、PL 特性を評価した。

CsPbBr₃ PeQDs を以下の手順で作製した: 1-オクタデセン、オレイン酸、炭酸セシウムを加え、窒素下で加熱してオレイン酸セシウムを調製した。次に、1-オクタデセン、オレイン酸、オレイルアミン、臭化鉛を加え、窒素下で加熱し、次いで 170°C に昇温し、オレイン酸セシウムを加え、氷水で急冷した。得られた液体に過剰の酢酸エチルを加え、遠心分離で回収した。同様の手順でシェル層を有する PeQDs を調製したが、臭化鉛とオレイルアミンを酸化鉛と DDAB に変更し、精製溶液を酢酸エチルからブタノールに変更した[1]。

図 1 は、シェル層を形成した CsPbBr₃ PeQDs とシェル層を形成しなかった CsPbBr₃ PeQDs の TEM 像である。シェル層ありの PeQDs の粒径はシェル層ありに対し、約 10nm 増加した。この粒径の変化は、保護層によるものと考えられる。また、シェル層なしの PeQDs の溶媒をトルエンから極性溶媒のジクロロメタンに変えると、PL 量子収率 (PLQY) は 71.6% から 34.2% に低下した。一方、シェル層を形成した PeQDs の PLQY は 78.6% から 67.6% に減少した。したがって、シェル層は極性溶媒の影響を低減し、PLQY の低下率を改善することができる。ESD 法による成膜では極性溶媒を使用するため、PeQDs にシェル層をつけることで極性溶媒に対する耐性を強化することが重要である。

図 2 は、スピコート法と ESD 法で作製した薄膜の画像である。ESD 法で作製した薄膜の方がより均一であることが明確に示されており、この結果から、ESD 法は膜の均一性を確保するうえで有効な成膜手法であると考えられる。

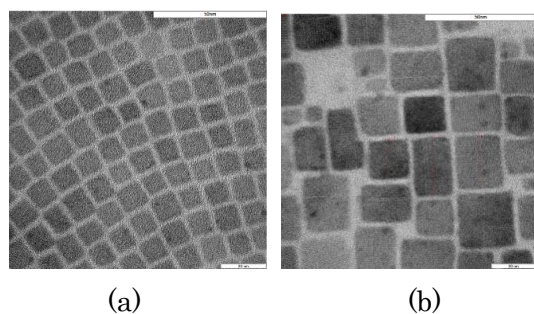


Fig. 1. TEM images of CsPbBr₃ QDs (a) w/o and (b) with a protective layer.

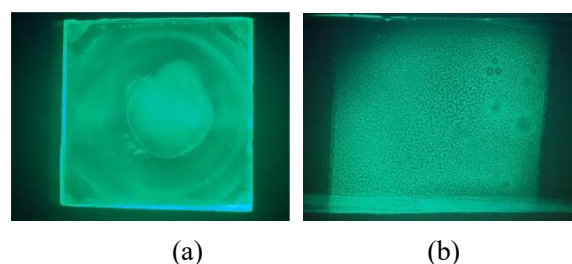


Fig. 2. Surface images of PeQDs thin films with a protective layer prepared by (a) spin-coating and (b) ESD methods.

[1] L. J. Ruan, B. Tang, and Y. Ma, J. of Phys. Chem., **123**, 11959 (2019).

InP 量子ドットを用いた静電噴霧法による薄膜作製と評価

Preparation and evaluation of thin films using InP Quantum Dots by

Electrostatic Spraying Deposition Method

同志社大理工, °(M2)野口 遼太郎, 西口 昂志, 濱田 銀河, 徳原 忠大, 大谷 直毅

Doshisha Univ., °Ryotaro Noguchi, Koshi Nishiguchi, Ginga Hamada,

Tadahiro Tokuhara, Naoki Ohtani

E-mail: ctwk0330@mail4.doshisha.ac.jp

【はじめに】カドミウム (Cd) ベースの量子ドットは高い発光効率を有する一方で、毒性や環境負荷の観点から使用が制限されつつある。その代替材料として、低毒性で環境負荷の小さい InP 量子ドットが有望視されている。本研究では、ZnSe と ZnS のシェル層でコーティングされた InP 量子ドットの作製を行い、InP 薄膜を低コストで材料の無駄が少なくかつ均一な膜を形成可能な手法として静電噴霧 (ESD) 法を採用し、特性評価を行った。

【実験方法】ホットインジェクション法により合成した InP/ZnSe/ZnS QDs を遠心分離で回収し、アセトンとヘキサンの混合溶媒に分散させた。溶媒の極性を調整するために、アセトンとヘキサンの混合比を段階的に調整し、それぞれの条件において静電噴霧が可能かを検討した。また、PLQY、PL、SEM で薄膜の評価を行なった。

【結果と考察】Fig.1 に、ESD によって作製した InP QD 薄膜の PL スペクトルの噴霧回数依存性を、右上の挿入図に 30 回噴霧した薄膜の発光画像を示す (アセトンとヘキサンの混合比は 8:2)。噴霧回数は 5 回から 30 回まで変化させた。挿入図に示されているように、薄膜は赤色に発光し、比較的均一に分布している。Fig.2 は、Fig.1 のデータから抽出した PL ピーク強度と噴霧回数を比較したものである。PL 強度は噴霧回数の増加とともに直線的に増加している事がわかる。これらの結果は、ESD 法により平坦な InP QD 薄膜を容易に作製でき、噴霧回数を変えることで膜の厚さおよび輝度を制御できることを明確に示している。PLQY やアセトン／ヘキサン混合比の影響の詳細、および SEM などの結果の詳細は学会にて報告する。

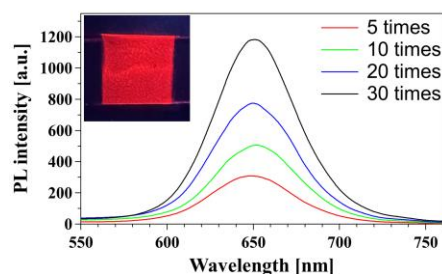


Fig. 1. PL spectra of InP QDs thin films as a function of spraying times (inset: surface image of irradiated film prepared by ESD using an 8:2 acetone/hexane mixture).

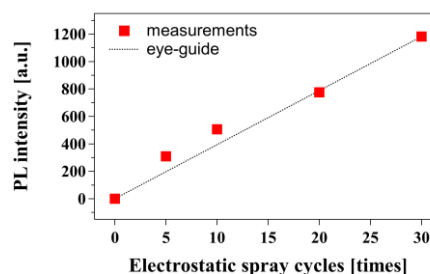


Fig. 2. Peak PL intensity of InP QD thin films as a function of the spraying time.

銅インジウム硫化物量子ドットの作製とスペクトルコンバータへの応用

Synthesis of copper indium sulfide quantum dots and their application to spectral converter

同志社大, 理工学研究科[○](M1) 濱田 銀河, 徳原 忠大, 野口 遼太郎, 西口 昂志, 大谷 直毅

Doshisha Univ., Graduate School of Science and Engineering,

[○]Ginga Hamada, Tadahiro Tokuhara, Ryotaro Noguchi, Koshi Nishiguchi, and Naoki Ohtani

E-mail: ctwn0313@mail4.doshisha.ac.jp

1. はじめに

現在主流のシリコン型太陽電池は分光感度が 850-1100 nm の近赤外帯にピークを持っている。しかし、太陽光のスペクトルはピークが 400-550 nm であるため、それより長波長の光は太陽電池にほとんど吸収されず無駄になっている。そこで、太陽電池の表面に可視光を吸収して赤色や近赤外に変換するスペクトルコンバータを導入することで太陽電池の光吸収を援助し、発光効率の改善することが考えられている。本研究では $\text{CuInS}_2/\text{ZnS}$ (CIS)量子ドットをスペクトルコンバータの蛍光体として用いる。これをスペクトルコンバータへの発光材料とするために、この発光波長をシリコン型太陽電池の分光感度に近づけることを本研究の目的とする。

2. 実験方法

CIS 量子ドットは大気開放下で液相還元法を用いて作製した[1]。塩化銅 10 μmol が溶けた純水 10 mL に 3-メルカプトプロピオン酸(MPA)0.5 mL を凝集を防ぐために加え 1.0 M の水酸化ナトリウム水溶液で pH を 9-10 に調整すると溶液が無色透明になった。次に溶液の温度を 70°C に上げて 5 分間加熱する(加熱 1)。その後、MPA 1.0 mL と塩化インジウム四水和物 10 μmol が溶けた純水 10 mL を加え、再度溶液の温度を 70°C に保ち 5 分間加熱する(加熱 2)。更に硫化ナトリウム 40 μmol が溶けた純水 0.5 mL を加えて 90°C で 30 分間攪拌しコアを作製する。最後に、酢酸亜鉛二水和物 40 μmol が溶けた純水 1 mL を加え 5 分間攪拌することでシェルを作製する。量子ドットの表面で起こる再結合を防ぐためにシェルで覆った。

3. 結果と考察

Fig. 1 に加熱 1 と加熱 2 の両方を行ったサンプル

と、加熱 1 と加熱 2 の両方を行わなかったサンプルの PL スペクトルを示す。加熱処理した試料の発光が 760 nm 付近に長波長シフトした。これは、塩化インジウムの添加前に銅と MPA のみで加熱したことにより、銅のみで結晶が成長したため、あるいは配位子が加熱により不安定になったためと考えられる。Fig. 2 に加熱 1 と加熱 2 の両方を行った CIS 量子ドットの TEM 像を示す。5 nm 程の量子ドットが作製されていることが確認された。

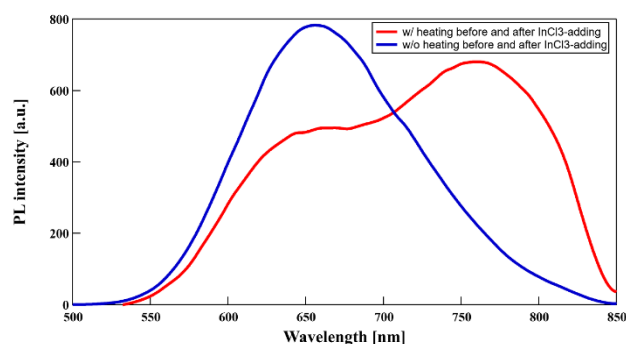


Fig. 1. PL spectra of CIS QDs with and w/o heating.

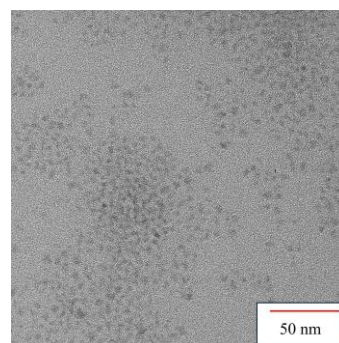


Fig. 2. TEM image of Cu-In-S/ZnS QDs

4. まとめ

インジウムの添加前後に加熱することで CIS 量子ドットの発光波長を太陽電池の分光感度である近赤外に近づけることができた。また、TEM で量子ドットの結晶が確認できた。

参考文献

- [1] R. Adel, S. Ebrahim, A. Shokry, M. Soliman, and M. Khalil, ACS Omega, **6**, 2167 (2021).

広帯域励起・狭帯域蛍光カーボンドットの液相合成の探究

Exploration of Liquid Phase Synthesis of

Wide-Band Excitation and Narrow-Band Emission Carbon Dots

慶大理工 ○秋山 武尊, 丸山 蒼生, 磯 由樹, 磯部 徹彦

Keio Univ., ○Takeru Akiyama, Aoi Maruyama, Yoshiki Iso, Tetsuhiko Isobe

E-mail: iso@apple.keio.ac.jp, isobe@apple.keio.ac.jp

【目的】当研究室の先行研究より、炭素原料として *p*-フェニレンジアミン(*p*-PD; Fig. 1)とレゾルシノール(RS; Fig. 1)をモル比 25/75 でジフェニルエーテル中へ同時に投入し、1 段階合成した CDs は広帯域励起・狭帯域蛍光を示すことが明らかにされた[1]。2 種類の炭素原料を順に投入して 2 段階合成すると、先に投入した原料から生成した CDs の末端に後から投入した原料を選択的に修飾できる[2]。この知見に基づき、RS→*p*-PD および *p*-PD→RS の順で CDs を 2 段階合成し、1 段階合成の結果と比較した。

【実験方法】ジフェニルエーテル 15 mL に RS 1.39 mmol を投入した後、250 °C で 90 min 加熱還流した。その後室温まで冷却し、*p*-PD 0.46 mmol を投入し、再び 250 °C で *t* min 加熱して CDs を合成した。ヘキサンを加えて遠心分離を行い、上澄み液を廃棄する操作を 3 回繰り返して粉末試料を得た。なお、この試料名は CDs(RS→*p*-PD, *t* min)のように表記する。同様に *p*-PD から CDs を合成した後に RS を投入し、250 °C で 30 min 加熱して CDs(*p*-PD→RS, 30 min)も合成した。粉末試料をメタノールに分散させて蛍光特性を調べた。

【結果と考察】励起スペクトル(Fig. 2)に示すように、CDs(RS→*p*-PD, 30 min)には 555 nm に半値幅(FWHM) 87 nm の励起ピーク、CDs(*p*-PD→RS, 30 min)には 520 nm に FWHM 101 nm の励起ピークが観測され、いずれも広帯域励起を示した。蛍光スペクトル(Fig. 2)に示すように、CDs(RS→*p*-PD, 30 min)には 592 nm に FWHM 46 nm の蛍光ピーク、CDs(*p*-PD→RS, 30 min)には 601 nm に FWHM 86 nm の蛍光ピークが観測された。前者の蛍光ピークの FWHM は先行研究の 1 段階合成した CDs の FWHM 43 nm と近いことが示された[1]。これより、広帯域励起・狭帯域蛍光 CDs は、RS の脱水縮合反応および脱水素縮合反応により CDs コアが形成され、その後コア末端と *p*-PD が反応して形成されたことが示唆される。Fig. 3 に 500 mg L⁻¹ の CDs(RS→*p*-PD, *t* min)メタノール分散液の 3 次元励起・蛍光マトリクスを示す。CDs(RS→*p*-PD, 0 min)には、蛍光波長 500 nm 付近に蛍光帯が見られた。CDs(RS→*p*-PD, 1 min)と CDs(RS→*p*-PD, 5 min)には CDs(RS→*p*-PD, 0 min)に見られた蛍光帯以外に、590 nm 付近にもう一つの蛍光帯が出現した。CDs(RS→*p*-PD, 30 min)では、CDs(RS→*p*-PD, 0 min)に見られた蛍光帯は消失し、蛍光波長 590 nm 付近の蛍光帯だけが見られた。これより、*p*-PD が RS 由来の CDs コア末端と反応し、電子供与性のアミノ基や炭素骨格に窒素が導入されたことで励起・蛍光ピークがレッドシフトしたことが明らかにされた。

【参考文献】[1] 丸山蒼生, 磯由樹, 磯部徹彦, 第 51 回炭素材料学会年会要旨 (2024). [2] K. Sato, R. Katakami, Y. Iso, T. Isobe, *ACS Appl. Nano Mater.*, **5**, 7664 (2022).

【謝辞】本研究は JSPS 科研費 JP24K08570 の助成を受けたものです。

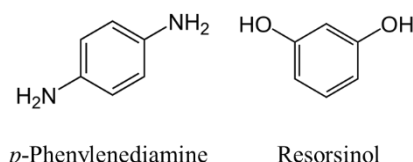


Fig. 1 Molecular structures.

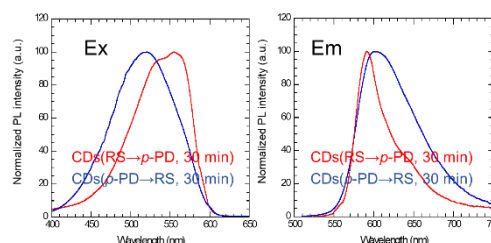


Fig. 2 Excitation and emission spectra.

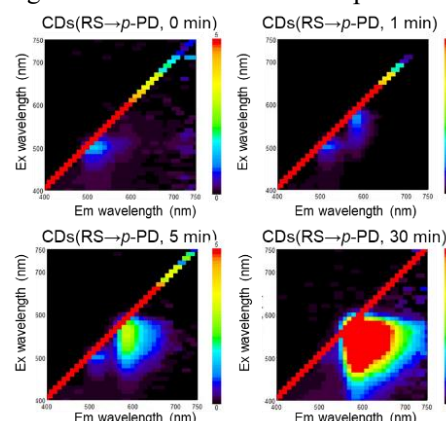


Fig. 3 Three dimensional excitation/emission matrices.

グラフェン量子ドット蛍光体の液相合成の探究： グリコール合成溶媒の最適設計

Exploration of Liquid-Phase Synthesis of Florescent Graphene Quantum Dots: Optimal Design of Glycol Synthesis Solvents

慶大理工 °今村 麻保, 磯 由樹, 磯部 徹彦

Keio Univ., °Maho Imamura, Yoshiki Iso, Tetsuhiko Isobe

E-mail: iso@appc.keio.ac.jp, isobe@appc.keio.ac.jp

【目的】Fig. 1 に示すように、1,2-ペンタンジオール中でフロログルシノール(PG)を180℃で6h加熱して分子間で脱水縮合することによって、高い蛍光量子収率のグラフェン量子ドット(GQDs)が得られる[1,2]。本研究では、最適なグリコール溶媒を素早く簡便に見出すために、種々のグリコール溶媒を用いて短時間加熱で合成した未精製 GQDs 分散液の蛍光特性が、長時間加熱で合成した精製 GQDs 分散液の蛍光特性を反映するかを検討した。

【実験方法】13種類のグリコール溶媒5mLにPG0.25gを溶解させ、180℃で0.5h加熱して得られた未精製 GQDs 分散液を分析した。その結果に基づき、5種類に絞り込んだ溶媒40mLにPG2.0gを溶解させ、180℃で6h加熱してGQDsを合成した。透析によって精製したGQDsをエタノールに分散させ、さらに最適励起波長の吸光度を0.05に濃度調整した分散液を分析した。

【結果と考察】Fig. 2 に一例として1,2-ペンタンジオールを用いた未精製 GQDs 分散液と精製 GQDs エタノール分散液の外観写真を示す。白色光下では前者は褐色、後者は無色であり、365nm UV光下では前者は青緑色蛍光、後者は青色蛍光を示した。Fig. 3 に同分散液の励起・蛍光スペクトルを示す。精製の有無にかかわらず励起・蛍光の最強ピーク波長はあまり変化しなかった。精製 GQDs に見られるショルダーピークは異なる振動の準位への遷移に起因する。しかし、未精製 GQDs には最強蛍光ピーク以外の蛍光ピークが強く現れた。これは副生成物に起因すると推察される。以上を踏まえ、13種類のグリコール溶媒から合成した未精製 GQDs 分散液の励起・蛍光スペクトルを測定し、その結果に基づき、1位と2位の炭素にOH基をもつ5種類の溶媒に絞り込んだ。つぎに、精製 GQDs エタノール分散液を作製し、その励起・蛍光スペクトルを測定した。Fig. 4 に溶媒の炭素数 n に対する未精製 GQDs 分散液の~480nmの蛍光ピーク強度 I_1 の変化と、精製 GQDs エタノール分散液の~480nmの蛍光ピーク強度 I_2 の変化を示す。これより n に対する I_1 と I_2 の変化は規則的ではないが、その挙動は酷似していることが明らかにされた。

【参考文献】[1] Y. Ochi, A. Otani, R. Katakami, A. Ogura, K. Takao, Y. Iso, T. Isobe, *J. Mater. Chem. C*, **12**, 6548-6558 (2024). [2] R. Katakami, K. Sato, A. Ogura, K. Takao, Y. Iso, T. Isobe, *J. Mater. Chem. C*, **11**, 4143-4152 (2023).

【謝辞】本研究はJSPS 科研費 JP24K08570 の助成を受けたものです。

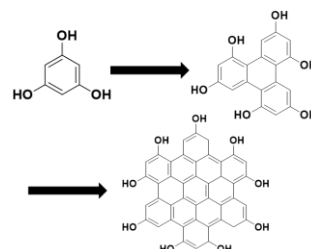


Fig. 1 Dehydration condensation reaction between PG molecules.



Fig. 2 Photographs of unpurified and purified GQD dispersions.

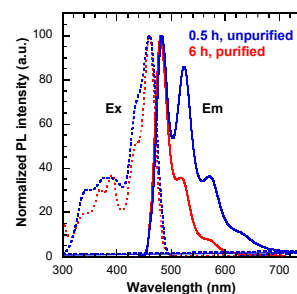


Fig. 3 Normalized excitation and emission spectra.

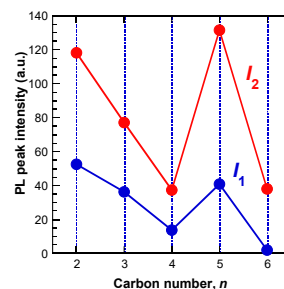


Fig. 4 Changes in I_1 and I_2 with n .

窒化炭素系材料ジシアンジアミドを配位子としたテルビウム錯体の作製及び評価 Synthesis and Evaluation of a Terbium Complex Using Carbon Nitride-Based Dicyandiamide as a Ligand

同志社大, 理工学研究科 ○(M1)仲原 遼, 竹村 春輝, 原 大晴, 富永 泰成, 大谷直毅

Doshisha Univ., Graduate School of Science and Engineering,,

○Ryo Nakahara, Haruki Takemura, Taisei Hara, Taisei Tominaga, and Naoki Ohtani

E-mail: ctwn0359@mail4.doshisha.ac.jp

近年、マイクロ LED ディスプレイの研究開発が盛んになっており、今後も市場の拡大が期待されている。一方で、マイクロ LED は UV-LED に RGB 光 3 原色のコロイド量子ドットを塗布する方法で作製するが、そのコロイド量子ドットは劣化および大量生産性が問題である。そこで本研究では、安価で化学的耐久性に優れる窒化炭素系材料に着目し、低コストなマイクロ LED 材料の作製を目的とした。窒化炭素系材料は、青色発光材料としてこれまでに報告されている¹⁾。本研究室では、窒化炭素系材料の一種であるベンゾグアナミンに、溶解性が良く色純度が高い希土類元素ユロピウム (Eu) を添加することで、新規赤色発光材料の作製に成功した²⁾。しかし、この材料には発光効率が低いという課題があった。そこで本研究では、発光効率の改善を目的として母体材料の検討を行い、ジシアンジアミドと希土類元素テルビウム (Tb) を用いることで、新たな緑色発光材料の作製に成功したので報告する。

使用材料はジシアンジアミドと塩化テルビウム六水和物の 2 種類である。ジシアンジアミド 1 g に対して塩化テルビウムを 10 wt% 添加し、アルミナ坩堝に入れて乳棒で均一にすり潰した。その後、窒素雰囲気下の高性能マッフル炉により焼成を行った (焼成時間: 1 時間、窒素流量: 1.5 L/min、昇温速度: 10 °C/min)。作製した試料の発光特性を評価するとともに、焼成温度を 250 °C から 450 °C まで 50 °C 刻みで変化させた際の温度特性も評価した。

Fig. 1 に作製した Tb 錯体の PL スペクトルを示す (焼成温度は 250 度)。550 nm 付近に強い緑色発光が確認され、これは Tb³⁺イオンの ⁵D₄ → ⁷F₅ 遷移に由来するものである。また、PLQY は 47.2% であった。このことは、ジシアンジアミドが配位子として機能していることを示している。また、400 nm 付近に確認される青紫色の発光ピークは、窒化炭素系材料に特徴的な青色発光であり、ジシアンジアミドに起因するものと推測される。

Fig. 2 に温度特性の PL スペクトルを示す。温度の上昇に伴い、ジシアンジアミドに起因する青紫色発光のピークがレッドシフトする様子が確認された。これは、温度変化によってエネルギー準位に変化が生じたためであると推測される。また、Tb³⁺イオンの発光強度は温度上昇とともに低下した。これは、温度が上昇するにつれてジシアンジアミドの熱重合が進行し、物質の構造や状態に変化が生じたためであると考えられる。

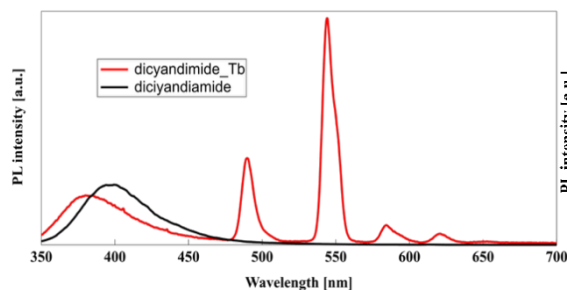


Fig. 1. PL spectra of Tb-doped dicyandiamide.

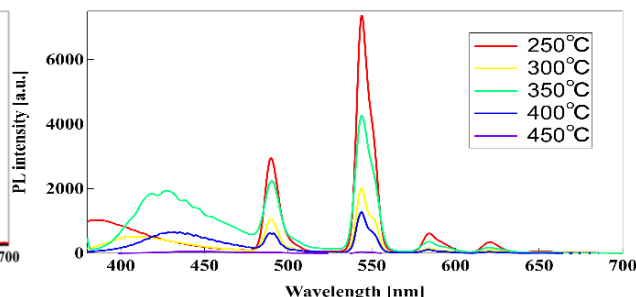


Fig. 2. PL spectra of temperature characteristics.

参考文献

- 1) K. Wada, N. Ohtani Phys. Stat. Sol. (b), **256**, 1800521 (2019).
- 2) N. Niimi, H. Takemura, and N. Ohtani: Jpn. J. Appl. Phys., **63**, 02SP17 (2024).

アニール条件が LaF₃-LaOF: Yb³⁺/Tb³⁺の光学特性へ及ぼす影響

Effect of Annealing Conditions on Optical Properties of LaF₃-LaOF: Yb³⁺/Tb³⁺

追手門学院大学¹, 豊田高専², 龍谷大先端理工³, [○]野中 俊宏¹, 山本 睦人², 今井 崇人³, 山本 伸一³
Otemon Gakuin Univ.¹, NIT Toyota College², Ryukoku Univ.³, [○]T. Nonaka¹, M. Yamamoto², T. Imai³ and S.-I. Yamamoto³

E-mail: t-nonaka@otemon.ac.jp

1. はじめに

アップコンバージョン(UC)とは、近赤外線を可視光に変換する技術であり、近年注目を集めている。UC 蛍光体の応用例として、バイオイメージング、光触媒、指紋分析、温度センサーなどが研究されている。UC 蛍光体の発光効率を向上させるためには非放射損失を低下させる必要があり、低フォノンエネルギーのフッ化物がホスト材料として採用される。本研究では、ホスト材料として LaF₃-LaOF 複合体、ドープントとして Yb³⁺および Tb³⁺を採用した。固相反応法で試料を合成し、アニール条件が LaF₃-LaOF: Yb³⁺/Tb³⁺の結晶構造や光学特性へ与える影響を分析することを目的とした。

2. 実験方法

株式会社高純度化学研究所が販売している LaF₃(99.9%)、Yb₂O₃(99.9%)、および Tb₂O₃(99.9%) の粉末をモル比が La:Yb:Tb=1:0.06:0.10 となるように混合し、電気炉でアニールした。アニール温度および時間は、それぞれ x °C(x=950-1150)および 1 時間である。評価方法として、結晶構造および PL 特性を解析した。結晶構造の解析では、X 線回折装置(XRD)Ultima IV(株式会社リガク)を用いた。PL 特性の解析では、励起光源として波長 980 nm、出力 200 mW の近赤外線レーザーを用いた。また、分光器として OCEAN SR(Ocean Insight)を使用した。

3. 実験結果

結晶構造の解析結果を Fig. 1 に示す。本研究で合成された全ての試料は LaF₃ および LaOF から構成されていた。

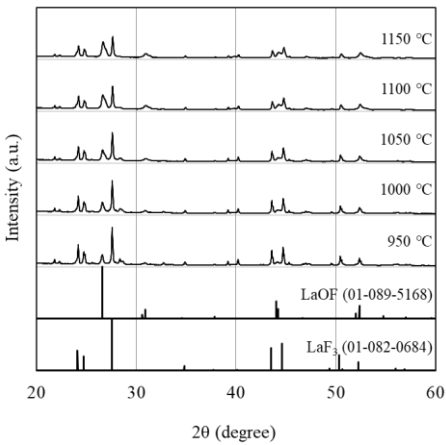


Fig. 1 XRD patterns of LaF₃-LaOF: Yb³⁺/Tb³⁺ annealed at temperatures ranging from 950 °C to 1150 °C for 1 h.

アニール温度が 1150 °C の試料の PL 特性を Fig. 2 に示す。主に、波長 486 nm、541 nm、583 nm および 620 nm でピークが観測された。

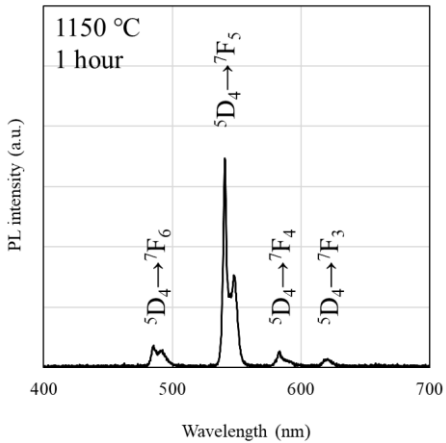


Fig. 2 PL characteristics of LaF₃-LaOF:Yb³⁺/Tb³⁺ phosphors.

時間分解スペクトルホールバーニング法による ^{167}Er 超微細構造のエネルギー緩和時間測定 T_1 time of ^{167}Er hyperfine structure measured by time-resolved spectral hole burning日本大¹, 大和大², 北海道大³, NTT 物性研⁴ ○(M2) 濱崎 妙子¹, 松崎 善太郎¹,尾身 博雄², 安井 翔一郎^{3,4}, 足立 智³, 稲葉 智宏⁴, Xuejun Xu⁴, 俵 毅彦¹Nihon Univ.¹, Yamato Univ.², Hokkaido Univ.³, NTT Basic Research Lab.⁴°T. Hamazaki¹, Z. Matsuzaki¹, H. Omi², S. Yasui³, S. Adachi³, T. Inaba⁴, X. Xu⁴, T. Tawara¹

E-mail: tawara.takehiko@nihon-u.ac.jp

近年、広域量子情報通信ネットワークの実現に向け、光量子メモリを核とする量子中継器の研究が進められている。その材料には通信波長帯光子と相互作用可能なエネルギー準位を持ち、長いエネルギー緩和時間 T_1 や位相緩和時間 T_2 が要請される。我々はこれらを満たす $^{167}\text{Er}^{3+}:\text{Y}_2\text{SiO}_5$ ($^{167}\text{Er}:\text{YSO}$) 結晶を用い、周波数領域にて超微細構造 (HF) 準位の T_2 の推定を行ってきた[1]。しかし T_2 の直接測定や電子のダイナミクス の解明には、時間領域測定が有効である[2,3]。本研究では時間分解スペクトルホールバーニング (TR-SHB) 法を用いて $^{167}\text{Er}:\text{YSO}$ 結晶の HF 準位の T_1 の測定を試みた。

実験には、CZ 法で作製された $^{167}\text{Er}:\text{YSO}$ 結晶 (添加 ^{167}Er 濃度 10 ppm) を用い、温度 2.7 K に保持した。Fig.1(a)はホールスペクトルの pump 周波数依存性及びピーク値の包絡線を示している。これより各ホールの光学深さは pump レーザ変調周波数 12 GHz 付近で最も深いホールが形成され (Fig.1(b))、Fig.2(a)に示す HF 準位の透過スペクトルと同様の包絡線形状を示した。また Fig.2(b)は 12 GHz におけるホールの時間減衰を示しており、単一指数関数で良好にフィッティングされた。Fig.2(a)は TR-SHB スペクトルにより算出した T_1 の pump 周波数依存性を示している。 T_1 は各 HF 準位で異なり、7.43 ms~15.16 ms を示した。従来 HF 準位の平均の T_1 として $T_1 \approx 11$ ms が報告されているが[1]、TR-SHB 法により個々の HF 準位の T_1 が明らかとなった。また T_1 の HF 準位レーザ周波数依存性は透過スペクトルとの比較から、各 HF 準位の遷移双極子モーメントの大きさを反映したものであると考えられる。今後はこれをもとに時間領域での T_2 を評価していく。

謝辞:本研究は JSAP 科研費 JP23K23263、JP23K17883 の助成を受けたものです。

[1] T. Tawara *et al.*, Appl. Phys. Express **10** (2017) 042801. [2] M. Hiraishi *et al.*, Opt. Lett. **44** (2019) 4933.

[3] S. Yasui *et al.*, Opt. Continuum **1** (2022) 1896.

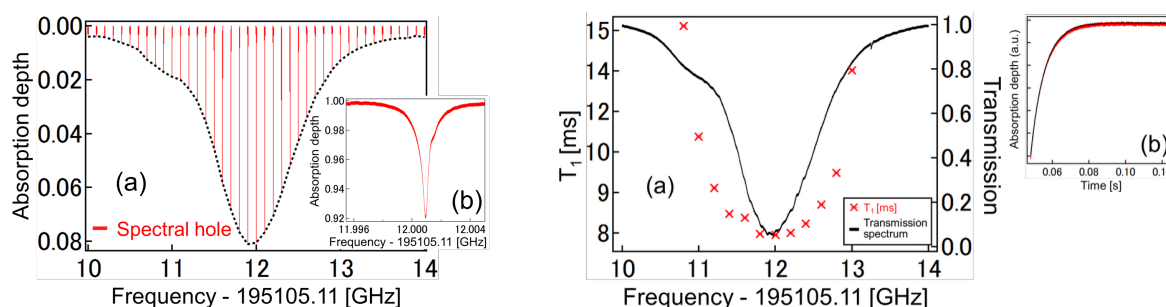


Fig.1 (a) Frequency dependence of the ^{167}Er spectral hole on the pump frequency. (b) Spectral hole observed at 12 GHz. Fig.2 (a) T_1 and inhomogeneous broadening for each hyperfine level of ^{167}Er . (b) TR-SHB spectrum.

生成モデルによる広い発光波長領域を有する 白色 LED 用蛍光体の構造探索

Novel Crystal structures of Phosphor for WLED with Wide Emission Wavelength Range
by Machine Learning

工学院大院工¹, 工学院大先進工² ○(M1)大森 麻南斗¹, 阿部 仁哉¹, 樋口 隼人², 宮川 雅矢²,
高羽 洋充²

Sch. Adv. Eng. Kogakuin Univ.¹, Dept. Env. Chem., Kogakuin Univ..²,

○(M1)Manato Omori¹, Masaya Abe¹, Hayato Higuchi², Masaya Miyagawa², Hiromitsu Takaba²

E-mail: bm25016@ns.kogakuin.ac.jp

1. 緒言

白色 LED は、低消費電力・長寿命などの特徴により、照明として不可欠なものになっている。白色 LED は、青色 LED と、その光で励起をする黄色蛍光体を併せて白色としている。しかし、この方法では赤色成分が不足するため、疑似的な白色となり演色性が低いという問題がある。そのため、黄色から赤色の広い発光波長領域をもつブロードバンド蛍光体が求められている。従来の研究では Sr を含む母体構造に Eu²⁺ を付活し発光特性が調べられている。しかし、この試行錯誤的な研究では多大な時間とコストがかかる。

そこで本研究では、機械学習を用いて、ブロードバンド発光すると予想される新規な蛍光体の母体構造の探索を行った。具体的には、酸窒化物の新規蛍光体構造探索のための結晶構造データベースを構築し、回帰モデルを用いて発光特性を予測することで、有望な結晶構造を探索した。

2. 計算方法

結晶構造生成モデルには、2 つのニューラルネットワークをトレーニングして互いに競合させ、特定のトレーニングデータセットからより本物に近い、新しいデータを生成する敵対的生成ネットワーク(GAN)を改良したモデルである Physics Guided Crystal Generative Model (PGCGM)¹⁾ を用いた。

結晶構造の発光特性を予測するために、回帰モデルを構築した。回帰モデルでは、報告されている文献から採取した蛍光体結晶構造を学習データとした。説明変数としては FTCP-VAE²⁾ の学習から得られる潜在変数を使用し、目的変数としては励起波長、発光波長、半値幅を用いた。探索の全体のイメージを図 1 に示す。

3. 結果及び考察

構築した PGCGM を用いて、Eu²⁺付活蛍光体を想定し、組成に Sr²⁺を含む 200,000 の酸窒化物結晶構造を生成した。ただ、その中には原子間の距離が近いなど安定に存在できない構造も多く含まれていた。そのような構造を取り除いたところ、657 構造が得られた。最後に、これら 657 構造に対して密度汎関数法計算を適用し、

熱力学的に安定かどうか検証をした。その結果 196 構造が安定であることが確認され、それらを現実的に存在可能な結晶構造と結論づけた。

最適化された結晶 196 構造と ICSD 上の Sr を含む結晶 166 構造に対して、発光特性の予測を行った。結果を図 2 に示す。半値幅が 70nm 以上かつ発光波長域が 540~620nm のもので、励起波長域が青色である有望な結晶構造として、いくつか見出すことができた。

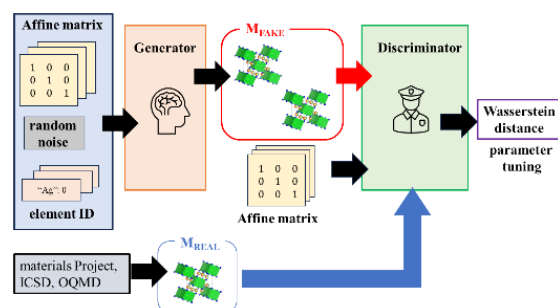


図 1 蛍光体構造探索のイメージ図

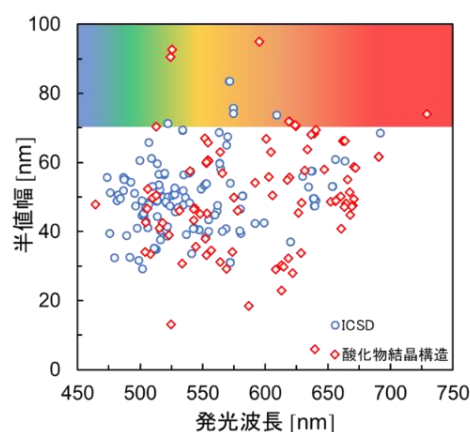


図 2 ICSD 上の Sr²⁺を含む結晶構造、生成した結晶構造の半値幅と発光波長の散布図

[参考文献]

- 1) Y Zhao et al., A PREPRINT (December 14, 2022)
- 2) Z. Ren et al., Matter, 5, 1056-1057(2022)

Bi₂O₃-GeO₂ 系ガラスの広帯域近赤外発光への Cr₂O₃ 成分添加の影響

Doping Effects of Cr₂O₃ on Broad Near-infrared Luminescence of Bi₂O₃-GeO₂ Glasses

防衛大 [○]七井 靖, 篠本 雄介, 鈴木 萌, 北沢 信章

National Defense Academy, [○]Yasushi Nanai, Yusuke Shinomoto, Moe Suzukawa, Nobuaki Kitazawa

E-mail: nanai@nda.ac.jp

近年、近赤外分光分析や非接触バイタルサインセンシングへの応用に向けて LED で励起可能な近赤外蛍光体の開発が盛んである。これまで我々は Cr イオンを発光中心とした蛍光体を検討してきた。今回は新規母材として Bi₂O₃-GeO₂ 系ガラスを検討し、熔融法により合成した Cr₂O₃-Bi₂O₃-GeO₂ 系ガラスの Cr イオン及び母材に由来する近赤外発光について報告する。

原料を $x\text{Cr}_2\text{O}_3\text{-}y\text{Bi}_2\text{O}_3\text{-(100-y)}\text{GeO}_2$ [mol%, 設計値, $x = 0$ or 0.1 , $y = 10 \sim 50$] の比率で 5 g バッチとなるように混合し、アルミナるつぼ内に充填した。その後 1250 °C に加熱した電気炉で 30 min. 熔融し、ステンレス板でプレス冷却することで試料を得た。 $y\text{Bi}_2\text{O}_3\text{-(100-y)}\text{GeO}_2$ ($y = 10 \sim 50$) は赤褐色を呈し、Bi₂O₃ 比率 y の増加に伴い呈色が強くなった。一方、 $0.1\text{Cr}_2\text{O}_3\text{-}y\text{Bi}_2\text{O}_3\text{-(100-y)}\text{GeO}_2$ ($y = 10 \sim 50$) は $y = 20 \sim 35$ の範囲でのみ試料の全体または一部が赤褐色を呈し、他の Bi₂O₃ 比率では Cr³⁺ に起因する緑色を呈した。拡散反射スペクトルより、この試料色の変化は、赤褐色を呈する試料で確認できた母材由来の 500 nm 帯の吸収が、Cr₂O₃ の添加によって低下したためだと考えられる。

Fig. 1 は母材である 15Bi₂O₃-85GeO₂ と 20Bi₂O₃-80GeO₂ の発光 (PL) と励起 (PLE) スペクトル、及び、Cr₂O₃ を添加した試料の PL スペクトルである。PL スペクトルの励起光波長は 475 nm である。いずれの母材も 1180 nm をピークを有する広帯域な近赤外発光を示し、対応する PLE スペクトルは 500 nm、580 nm、735 nm 付近にピークを有していた。0.1Cr₂O₃-20Bi₂O₃-80GeO₂ では母材の発光帯に 880 nm 付近の Cr³⁺ 由来の発光帯が重なり、700 ~ 1600 nm の範囲で広帯域発光を示した。一方、0.1Cr₂O₃-15Bi₂O₃-85GeO₂ では母材由来の 1180 nm 帯の発光は確認できなかった。

母材由来の発光の起源について、Fig. 2 の Bi 4f_{7/2} 及び 4f_{5/2} の X 線光電子分光 (XPS) スペクトルより考察した。0.1Cr₂O₃-15Bi₂O₃-85GeO₂ では 159.9 eV 及び 165.2 eV に Bi³⁺、157.6 eV 及び 162.9 eV に Bi³⁺ よりも低価数な Bi^{(3-z)+} に由来すると考えられるピークが観察された。一方、15Bi₂O₃-85GeO₂ ではそれらのピークに加えて、159.6 eV 及び 164.9 eV にピークが現れた。これらのピークは、例えば Bi⁵⁺ など、Bi³⁺ や Bi^{(3-z)+} とは異なる電子状態の Bi イオンに起因していると考えられ[1]、その存在が 475 nm 励起時の母材の 1180 nm 帯の発光に関与していることを示唆している。

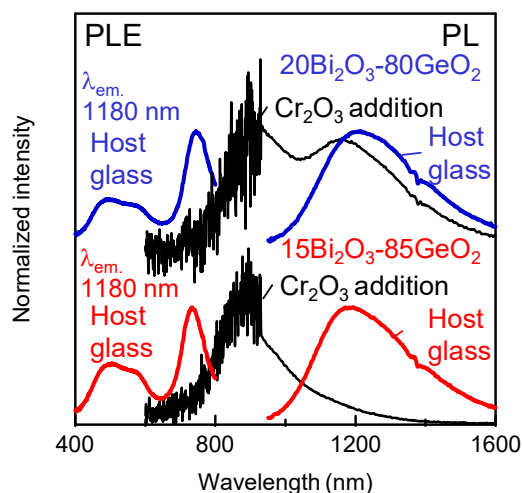


Fig. 1 PL and PLE spectra of samples. Cr₂O₃ added samples are shown only for PL spectra. PL spectra were obtained under 475 nm excitation.

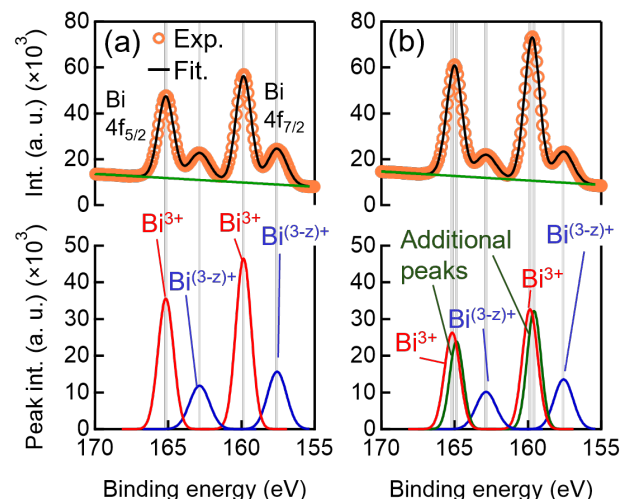


Fig. 2 XPS spectra and Gaussian fitting results of (a) 0.1Cr₂O₃-15Bi₂O₃-85GeO₂ and (b) 15Bi₂O₃-85GeO₂ glasses. The binding energies were calibrated using those of C 1s as a contaminant on the surfaces.

[1] A. Saitoh *et al.*, *J. Non. Cryst. Solids*, **560** (2021) id 120720.

【謝辞】 この研究の一部は JSPS 科研費 24K08575 (基盤 C) の助成を受けて実施した。

イオン添加による多元系ガリウム酸化物の残光特性制御

Control of Persistent Luminescence Characteristics of Multicomponent Gallium Oxides by Ion Doping

神戸大海事 ○(M2) 御澤 悠希, (M1) 中尾 尚輝, 佐俣 博章

Kobe Univ., °Yuki Misawa, Naoteru Nakao, Hiroaki Samata

E-mail: samata@maritime.kobe-u.ac.jp

残光材料は、光吸収により物質内部の励起状態が変化し、この励起状態が時間の経過に伴い解消されることで長時間発光する。この特性を利用して、低照度環境下での表示材料として利用されるとともに、バイオイメージングなどの医療分野での応用も期待されており、より特性の優れた新材料の開発が求められている。

Fig. 1 は、 $\text{Sr}_{1.6}\text{Ca}_{0.4}\text{Zn}_2\text{Ga}_2\text{O}_7: \text{Bi}^{3+}, \text{La}^{3+}$ に対し、波長 365 nm の紫外光を照射した際の発光スペクトルである。 La^{3+} を共添加することで、残光特性を悪化させることなく、長波長域の発光増大による発光色制御が可能となることが本研究の先行研究にて報告されている。

本研究では、 Bi^{3+} を添加することで残光を示すことが報告されていて前述の物質と同様にアルカリ土類金属を含む多元系ガリウム酸化物 CaGa_2O_4 を母体とし¹⁾、様々なイオンを添加した試料を合成し、その結晶学的、光学的性質の評価を行うことで、発光色の制御を目指した。

試料は、 CaCO_3 , Ga_2O_3 , R_2O_3 ($R = \text{Bi}$, lanthanoid), M_2CO_3 ($M = \text{alkali metal}$) を原料とした固相反応法を用いて合成した。得られた試料の結晶構造は、粉末 X 線回折データを用いた Rietveld 法で評価した。また、光学的性質は波長 365 nm の UV ユニットの光源とし、照射下および照射停止後の発光スペクトルを分光器で評価した。

Fig. 2 (a) は、得られた試料が (b) の結晶構造であると仮定した際の $\text{CaGa}_2\text{O}_4: 0.5\%\text{Bi}^{3+}$ の Rietveld 解析の結果である。実験値と計算値はよく一致し、目的物質が主相となる試料が得られたと判断した。

Fig. 3 は、 $\text{CaGa}_2\text{O}_4: 0.5\%\text{Bi}^{3+}$ に対して、波長 365 nm の紫外光照射中(a)および照射停止後(b)の発光スペクトルとそれぞれに対するガウスフィッティング結果であり、可視光領域に複数ピークを持つブロードな発光が観測された。発表では、共添加イオンが各発光ピークの強度に及ぼす影響に加え、本系における残光発現機構について詳細に報告する。

参考文献

- 1) S. Wang, *et al.*, J. Am. Ceram. Soc., **100** (2017) 3514

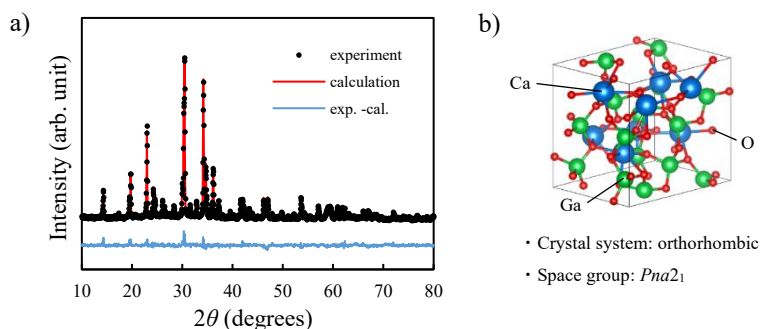


Fig. 2 (a) Powder X-ray diffraction data of $\text{CaGa}_2\text{O}_4: 0.5\%\text{Bi}^{3+}$ and results of refinement by the Rietveld method. (b) Crystal structure of CaGa_2O_4 .

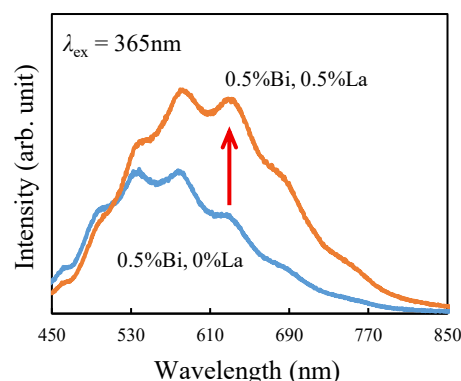


Fig. 1 Emission spectra of $\text{Sr}_{1.6}\text{Ca}_{0.4}\text{Zn}_2\text{Ga}_2\text{O}_7: \text{Bi}^{3+}, \text{La}^{3+}$ under 365 nm irradiation.

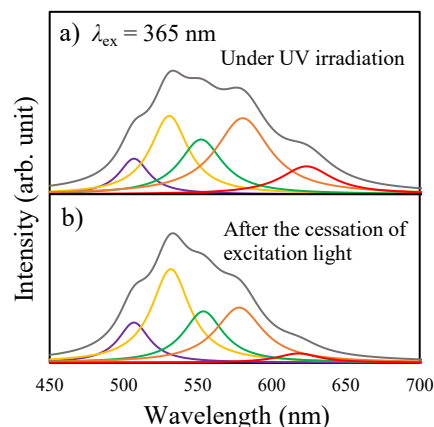


Fig. 3 (a) Emission spectra of $\text{CaGa}_2\text{O}_4: 0.5\%\text{Bi}^{3+}$ under 365 nm irradiation and (b) after the cessation of excitation light.

長残光蛍光体 $\text{Sr}_2\text{MgSi}_2\text{O}_7:\text{Eu},\text{Dy}$ におけるAl添加による発光特性への影響

Influence on luminescent properties of Al addition for $\text{Sr}_2\text{MgSi}_2\text{O}_7:\text{Eu},\text{Dy}$ afterglow phosphors

静岡大院¹, 静岡大工², 静岡大電子研³ ○(D1) 上川 純平¹, 長尾 遥², 藤間 信久^{1,2},

小南 裕子^{1,2}, 原 和彦^{1,2,3}

Grad.School of S&T, Shizuoka Univ.,¹ Faculty of Eng., Shizuoka Univ.,² Res. Inst. Electron.,

Shizuoka Univ.,³ Jumpei Kamikawa¹, Haruka Nagao², Nobuhisa Fujima^{1,2},

Hiroko Kominami^{1,2}, Kazuhiko Hara^{1,2,3}

E-mail: kamikawa.jumpei.19@shizuoka.ac.jp

1 緒言

長残光蛍光体は、励起光源を遮断した後も長時間発光を持続する物質である。本研究では、 $\text{Sr}_2\text{MgSi}_2\text{O}_7$ (SMS) 結晶系母体材料に着目し、より適した電子トラップ準位を形成する元素を探索することで、耐候性に優れた蛍光体の開発を目指している。

SMSの母体構成元素が発光特性に及ぼす影響を調べるために、SMSのMg-siteをAlで置換した試料を作製し、発光特性の評価からAl添加による影響について検討を行った。

2 実験方法

蛍光体の作製において広く用いられている固相合成法を用いて、 $\text{Sr}_{1.98}\text{Mg}_{1-Z}\text{Al}_Z\text{Si}_2\text{O}_7:\text{Eu}_{0.01},\text{Dy}_{0.01}$ ($Z = 0 \sim 0.25$) を作製した。原材料に、 SrCO_3 , MgO , SiO_2 , Eu_2O_3 , Dy_2O_3 , Al_2O_3 , Fluxとして、 B_2O_3 を化学量論組成で生成物に対して、10 mol%になるように混合した。これをペレットにしたものを活性炭素雰囲気中で3時間、1250℃で焼成した後、粉碎した。

作製した試料は、XRD、PL、PLE、蛍光寿命測定による評価を行った。また、密度汎関数理論による第一原理計算も行い、DOSを評価した。

3 結果と考察

XRDの結果をFig.1に示す。作製した試料の主相は、SMSであることを確認した。Al添加の増加、XRDのピークが高角側へシフトした試料と、低角側へシフトした試料が確認された。SMSの構成元素のイオン半径とAlのイオン半径を比較すると、 Si^{4+} (0.026 nm) < Al^{3+} (0.039 nm) < Mg^{2+} (0.057 nm) < Sr^{2+} (0.126 nm) である。このことから、XRDのピークが高角シフトしたものはSi-site、低角シフトしたものはMg-siteに、Alがそれぞれ置換されたことが推察される。Fig.2にPLの結果を示す。Alを添加した試料は、いずれもPL強度が増大した。特に、AlがSMSのSi-siteへ置換した試料は、PL強度が大きく増大し、2倍以上となった。これは電子トラップ準位の相対位置が変化し

たことによるものと考えられ、その結果、残光特性にも影響を与えていることが分かった。

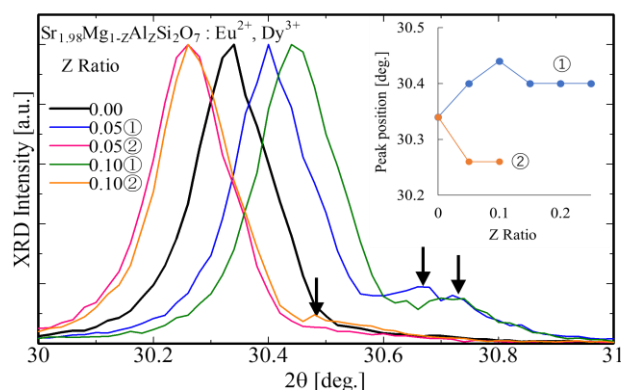


Fig.1 XRD patterns of $\text{Sr}_{1.98}\text{Mg}_{1-Z}\text{Al}_Z\text{Si}_2\text{O}_7$ at different Al ratio.

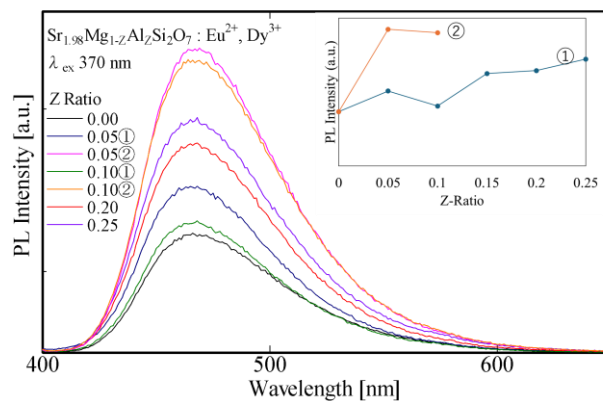


Fig.2 PL spectra of $\text{Sr}_{1.98}\text{Mg}_{1-Z}\text{Al}_Z\text{Si}_2\text{O}_7$ at different Al ratio.

4 まとめ

SMSに対してAlを添加した試料を作製し、物性の変化を評価した。XRDの結果から、SMSのMg-siteとSi-siteにAlが置換される可能性があることが分かった。また、PLの結果からは、Al添加によるPL強度の増大が確認され、Si-siteを置換した試料からは元のSMSより2倍以上の発光強度が観測された。以上より、置換されたサイトによって電子トラップ準位の相対位置が変化したことが示唆された。

13 Semiconductors | Poster presentation : 13.9 Compound solar cells

[8p-P05-1~14] 13.9 Compound solar cells

[8p-P05-1]

R&D Center for Space Transformation Technology: Next Generation Photovoltaic Device for Space Application

○Kentaroh Watanabe¹, Takeyoshi Sugaya², Kensuke Nishioka³, Tatsuya Takamoto³, Hiroshi Yamaguchi⁴, Takayuki Ose⁵, Shoichi Furukawa⁶, Yoshitaka Okada¹, Hidefumi Akiyama¹, Masakazu Sugiyama¹ (1.Univ. Tokyo, 2.AIST, 3.Miyazaki Univ., 4.SESJ, 5.NECSpace, 6.Takano)

[8p-P05-2]

Simultaneous scanning technology and inline inspection of photoluminescence for III-V compound semiconductor multi-junction solar cells

○Shoichi Furukawa¹, Yusuke Oteki², Naoya Miyashita³, Yoshitaka Okada² (1.Takano, 2.RCAST, Univ. of Tokyo, 3.The Univ. of Electro-Communications)

[8p-P05-3]

In-plane uniformity of 6-inch InGaP solar cells fabricated by hydride vapor phase epitaxy

○(M2)Keigo Kondo¹, Oshima Ryuji², Yudai Shimizu³, Akinori Ubukata³, Hiroki Tokunaga³, Takeyoshi Sugaya², Yoshinobu Okano¹ (1.TCU, 2.AIST, 3.TNSC)

[8p-P05-4]

Direct formation of InP films on polyimide substrates using molten In films in a perfect wetting state as precursors

○Ryoji Katsube¹, Taiyo Matsunaga¹, Noritaka Usami^{1,2,3} (1.Grad. Eng. Nagoya Univ., 2.IMaSS Nagoya Univ., 3.InFuS Nagoya Univ.)

[8p-P05-5]

Control of Onset Potential by NiFeOx Cocatalysts on BiVO4 Photoelectrode

○(M1)Shoya Asakura¹, Yuta Sato¹, Lingga oktariza¹, Takeaki Sakurai¹, Kenzi Yoshino², Koichi Yoshiyama², Higashi Tomohiro² (1.Tsukuba Univ., 2.Miyazaki Univ.)

[8p-P05-6]

Photoluminescence measurement of CdZnS buffer layers by open-air CVD method

○Hayato Matsui¹, Yuji Kurimoto¹, Tamotsu Okamoto¹, Ayaka Kanai², Kunihiro Tanaka² (1.NIT Kisarazu Coll, 2.Nagaoka University of Technology)

[8p-P05-7]

Investigation of raw material solution concentration in the preparation of Cu₂Sn_{1-x}Ge_xS₃ thin films by three-source fine channel mist CVD method

○Kazuki Nakashima¹, Tomoki Matsushita¹, Ayaka Kanai¹, Kunihiro Tanaka¹ (1.Nagaoka Univ. Tech.)

[8p-P05-8]

Photoluminescence observation of Na-doped Cu₂Sn_{1-x}Ge_xS₃ thin film solar cells

○Ryodai Ichihara¹, Takeshi Tasaki², Ayaka Kanai¹, Hideaki Araki², Kunihiro Tanaka¹ (1.Nagaoka Univ. of Tech., 2.NIT (KOSEN), Nagaoka Coll.)

[8p-P05-9]

Effect of cooling rate after sulfurization treatment on extra phases in SnS thin films

○Kazushi Ogo¹, Haruki Ryu¹, Taketo Tsuchiyama¹, Mutsumi Sugiyama^{1,2} (1.Tokyo Univ. Sci., 2.RIST)

[8p-P05-10]

The effect on photocurrent during CO₂ reduction by controlling surface band structure of Cu(In,Ga)Se₂ photoelectrode

○Ryunosuke Takada¹, Shintaro Okuyama¹, Kazuma Okada¹, Kana Ueda^{1,3}, Mutsumi Sugiyama^{1,2} (1.Tokyo Univ. Sci., 2.RIST, 3.JSPS Research Fellow)

[8p-P05-11]

The investigation for the observation of the interaction between electron and H⁺ in semiconductor/electrolyte based on electrical properties

○Kana Ueda^{1,3}, Mutsumi Sugiyama^{1,2} (1.Tokyo Univ. Sci., 2.RIST, 3.JSPS Research Fellow)

[8p-P05-12]

Development of ZnGeO for a buffer layer in Cu(In,Ga)S₂ solar cells

○Hiromu Kobayahsi¹, Yota Suzuki¹, Takahito Nishimura¹, Akira Yamada¹ (1.Science Tokyo)

[8p-P05-13]

Effect of Ag/Sn ratio for Ag-rich Ag₈SnS₆ thin films prepared by H₂S annealing

○Yoji Akaki¹, Tomohiro Uchimura², Shigeyuki Nakamura³, Hideaki Araki⁴ (1.NIT, Miyakonojo Coll., 2.Tohoku Univ., 3.NIT, Tsuyama Coll., 4.NIT, Nagaoka Coll.)

[8p-P05-14]

Improvement of solar cell properties for ZnO/CuBr_{1-x}I_x microstructural transparent solar cells with seed layer and nanorods annealing process

○Koya Ochiai¹, Konon Kudo¹, Kotaro Yukinaga¹, Ayaka Kanai¹, Kunihiro Tanaka¹ (1.Nagaoka Univ. Tech.)

次世代宇宙用太陽光発電デバイスの研究開発拠点

R&D Center for Space Transformation Technology:

Next Generation Photovoltaic Device for Space Application

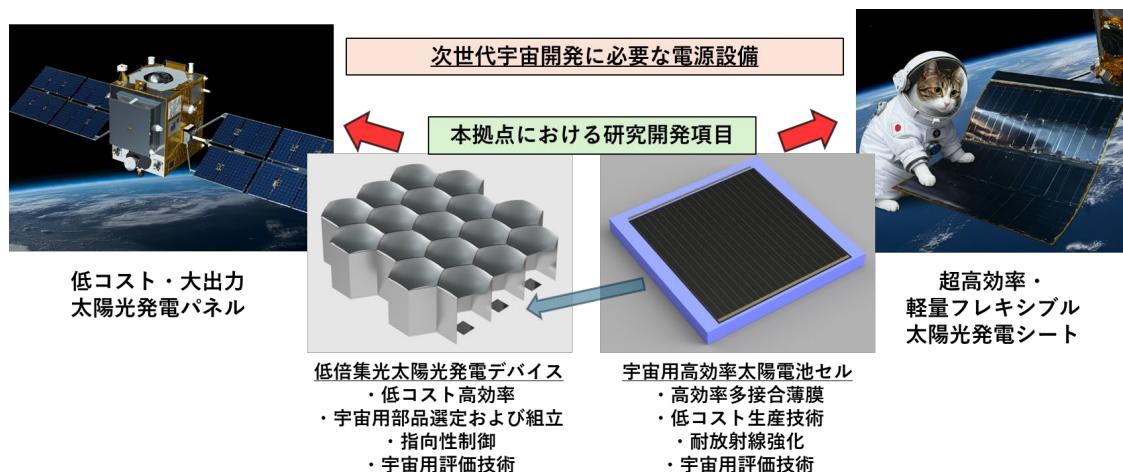
東大¹, 産総研², 宮崎大³, SESJ⁴, NECSpace⁵, タカノ⁶, [○]渡辺 健太郎¹, 菅谷 武芳²,
西岡 賢祐³, 高本 達也³, 山口 洋司⁴, 大瀬 貴之⁵, 古川 晶一⁶, 岡田 至崇¹, 秋山 英文¹,
杉山 正和¹

Univ. Tokyo¹, AIST², Miyazaki Univ.³, SESJ², NECSpace⁵, Takano⁶

[○]Kentaroh Watanabe¹, Takeyoshi Sugaya², Kensuke Nishioka³, Tatsuya Takamoto³, Hiroshi Yamaguchi⁴, Takayuki Ose⁵, Shoichi Furukawa⁶, Yoshitaka Okada¹, Hidefumi Akiyama¹,
Masakazu Sugiyama¹

E-mail: kentaro-h-watanabe@g.ecc.u-tokyo.ac.jp

現在の宇宙用太陽電池の主流はGaAs系III-V族化合物半導体材料とそのエピタキシャル結晶成長技術からなる3接合型太陽電池であり、国内では小型衛星搭載のための軽量フレキシブルモジュールの開発が進められている。これに対して、セル高効率化による太陽電池パネルの小型化(高出力化)においては欧米に後れを取っている状況にある。国内での宇宙応用については3接合型までしか実施されておらず変換効率は32%程度に留まっているが、欧米では4-6接合型までの開発が進んでおり34%超が達成されている。さらに、近年コンステレーション衛星の需要増大から宇宙用太陽電池が世界的に不足していることに加え、国内での供給体制が不十分という課題がある。それらを克服するために、我々はJAXA宇宙戦略基金事業の支援を得てSX研究開発拠点「次世代宇宙用太陽光発電デバイスの研究開発拠点」を発足した(FY2025-2032 予定)。本拠点の目的は効率40%を目指した太陽光発電素子の開発、さらにはコスト低減を狙った低倍集光ユニットの開発を行い、宇宙用の性能実証を通して次世代の人工衛星に必要となる超高効率太陽電池を供給する体制を確立することである。本講演では、最先端の性能を有する太陽電池の国内生産・供給の基盤技術を本拠点で確立するとともに、それを支える人材の育成にも産学連携のもとで取り組む事業計画について紹介する予定である。



III-V 化合物半導体多接合太陽電池用のフォトルミネセンス同時スキャン技術とインライン検査

Simultaneous scanning technology and inline inspection of photoluminescence for III-V compound semiconductor multi-junction solar cells

タカノ¹, 東大先端研², 電通大基盤理工³, [○]古川 晶一¹, 樗木 悠亮², 宮下 直也³,
岡田 至崇²

Takano¹, RCAST, Univ. of Tokyo², The Univ. of Electro-Communications³

[○]Shoichi Furukawa¹, Yusuke Oteki², Naoya Miyashita³, Yoshitaka Okada²,

E-mail: furukawa@takano-net.co.jp

【はじめに】多接合太陽電池におけるサブセルの評価技術として Electroluminescence (EL) や Laser Beam Induced Current (LBIC) が広く用いられているが、これらはセルとして完成された状態での評価である。大量生産の製造ラインを想定した場合、一般に不良発生の工程・要因を早急に発見するためには適していないことから、本研究では Photoluminescence (PL) に着目し、サブセルで生じる PL の画像化と同時スキャンを行うための光学手法、画像処理技術の検討を行った。

【実験方法】3 ラインの独立した領域にそれぞれのサブセル用の励起光を照射し、更に 3 種類のフィルタ構造をディテクタの前に配置することで、撮像位置に該当するサブセルの PL のみを透過させる構成で評価を行った。Region of Interest (ROI) を活用した情報転送量の削減とソフト的な Time Delay Integration (TDI) を併用することで、高 S/N でかつ広範囲の画像取得を高速に行うことが可能であり、インライン全数検査を想定したコンセプトとしている。

【実験結果】InGaP/GaAs/InGaAs 3 接合太陽電池試料において、光源出力を変更しながら励起光の放射照度とディテクタで得られる輝度値の推移を調査し、全てのサブセルの PL 画像化条件にて指数的な輝度変化が生じることを確認した。このことは pn 接合起因の現象と考えられるが、電気的な特性を直接的に求めることが難しいため、解析手法としての妥当性については当日議論する。

【謝辞】本研究は、新エネルギー・産業技術総合開発機構(NEDO)からの委託研究により実施された。評価にあたりサンプルの提供等でご協力を頂いたシャープエネルギーソリューション株式会社様、並びに関係各位に感謝いたします。

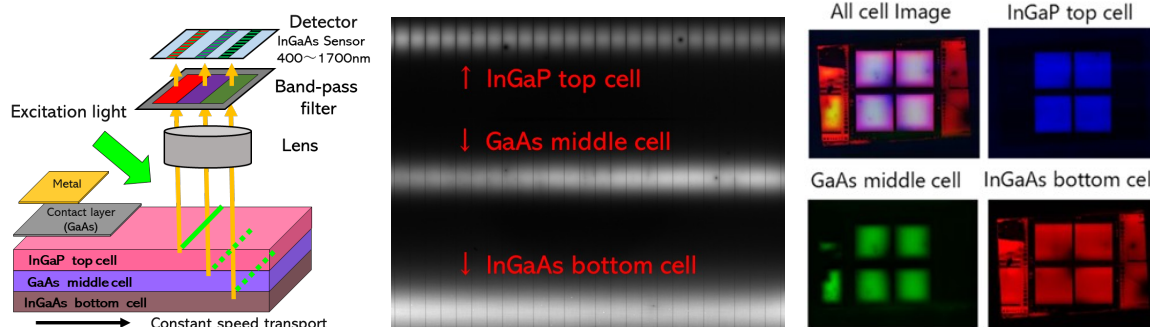


Fig. 1. Simultaneous scanning technology of photoluminescence for III-V compound semiconductor multi-junction solar cells.

HVPE 法で作製された 6 インチ InGaP 太陽電池の面内均一性評価

In-plane uniformity of 6-inch InGaP solar cells

fabricated by hydride vapor phase epitaxy

東京都市大¹, 産総研², 大陽日酸³ ○(M2)近藤 圭悟¹, 大島 隆治²,

清水 裕大³, 生方 映徳³, 徳永 裕樹³, 菅谷 武芳², 岡野 好伸¹

TCU¹, AIST², TNSC³, ○K. Kondo¹, R. Oshima², Y. Shimizu³,

A. Ubukata³, H. Tokunaga³, T. Sugaya², Y. Okano¹

E-mail: 2481420@tcu.ac.jp

【研究背景】ハイドライド気相成長 (HVPE) 法は、従来の MOVPE 法と比べて製造コスト、成長速度の点で有利であり、III-V 族多接合太陽電池の新たな製造方法として期待されている。我々はこれまでに、HVPE 法を用いた 2 インチ HVPE 装置を開発し [1]、高効率な単接合太陽電池 [2,3] や GaInP/GaAs の 2 接合太陽電池 [4] の作製を実証してきた。さらに、スループット向上を目的として、6 インチウエハを 1 枚搭載可能な縦型 HVPE 装置の開発に取り組んでいる。今回、量産装置の開発の一環として、6 インチ HVPE によって成長させた InGaP 太陽電池の面内分布を評価した。

【実験】HVPE 法を用いて 6 インチ GaAs 基板上に GaInP セルを作製した。基板は(111)B に 4°微傾斜させた(001)方位を用いた。GaAs および InGaP の成長温度は 25 $\mu\text{m/h}$ 、20 $\mu\text{m/h}$ とした。太陽電池の特性評価のために、フォトリソグラフィを用いて表面にフィンガー電極とメサ分離構造を形成した。高速回転による成長では同心円状の面内分布が生じることが予想されるため、4 分割したうちの 1 つのウエハ片を用いて 5 mm 角の InGaP セルを 10×10 個配列させたセルアレイを形成した。反射防止膜は形成済みである。

【結果と考察】図 1 は、太陽電池パラメータの面内分布を評価したものである。短絡電流密度 (J_{sc}) および開放電圧 (V_{oc}) は、ウエハ中心から周辺にかけて徐々に低下したのに対し、曲線因子 (FF) はウエハ全体でほぼ均一な値を示した。この原因として、ウエハ中心から外周にかけて膜厚が薄くなっていること、InGaP の In 組成が増大していることが考えられる。当日は、量子効率スペクトルと合わせてさらに議論を行う。

【謝辞】本成果は、国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO) の委託業務(JPNP20015)の結果得られたものである。

[1] R. Oshima, et al., *Photovolt*, **9**, 154 (2019). [2] R. Oshima, et al., *Crystale*, **13**, 370 (2023).

[3] Y. Shoji, et al., *Sol. RRL*, **8**, 2300845 (2024). [4] Y. Shoji, et al., *Sol. RRL*, **6**, 2100948 (2022).

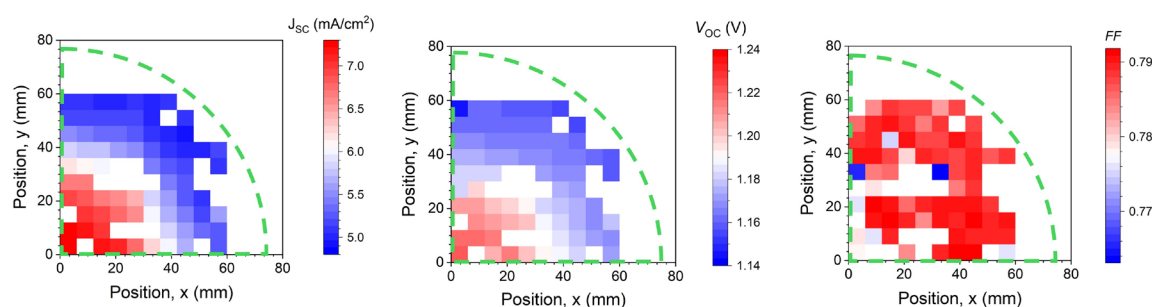


Fig. 1 In-plane distributions of J_{sc} , V_{oc} , and FF of InGaP solar cells on a quarter of 6-inch wafer.

完全濡れ In 融液膜を前駆体としたポリイミド基板上への InP 薄膜の直接形成

Direct formation of InP films on polyimide substrates using molten In films in a perfect wetting state as precursors

名大院工¹, 名大未来研², 名大未来機構³, [○]勝部 涼司¹, 松永 太陽¹, 宇佐美 徳隆^{1,2,3}

Grad. Eng.¹, IMaSS², InFuS³ Nagoya Univ., [○]Ryoji Katsube¹, Taiyo Matsunaga¹, Noritaka Usami^{1,2,3}

E-mail: katsube.ryoji.p7@f.mail.nagoya-u.ac.jp

【はじめに】III-V 族半導体太陽電池は実用化されている太陽電池の中で最も変換効率が高いが、高価な III-V 族単結晶や Ge 単結晶基板を必要とするため、応用先は宇宙用等の特殊用途に限定されている。一方我々は、In 融液が MoO_x/Mo/SLG 基板上では特異的に均一な融液膜となる“完全濡れ現象”を見出し、完全濡れ In 融液膜をりん蒸気と反応させることで、光学的にはバルク単結晶に匹敵する品質を有する InP 薄膜を形成できることを報告した [1]。この現象は、In 融液と MoO_x との界面反応による (111) 配向 In₂O₃ の形成を起点として発現する。この素過程における MoO_x はアモルファスで良いため、上記のプロセスは、任意の基板上への InP 製膜に発展させられる可能性がある。本研究では、フレキシブル太陽電池への応用を指向し、ポリイミド基板上で完全濡れ In 融液膜を前駆体とする InP 製膜が可能か検証し、物性評価することを目的とした。

【実験方法】基板材料は高耐熱性ポリイミドフィルム (PIF) XENOMAX®とし、MoO₃を蒸発源とする真空蒸着法により MoO_xを 50 nm 製膜した。次に、300 °C の大気中で 30 min 熱処理することで、蒸着中に脱離した酸素を補填した。その後、真空蒸着法で In を ~ 500 nm 製膜することで、In/MoO_x/PIF 積層膜を作製した。りん供給源としては Sn/Sn₄P₃ 二相試料 [2] を用いた。積層膜をりん供給源とともに内圧 10⁻² Pa 以下の石英管中に封入した後、400 °C、30 min の条件で熱処理することで、In のりん化を試みた。以上の処理後の試料に対し、SEM-EDS による組織観察と XRD による相同定を行った。さらに、フォトルミネッセンス法等により InP 膜の物性評価を行った。

【実験結果・考察】Figure 1 に PIF および MoO_x/PIF 上に製膜した In をりん供給源無しの条件で熱処理した後の SEM-EDS 観察結果を示す。PIF 上に直接製膜した場合は In が球状に存在しており、熔融した際に液滴化したと考えられる。一方、MoO_xを下地層として製膜した試料表面には In は均一に存在しており、熔融した際にも液滴化せずに一様な膜であった、つまり、MoO_x/PIF 上においても In 融液の完全濡れ現象が発現することが分かった。これをりん化した試料の実態写真を Figure 2 に示す。一様で光沢のある黒色薄膜が得られており、InP 連続膜が PIF 上にされたと考えられる。講演では、得られた InP の物性評価の結果も併せて議論する。

【謝辞】本研究は JSPS 科研費 JP25K01557 および服部報公会工学研究奨励援助金の助成を受けました。また、XENOMAX® は東洋紡株式会社のご厚意でサンプル提供いただきました。

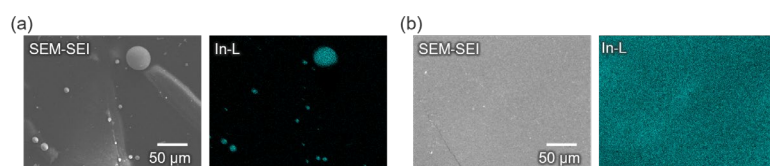


Figure 1. SEM images and the corresponding In-L EDS mappings of (a) In/PIF and (b) In/MoO_x/PIF samples after annealing at 400 °C for 30 min.

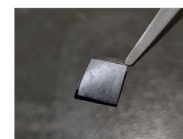


Figure 2. Photograph of the InP films on the PIF substrate prepared by phosphidation of In/MoO_x/PIF.

[1] Katsube et al., *ACS Appl. Electron. Mater.* **1**, 877 (2019). [2] Nakatsuka et al., *Thin Sol Films* **589**, 66 (2015).

BiVO₄ 光電極上の NiFeO_x 助触媒によるオンセットポテンシャルの制御

Control of Onset Potential by NiFeO_x Cocatalysts on BiVO₄ Photoelectrode

筑波大学¹, 宮崎大学² 甲南大学³ (M1) 朝倉 翔也¹, 佐藤 勇汰¹, Lingga Ghufira

Oktariza¹, 櫻井岳暁¹, 吉野賢二², 吉山 功一², 東 智弘², 池田 茂³

Univ. Tsukuba¹, Miyazaki Univ.², Konan Univ.³ Shoya Asakura¹, Yuta Sato¹, Lingga Ghufira

Oktariza¹, Takeaki Sakurai¹, Kenzi Yoshino², Koichi Yoshiyama², Tomohiro Higashi² Shigeru Ikeda³

E-mail: s2520275@u.tsukuba.ac.jp

太陽光を利用した水分解による水素生成技術の開発は、再生可能エネルギーの貯蔵手段として極めて有用である。当研究グループでは、二段階励起型 Z スキーム光電極系において、可視光を吸収可能な酸素発生光電極として有望な BiVO₄ 薄膜に着目し、大面積成膜が可能な RF スパッタリング法を用いた製膜技術の確立に取り組んでいる。

光電極系を外部電圧なしで駆動するためには、酸素発生電極 (photoanode) と水素発生電極 (photocathode) 間に同等の光電流 (J_{op}) が流れる必要があり、低い立ち上がり電圧を示す photoanode のオンセットポテンシャルの制御が有効である。オンセットポテンシャルは主に材料の表面状態に依存するため、本研究では異なる 3 つの担持方法で作製したニッケルフェライト NiFeO_x 助触媒を BiVO₄ 上に修飾し、その影響を評価した。図1に示す X 線光電子分光の評価の結果、dip 法、drop-cast 法、spin-coat 法により形成された NiFeO_x 膜では、特に鉄の酸化状態に顕著な差異が生じることが確認された (Fig.1)。特に、dip 法で作られた薄膜では、Fe³⁺ の比率が高く、一方、Spin Coat 法で作成された薄膜では Fe²⁺ が多い。この時、紫外光電子分光によるバンドベンディング量を測定した所、表面バンドベンディング量と鉄の酸化数、オンセットポテンシャルに強い相関が現れることを見出した。続いて、光電流計測を行ったところ、光電流ならびにオンセットポテンシャルは NiFeO_x 膜の製法によって変化することが明らかになった。特に dip 法で形成された NiFeO_x 膜試料で低いオンセットポテンシャル、高い光電流を観測した (Fig.2) このことは、同じ助触媒でも製法により鉄の酸化状態が変化し、その結果、NiFeO_x の配位子場ならびにフェルミ準位のエネルギー位置が変動することを示唆し、光電極系でのポテンシャル変動の起こることが明らかになった。

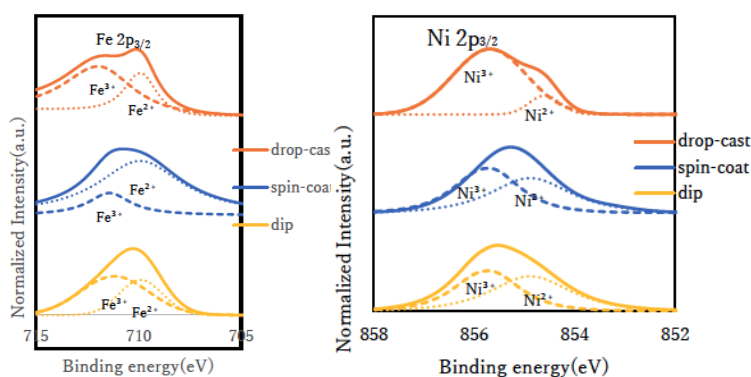


Fig.1 BiVO₄ 薄膜上に担持した NiFeO_x 薄膜の XPS(Fe,Ni)

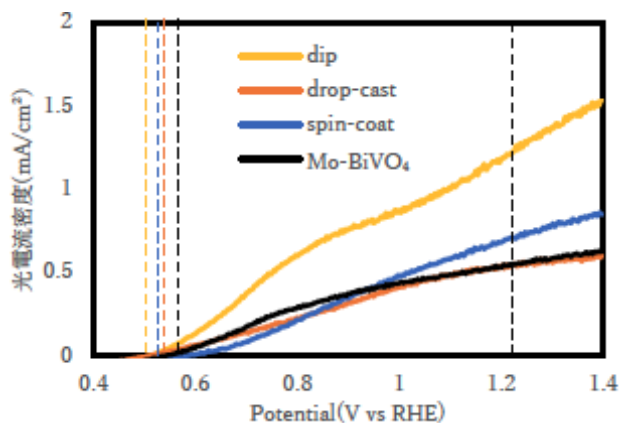


Fig.2. 異なる製法で担持された NiFeO_x 助触媒を用いた photoanode (NiFeO_x/Mo-BiVO₄) の光電流計測結果

続いて、光電流計測を行ったところ、光電流ならびにオンセットポテンシャルは NiFeO_x 膜の製法によって変化することが明らかになった。特に dip 法で形成された NiFeO_x 膜試料で低いオンセットポテンシャル、高い光電流を観測した (Fig.2) このことは、同じ助触媒でも製法により鉄の酸化状態が変化し、その結果、NiFeO_x の配位子場ならびにフェルミ準位のエネルギー位置が変動することを示唆し、光電極系でのポテンシャル変動の起こることが明らかになった。

大気開放型 CVD 法により作製した CdZnS バッファ層の フォトルミネッセンス測定

Photoluminescence measurement of CdZnS buffer layers by open-air CVD method

木更津高専¹, 長岡技術科学大学²

○(B) 松井 隼人¹, 栗本 祐司¹, 岡本 保^{1,*}, 金井 綾香², 田中 久仁彦²

NIT Kisarazu Coll.¹, Nagaoka University of Technology.²

○Hayato Matsui¹, Yuji Kurimoto¹, Tamotsu Okamoto^{1,*}, Ayaka Kanai², Kunihiro Tanaka²

*E-mail: okamoto@e.kisarazu.ac.jp

1. まえがき

化合物薄膜太陽電池では、バッファ層と光吸収層との界面のバンド不連続が変換効率に影響を及ぼすことが知られている。我々はこれまでに、大気開放型 CVD 法により CdZnS バッファ層の組成制御を試みてきた[1]。この方法で CdS と ZnS の原料の比率を調整することで CdZnS の組成を連続的に制御することができる。今回、様々な組成の CdZnS 膜のフォトルミネッセンス(PL)測定を行ったので報告する。

2. 実験方法

CdZnS 層を石英基板上に基板温度 450℃で作製した。CdS と ZnS の原料として、それぞれ粉末状のジエチルジチオカルバミド酸カドミウム ($C_{10}H_{20}CdN_2S_4$) と粉末状のジエチルジチオカルバミド酸亜鉛 ($C_{10}H_{20}ZnN_2S_4$) を用いた。これらの原料比 R は 0~100% の範囲で変化させた。ここで R は混合した原料全体の重量に対する CdS の原料である $C_{10}H_{20}CdN_2S_4$ の重量の比率である。PL 測定は室温で行った。励起光として 340nm の LED 光を用いた。

3. 測定結果

Fig. 1 に様々な CdS 原料比 R で作製した CdZnS 膜の PL スペクトルを示す。この図からわかるように、室温でも明確に PL 発光が観測された。さらに、Zn 組成の増加に伴い PL ピークが高エネルギー側にシフトすることが確認できた。Fig. 2 に PL ピークエネルギーと吸収スペクトルから見積もったバンドギャップの CdS 原料比 R との関係を示す。CdS 原料の比率を変化させることにより、CdZnS 膜のバンドギャップは連続的に変化し、得られた ZnS 膜 ($R=0\%$) のバンドギャップは酸素の取り込みにより ZnS のバンドギャップ (3.68eV) よりも小さくなっている。PL ピークエネルギーは、CdS 組成が減少するにつれて増加した。これらの結果は、PL ピークエネルギーがバンドギャ

ップの変化に対応して変化することを示唆している。

本研究の一部は科研費基盤(C)(25K08519)の援助を受けた。

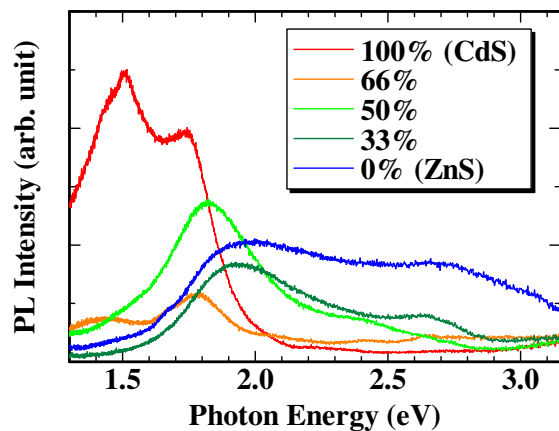


Fig. 1 PL spectra of the CdZnS film with various ratio of CdS source R .

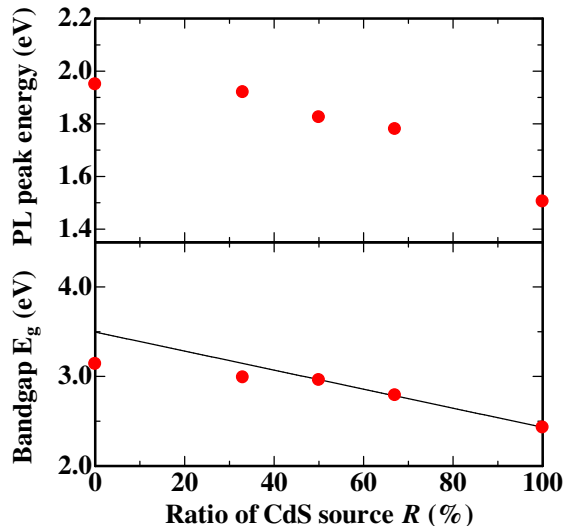


Fig. 2 Dependence of the PL peak energy and the band gap estimated from the absorption spectra on the ratio of CdS source R .

参考文献

[1] Y. Kurimoto, D. Kobayashi, N. Asou, and T. Okamoto, Jpn. J. Appl. Phys., 62 (2023) SK1048.

三源系ファインチャネルミスト CVD 法による
Cu₂Sn_{1-x}Ge_xS₃ 薄膜の作製における原料溶液の濃度検討
Investigation of raw material solution concentration in the preparation of
Cu₂Sn_{1-x}Ge_xS₃ thin films by three-source fine channel mist CVD method

長岡技術科学大学¹ ○(M2) 中島 和輝¹, 松下 知樹¹, 金井 綾香¹, 田中 久仁彦¹
長岡技術科学大学
Nagaoka Univ. Tech.¹, Kazuki Nakashima¹, Tomoki Matsushita¹, Ayaka Kanai¹, Kunihiko Tanaka^{1*},
*E-mail: tanaka@vos.nagaokaut.ac.jp

1. はじめに

Cu₂Sn_{1-x}Ge_xS₃(CTGS)は Cu₂SnS₃(CTS)と Cu₂GeS₃(CGS)の混晶半導体で, 近赤外から可視光域にて 10⁴ cm⁻¹ 以上の光吸収係数を有し, 組成比 *x* を変えることで単接合太陽電池の理想バンドギャップである 1.4 eV に近付けることが可能である。これまで本研究室では, Cu, Sn を含む溶液と S を含む溶液を個別に作り, これらからミストを別々に発生させ混合し, 狭い空間に置いた加熱基板上に混合ミストを送って成膜する二源系ファインチャネルミスト CVD 法により硫化プロセス不要でソーダライムガラス(SLG)基板上への CTS 薄膜堆積を行ってきた^[1]。本研究では CTS 薄膜堆積機構に Ge を含む溶液を追加した三源系ファインチャネルミスト CVD 法により, SLG 基板上への CTGS 薄膜堆積を試みた。

2. 実験方法

ミスト原料溶液は純水を溶媒として塩化銅二水和物(CuCl₂・2H₂O)と塩化錫五水和物(SnCl₄・5H₂O)を溶かしたもの, 純水を溶媒とし水酸化ナトリウム(NaOH)水溶液と塩酸(HCl)を添加したものに酸化ゲルマニウム(GeO₂)を溶かしたもの, そして純水を溶媒としてチオ尿素(CH₄N₂S)をモル濃度 0.28M となる様に溶かしたものをを用いた。これら 3 つの溶液を超音波振動子によって別々にミスト化し, ミスト状態のまま混合空間に搬送して混合後, 382℃ に加熱した基板上に吹き付けることで CTGS 薄膜の堆積を行った。今回行った実験では塩化銅二水和物, 塩化錫二水和物, 酸化ゲルマニウムのモル濃度をサンプル毎に変えて各溶液の濃度の検討を行った。

3. 結果および考察

Figure 1 に作製したサンプルの条件及び成膜結果を示す。●は SLG 基板全体に, ▲は部分的に成膜出来たサンプル, ×は殆ど成膜出来なかったサンプルを示す。結果としては Cu/Sn 比が 3.3~5.3 かつ Cu/Ge 比が 3.8~7.4 の範囲で原料を仕込んだサンプル(×)は成膜が上手くいかない傾向があることが分かった。逆に Cu/Sn 比が 3.3 未満, または 5.3 を超過, かつ Cu/Ge 比が 3.9 未満, または 7.4 を超過した条件のサンプル(●)は全て基板上全体に成膜されることが分かった。

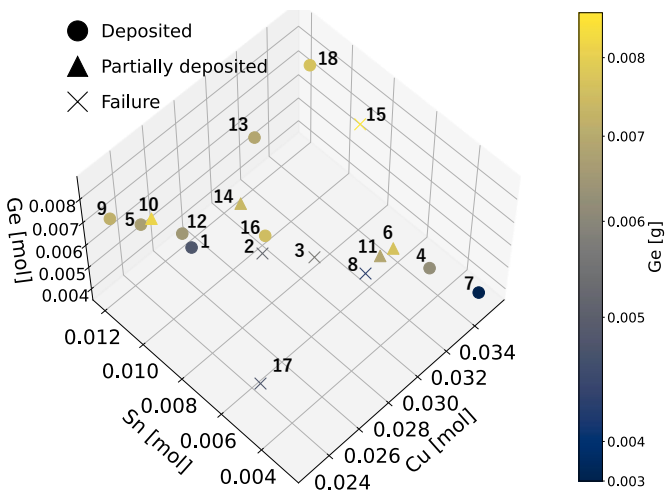


Fig.1 Conditions and results

参考文献 [1]K. Okamura *et al.*, Applied Physics A **128** (2022) 980.
謝辞 本研究の一部は岩谷直治記念財団及び矢崎科学技術振興記念財団の助成を受けたものです。

Na 添加 Cu₂Sn_{1-x}Ge_xS₃ 薄膜太陽電池のフォトルミネッセンス観測

Photoluminescence observation of Na-doped Cu₂Sn_{1-x}Ge_xS₃ thin film solar cells

長岡技科大¹, 長岡高専²

〇市原 稜大¹, 田崎 傑士², 金井 綾香¹, 荒木 秀明², 田中久仁彦¹

Nagaoka Univ. of Tech.¹, Nat. Inst. of Tech. (KOSEN), Nagaoka Col.²

[○]Ryodai Ichihara¹, Takeshi Tasaki², Ayaka Kanai¹, Hideaki Araki², and Kunihiro Tanaka^{1,*}

E-mail*: tanaka@vos.nagaokaut.ac.jp

1. はじめに Cu₂Sn_{1-x}Ge_xS₃ (CTGS)は Cu₂SnS₃ (CTS)と Cu₂GeS₃ (CGS)の混晶半導体であり、有毒・希少元素を含まない新たな太陽電池材料として有望である。しかし、CTGS 薄膜太陽電池の最高効率 は 6.73%と改善の余地がある^[1]。先行研究では、Na 添加 CTGS 薄膜の定常状態 フォトルミネッセンス(PL)観測により Na 添加が CTGS の物性に与える影響を調べ、Na と Cu 空孔の複合欠陥と推測される新たな欠陥が生成されることを示した^[2]。さらに、太陽電池の電気特性評価から Na 添加が変換効率をはじめとする性能向上に寄与することが明らかとなっ ている^[3]。しかし、CTGS 薄膜太陽電池に Na 添加したことにより生成される欠陥については不 明な点が多い。本研究では、Na 添加 CTGS 薄膜太陽電池を定常状態 PL 観測により調べて効 率と欠陥の関係を明らかにし、さらなる効率向上に向けた指針を得ることを目的とした。

2. 実験方法 試料は次の手順で得た^[2]。EAGLE-XG 上に DC スパッタ法により Mo 裏面電極 を成膜した。その上に CTGS 薄膜を Cu, Sn, Ge, S の同時堆積により成膜した。次に NaF 10 mg を熱蒸着により堆積した。前駆体を S 100 mg と共に赤外線炉に入れ 570℃で硫化した。こ こで、組成比 $x = \text{Ge}/(\text{Sn} + \text{Ge}) = 0.27(\text{with Na}), 0.33(\text{without Na})$ である。得られた CTGS 薄膜 上に CdS バッファ層を化学溶液堆積法により成膜した。最後に窓層と電極を取り付け、 Al/ZnO:Al/CdS/CTGS/Mo/EAGLE-XG 太陽電池を作製した。定常状態 PL 観測では、励起光源 に波長 445, 532, 890 nm を用いて試料の深さ方向に対して発光スペクトルの励起光強度・試 料温度依存性を調べた。PL はポリクロメータで分光し、InGaAs-CCD により検出した。

3. 結果および考察 Figure 1 に Na 添加 CTGS 薄膜 太陽電池($x = 0.27$)の規格化した定常状態 PL スペク トルを示す。532, 890 nm 励起のスペクトルは似た特 徴を示したが、445 nm 励起の場合は他波長の場合と 大きく異なり、1.026 eV のメインピークよりも高エ ネルギー側に別のピークがある。これは CdS 界面付 近の物性が空乏層内/CTGS 光吸収層付近とは大きく 異なることを示唆している。詳細は当日議論する。

謝辞 本研究は JSPS 科研費 24K01416 の助成を受けた。

参考文献 [1] M. Umehara et al., Appl. Phys. Express **9**, 072301 (2016). [2] R. Ichihara et al., J. Solid State Chem. **345**, 125244 (2025). [3] T. Tasaki et al., Materials **17**, 1886 (2024).

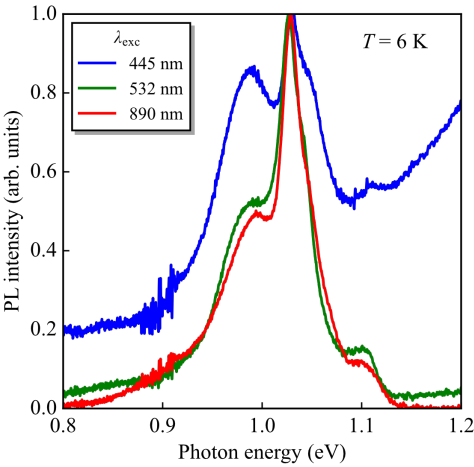


Figure 1: PL spectra of CTGS solar cell.

硫化処理後の冷却速度が SnS 薄膜の異相に与える影響

Effect of cooling rate after sulfurization treatment on extra phases in SnS thin films

東京理科大学 創域理工¹/総研²,

○小郷 和嗣¹, 笠 春輝¹, 土山 岳斗¹, 杉山 睦^{1,2}

1. Faculty of Science and Technology / 2. RIST, Tokyo Univ. of Science

○K. Ogo¹, H. Ryu¹, T. Tsuchiyama¹, M. Sugiyama^{1,2} E-mail: optoelec@rs.tus.ac.jp

【はじめに】 硫化スズ(SnS)は p 型導電性を示し光吸収係数が高いため、次世代太陽電池の光吸収層などの材料として期待されている。これまで我々は、SnS 薄膜の成膜法として、スパッタ法で Sn や Sn-S プリカーサを堆積後、硫黄雰囲気下にてアニールを行う硫化処理について報告してきた[1]。硫化処理は、簡便かつ大面積化が可能であり、高温硫化を行うことで硫黄の拡散による V_S 形成の抑制や粒径の増大が期待できる。一方で、硫化処理では SnS 薄膜内に安定相である SnS_2 、 Sn_2S_3 といった n 型の異相が容易に形成されるという課題がある。形成される Sn-S 系化合物は硫化温度依存性が高いことが報告されており、特に硫化温度が 300 °C 以下の範囲で多く異相の形成が確認されている[2,3]。そのため 500 °C 付近での高温硫化後の試料冷却過程で異相が形成される可能性がある。しかし、冷却過程に関する報告は少なく、冷却速度が SnS 薄膜へ与える影響については未解明である。本研究では、冷却速度などの環境が SnS 薄膜の異相形成に与える影響を検討した。

【実験方法】 Sn-S(Sn:S=1:2)ターゲットを用いて、Mo/SLG 上に RF マグネトロンスパッタ法を用いて Sn-S プリカーサを堆積した。その後、Sn-S プリカーサに対して S 粉末 25 mg を用い硫化温度を 550 °C とし、10 min.硫化処理を行った。冷却速度は、硫化処理後に熱源と試料の距離を離したり留めたままにすることで変化させた。以下ではそれぞれの冷却方法を急冷、徐冷と定義する。

【結果及び考察】 図 1 に硫化処理後の冷却法を急冷、徐冷とした試料の θ -2 θ 回折パターンを示す。徐冷した場合において SnS_2 由来の回折が確認された。一方で急冷した場合、 SnS_2 由来の回折は確認されず SnS と Sn_2S_3 由来の回折が確認された。これより急冷によって、冷却における高温の時間が減少し異相の形成が抑制されたことが示唆された。また、図 2 に急冷、徐冷とした試料の表面 SEM 像を示す。冷却過程の違いが試料の表面形態に影響を与えることを確認した。詳細は当日報告する。

【謝辞】 本研究の一部は、東京理科大学総合研究院再生可能エネルギー技術研究部門、およびスペースシステム創造研究センターの支援を受けた。

【参考文献】 [1] Our group, Jpn. J. Appl. Phys **47** (2008) 8723.

[2] K. T. R. Reddy, *et al.*, CAP **15** (2015) 591.

[3] R. Caballero, *et al.*, TSF **612** (2016) 204.

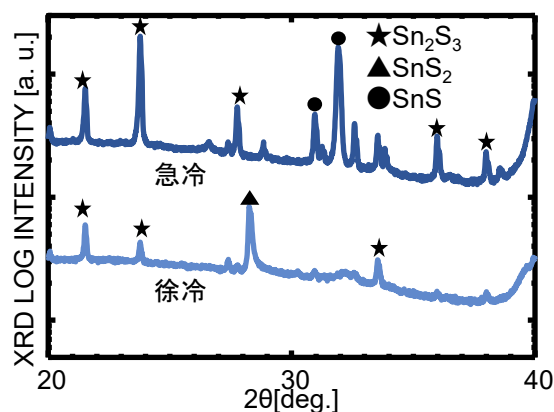


図 1. 急冷、徐冷を行った SnS 薄膜の θ -2 θ 回折パターン
(a) (b)

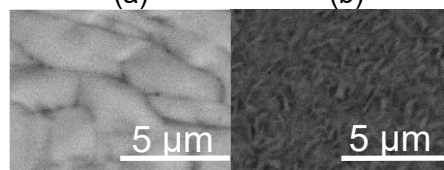


図 2. (a)急冷、(b)徐冷を行った SnS 薄膜の表面 SEM 像

Cu(In,Ga)Se₂ 光電極表面のバンド制御が CO₂ 還元中の光電流に与える影響

The effect on photocurrent during CO₂ reduction
by controlling surface band structure of Cu(In,Ga)Se₂ photoelectrode

東京理科大学 創域理工¹/総研², 学振特別研究員 DC³

◦高田 竜之介¹, 奥山 信太郎¹, 岡田 一真¹, 植田 かな^{1,3}, 杉山 睦^{1,2}

1. Faculty of Science and Technology / 2. RIST, Tokyo Univ. of Science,

3. JSPS Research Fellow

◦R. Takada¹, S. Okuyama¹, K. Okada¹, K. Ueda^{1,3}, M. Sugiyama^{1,2} E-mail: optoelec@rs.tus.ac.jp

【はじめに】 カーボンニュートラルに向けて、半導体光電極を用いて CO₂ を還元し CO や HCOOH 等の資源を生み出す取り組みが行われている。CO₂ 還元に用いる光電極材料は、伝導帯下端(CBM)が CO₂ 還元電位よりも高く、価電子帯上端(VBM)が酸素生成電位よりも低いことが求められる。Cu(In,Ga)Se₂(CIGS)は光吸収係数が高く、可視光吸収可能であることに加え、水素生成に適したバンドギャップを有していることから、太陽電池[1]や光電極材料[2]として期待されている。しかし、太陽電池に用いられる CIGS の CBM 及び VBM は CO₂ 還元に必要なエネルギー準位を満たしていない。そこで、CIGS は組成比制御や表面修飾を行うことにより、CBM 及び VBM のエネルギー準位の制御が可能であることに着目した。これらバンド構造の制御を行った CIGS 光電極による水分解において光電流が増加した[2]ことから、CO₂ 還元においても同様の効果が期待される。本研究では、CIGS 光電極の CBM 及び VBM の制御が CO₂ 還元中に得られる光電流に与える影響を検討する。

【実験方法】 Mo/SLG 上に MBE 装置を用いて CIGS 薄膜を成膜し、その CIGS 薄膜表面に 500 °C で Cs 化合物を形成させた[3]。得られた試料を作用極、Pt 線を対極として CO₂ 還元を試みた。光源は 300 W の Xe ランプを用い、NaHCO₃ 溶液中において CO₂ を溶解させ、電流電圧測定を行った。

【結果及び考察】 図 1 に CO₂ 溶解後の CIGS 光電極及び Cs 化合物を表面に形成させた CIGS 光電極における電流電圧特性を示す。CIGS 光電極と比較して Cs 化合物を表面に形成させた CIGS 光電極の光電流が増加したことが確認された。これは CIGS 光電極上に Cs 化合物が形成されたことで CIGS 光電極表面の価電子帯が低くなり[3]、このことが光電流の増加に繋がった可能性があると考えられる。詳細は当日報告する。

【謝辞】 本研究の一部は、JSAP 特別研究員奨励費 JP25KJ2113、東京理科大学総合研究院再生可能エネルギー技術研究部門、およびスペースシステム創造研究センターの支援を受けた。

【参考文献】 [1] M. Nakamura, *et al.*, IEEE J Photovoltaics. **9** (2019) 1863.

[2] Our group, J. Phys. D: Appl. Phys. **57** (2024) 135103.

[3] Our group, Nano Energy **68** (2020) 104299.

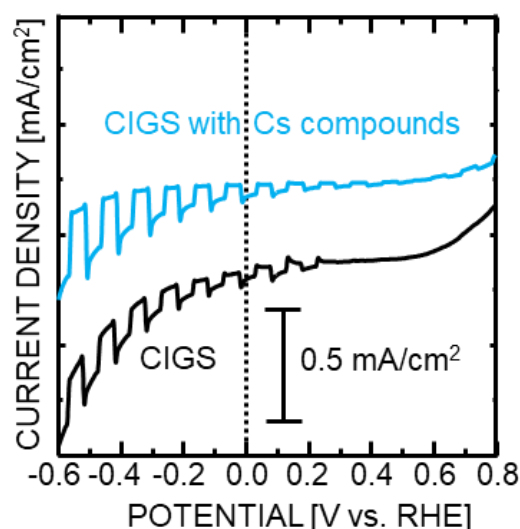


図 1. CIGS 及び Cs 化合物を形成させた CIGS 光電極の水溶液中での電流電圧特性

電気測定による半導体/水溶液界面の 電子-水素イオン相互作用観測に向けた検討

The investigation for the observation of the interaction between electron and H^+
in semiconductor/electrolyte based on electrical properties

東京理科大学 創域理工¹/総研², 学振特別研究員 DC³

◦植田 かな^{1,3}, 杉山 睦^{1,2}

1. Faculty of Science and Technology / 2. RIST, Tokyo Univ. of Science,

3. JSPS Research Fellow

◦K. Ueda^{1,3}, M. Sugiyama^{1,2} E-mail: optoelec@rs.tus.ac.jp

【はじめに】脱炭素社会の実現に向けて、太陽光と水のみで水素生成可能な光電極を用いた手法が注目されている。可視光吸収可能な半導体である $Cu(In,Ga)Se_2$ (CIGS)は高効率な太陽電池材料として知られており、近年光電極材料としても期待されている[1]。しかし CIGS を表面とした光電極では表面欠陥等の水分解反応を抑制する要因が存在することから、CIGS 光電極/水溶液界面における水分解反応メカニズムの詳細な検討が求められる。反応メカニズム解明に向け、我々は物理・化学“両面”からキャリアダイナミクスを検討するために半導体/水溶液界面における“光イオントロニクス(=物理的側面+化学的側面)”の概念(図 1)による検討を提案している[2]。これまでに半導体/水溶液界面の光励起電子のダイナミクスについて物理的観点から評価を行ってきた[3]。しかし、光イオントロニクス観点から評価するためには、電子と水素イオン双方のダイナミクス(光イオントロニクスダイナミクス)を評価することが求められる。そこで、本研究では電子と水素イオンが共に電荷の担い手であることに着目し、水分解最中の CIGS 光電極に対し電気測定を行うことで、光電極/水溶液界面での電子と水素イオンの相互作用に関する光イオントロニクスダイナミクス観測に向けて検討した。

【実験方法】MBE 成膜した CIGS 薄膜を用いて光電極を作製した。水分解最中の電気測定の一例として、電気化学インピーダンス法により光電極/水溶液界面での光イオントロニクスダイナミクスの評価を試みた。

【結果及び考察】電気化学インピーダンス法は光電極/水溶液界面のキャリアダイナミクスを抽出して評価する事が可能な手法である[4]。図 2 に暗条件及び明条件で電圧印加させた CIGS 光電極の水溶液中のナイキストプロットを示す。暗条件と比べ明条件時の CIGS 光電極のナイキストプロットの半円が縮小した。これは、光照射によって CIGS 光電極/水溶液界面で生じた電子と水素イオンの相互作用による影響を受けた可能性がある。詳細は当日報告する。

【謝辞】本研究の一部は、JSAP 特別研究員奨励費 JP25KJ2113、東京理科大学総合研究院再生可能エネルギー技術研究部門、およびスペースシステム創造研究センターの支援を受けた。

【参考文献】[1] S. Ikeda, *et al.*, *ChemSusChem* **4** (2011) 262. [2] Our group, *ACS Appl. Energy Mater.* **7** (2024) 10149. [3] 第 72 回春応物 植田 15a-K302-1 (2025). [4] Our group, *Thin Solid Films* **535** (2013) 287.

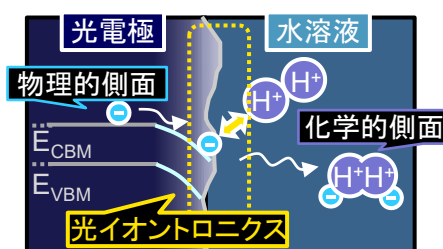


図 1. 半導体/水溶液界面の
光イオントロニクスダイナミクス

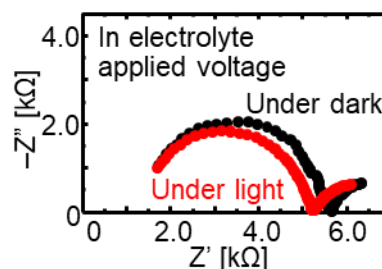


図 2. 暗条件および明条件で
水溶液中にて電圧印加させた
CIGS 光電極のナイキストプロット

Cu(In,Ga)S₂ 太陽電池のバッファ層応用を目指した ZnGeO の開発

Development of ZnGeO for a buffer layer in Cu(In,Ga)S₂ solar cells

東京科学大学工学院, [○](M2)小林 広夢, 鈴木 陽太, 西村 昂人, 山田 明

Dept. of Electrical and Electronic Engineering, Institute of Science Tokyo, [○]Hiromu Kobayashi,
Yota Suzuki, Takahito Nishimura, Akira Yamada

1. はじめに

近年、タンデム太陽電池に適用できる高効率かつワイドバンドギャップな太陽電池として Cu(In,Ga)S₂ (CIGS)系太陽電池の開発が期待されている。しかし、CIGS 太陽電池に適したバッファ層がないことが問題点として挙げられる。一般的にバッファ層材料として利用されている CdS は電子親和力が大きく、CIGS に対する伝導帯底の位置関係がクリフ構造となっている。そのため、順方向バイアス印加時におけるバンド湾曲の減少に伴い CdS/CIGS 界面での正孔濃度が増加し、キャリア再結合が増加する。[1]このことから CdS の代替となるバッファ層の開発が重要となる。本研究では、電子親和力が CdS と比べて小さい、ZnO と GeO₂ の化合物(以下 ZnGeO)に着目し、スパッタ法による作製および評価を実施したので報告する。

2. 実験方法

ZnGeO の製膜は圧力勾配スパッタ装置を用いて行った。ターゲットに ZnO、ZnGeO (ZnO:GeO₂=90:10mol%)、ZnGeO (ZnO:GeO₂=80:20mol%)を用い、スパッタパワーを 70W、圧力を 0.1Pa、基板温度を室温(24℃)とし、石英基板上にそれぞれ 500nm 程度製膜を行った。製膜した膜は、紫外可視近赤外分光法(UV-Vis)を用いて光学特性を評価した。

3. 結果と考察

Fig.1 に UV-Vis 測定で得られた透過率と反射率を示す。ZnGeO 薄膜では ZnO に比べ干渉縞の間隔が狭くなっている傾向が見られた。これは ZnO に GeO₂ を混晶化することにより屈折率が増加し、光路長が伸びたためだと考えられる。

Fig.2 に UV-Vis の結果から作成した吸収係数 α と直接遷移型の吸収と仮定した時の Tauc プロットを示

す。ZnO では急激な吸収係数の立ち上がりが見られたのに対し、ZnGeO ではやや緩やかに立ち上がることが分かった。このことから、GeO₂ と混晶化することで、直接遷移型の吸収からやや間接遷移型の吸収に変化したと考えられる。Tauc プロットから ZnO、ZnGeO (ZnO:GeO₂=90:10mol%)、および ZnGeO (ZnO:GeO₂=80:20mol%)のバンドギャップはそれぞれ 3.27eV、3.60eV、4.70eV となり、GeO₂ の割合を増やしていくことでバンドギャップが増加することが明らかとなった。本結果は、スパッタ法を用いた ZnGeO の混合比による伝導帯制御性を見出すとともに、ワイドギャップ太陽電池用バッファ層としての有用性を示すものである。

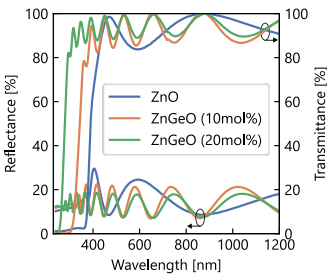


Fig.1 Reflectance and transmittance of ZnGeO thin film measured by UV-Vis.

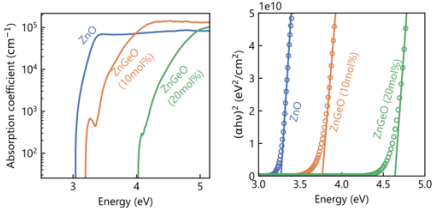


Fig. 2 Absorption coefficient and Tauc plot derived from UV-Vis data.

4. 参考文献

[1] D. Egyna et al., Cryst. Res. Technol. 58, 2, 2200145 (2023).

硫化水素熱処理で作製された Ag 過剰 Ag_8SnS_6 薄膜の Ag/Sn 比の影響

Effect of Ag/Sn ratio for Ag-rich Ag_8SnS_6 thin films prepared by H_2S annealing

都城高専¹, 東北大², 津山高専³, 長岡高専⁴

○赤木 洋二¹, 内村 友宏², 中村 重之³, 荒木 秀明⁴

NIT, Miyakonojo Coll.¹, Tohoku Univ.², NIT, Tsuyama Coll.³, NIT, Nagaoka Coll.⁴

○Yoji Akaki¹, Tomohiro Uchimura², Shigeyuki Nakamura³, Hideaki Araki⁴

E-mail: akaki@cc.miyakonojo-nct.ac.jp

[はじめに] 我々は Cu_2SnS_3 に対し Cu を Ag に置換させた Ag-Sn-S 材料に着目し研究を行なっている。その中でも Ag_8SnS_6 結晶はバンドギャップが 1.31-1.48eV[1,2]と報告されており、また、我々が行ってきた研究においても、1.33eV 程度[3]と報告しており、0.9eV のバンドギャップをもつ Cu_2SnS_3 太陽電池よりも高効率化が期待できる材料である。今回は、低温から 500℃程度の高温までの熱処理における Ag-Sn-S 薄膜の結晶評価を行ったので、その報告を行う。

[実験方法] 真空蒸着法により、Ag/Sn 比が 8.0～9.0 のモル比となるように原料を仕込み、glass/SnS/Ag プリカーサを成膜した。ここで、SnS を蒸着する際は基盤温度を 300℃として成膜を行った。成膜後、 H_2S 雰囲気中で 300～500℃、1 時間、熱処理を行った。ここで、 H_2S 濃度は 10% である。

[結果と考察] glass/SnS/Ag プリカーサを熱処理したときの XRD パターンを図 1 に示す。Ag/Sn 比が 8.5 以下の時は、 Ag_8SnS_6 結晶に帰属される回折ピークが観測でき、8.5 よりも大きくなると Ag_2S 結晶に帰属される回折ピークが観測できた。一方で、22.8°付近には SnS 結晶と考えられる回折ピークも観測されたが、Ag/Sn 比が大きくなるに従って、その強度も小さくなり、Ag/Sn 比が 8.5 でほぼ消失した。Ag/Sn 比が 8.5 以下のサンプルにおいて、メインピークのある 28.9°付近のピーク分離を行うと、メインピークは PDF ファイルデータである 28.95°とほぼ同じ値を示し、そのピークの半値全幅(FWHM)は、0.3°程度であった。Ag/Sn 比が 8.25 のサンプルにおいて、表面 SEM 写真より約 2.5μm 程度の最大粒径が得られ、また、EDS による元素マッピング(Ag : 赤、Sn : 緑、S : 青)から、一様なカラーが得られ、その色(赤紫)から Ag_8SnS_6 の存在が推測される結果が得られた。これらの結果より、8.25～8.5 の Ag/Sn 比とすることで品質の高い Ag_8SnS_6 結晶が得られる可能性が示唆された。

[1] L. Y. Yeh *et al.*, J. Power Sources, **275**, 750 (2015).

[2] K. W. Cheng *et al.*, J. Power Sources, **317**, 81 (2016).

[3] Y. Akaki *et al.*, ICTMC21(2018.9, Boulder, U.S.A.) p.57.

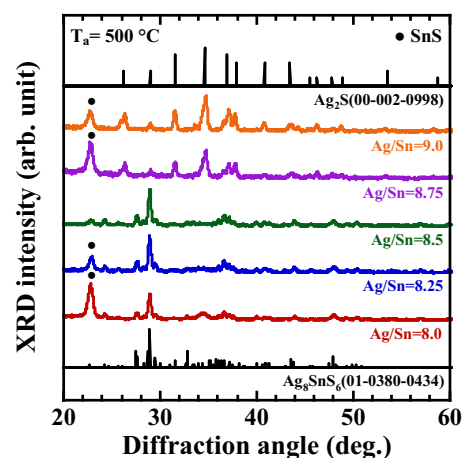


Fig. 1. XRD patterns of the Ag-Sn-S thin films annealed at 500 °C.

シード層・ナノロッドアニール工程検討による
ZnO/CuBr_{1-x}I_x 微細構造透明太陽電池の性能改善
Improvement of solar cell properties for ZnO/CuBr_{1-x}I_x microstructural
transparent solar cells with seed layer and nanorods annealing process
長岡技術科学大学¹ ○(M2) 落合 航也¹, 工藤 心暖¹, 行長 虎太郎¹, 金井 綾香¹, 田中 久仁彦¹
Nagaoka Univ. Tech.¹, Koya Ocihai¹, Konon Kudo¹, Kotaro Yukinaga¹, Ayaka Kanai¹,
Kunihiko Tanaka¹※
※E-mail: tanaka@vos.nagaokaut.ac.jp

1. はじめに

透明太陽電池は可視光を透過し、人間には見えない紫外光や赤外光を吸収して発電する太陽電池であり、窓などの採光部に設置することで機能や景観を損ねずに発電できることから、太陽電池の設置場所拡大に貢献できる。その中でも本研究室では、希少金属元素や有毒元素を利用せず、低コストで非真空な溶液プロセスによって作製できる ZnO/CuBr_{1-x}I_x(CuBrI)微細構造透明太陽電池 (Fig. 1)を提案し、検討を重ねてきた^[1]。しかし、先行研究^[1]では発電量が非常に小さいという問題があった。原因の1つとして、n 型層 ZnO の抵抗率が高く、生成されたキャリアを十分にに取り出せていないことが挙げられていた。そこで本研究では、ZnO のアニール方法を、従来の大気(Air)アニールから、窒素雰囲気(N₂)アニールまたは水素+窒素(水素 5%+窒素 95%, H₂-N₂)雰囲気アニールに変更し、酸素欠陥導入による ZnO の低抵抗率化で、太陽電池特性の改善を試みた。

2. 実験方法

2-メトキシエタノール(2-Metho)とモノエタノールアミン(MEA)に酢酸亜鉛二水和物(ZAD)を溶かした溶液を用いて、スピコート法により F 添加 SnO₂(FTO)基板上に ZnO シード層(SL)を作製した。次に、純水に ZAD とヘキサメチレンテトラミンを溶かした成長溶液中で、水熱合成法により ZnO SL から ZnO ナノロッド(NRs)を成長させた。この時、ZnO SL、NRs を Air, H₂-N₂ 雰囲気いずれかでアニールした。その後、純水に酢酸マグネシウム四水和物を溶かしたバッファ層溶液、2-Metho、MEA、純水にヨウ化銅、臭化銅を溶かした銅ハライド溶液をそれぞれディップコート法によって塗布し、微細構造透明太陽電池を得た。作製したサンプルは AM1.5 照射下での *J-V* 測定により評価した。

3. 結果および考察

Figure 2 に作製したサンプルにおける AM1.5 照射下での *J-V* 特性と太陽電池の写真を示す。Fig. 2 に示すように、H₂-N₂ 雰囲気 で SL を、大気中 (Air)で NRs をアニールしたサンプルで、開放電圧 *V*_{oc} = 198.8 mV、短絡電流密度 *J*_{sc} = 1.15 μA/cm²、曲線因子 FF = 38.6%、最大出力 *P*_{max} = 84.8 nW/cm² が得られた。特に最大電力密度は、先行研究^[1]の 7.3 nW/cm²と比較して約 12 倍に改善していることを確認した。太陽電池の構造や詳細な作製方法については当日報告する。

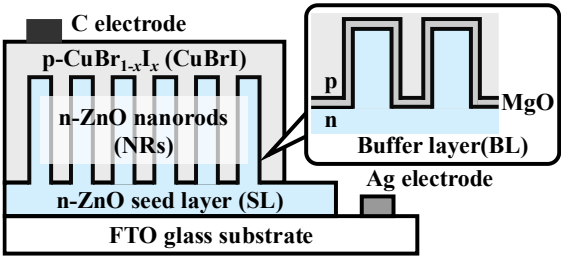


Fig. 1: 微細構造透明太陽電池の構造

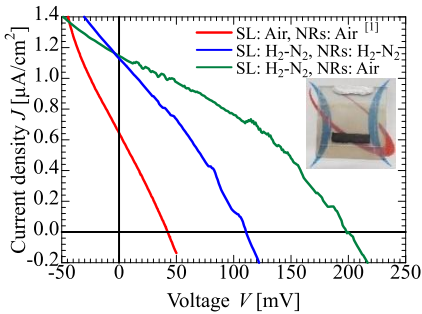


Fig. 2: *J-V* 特性と太陽電池写真

参考文献

[1]: N. Tsujimoto et al., Jpn. J. Appl. Phys. **63**, 031002 (2024).

13 Semiconductors | Oral presentation : 13.9 Compound solar cells

[9a-N323-1~9] 13.9 Compound solar cells

[9a-N323-1]

Heteroepitaxial growth of GaSb on GaAs substrates using a GaAsSb intermediate layer

○Yusuke Oteki¹, Vaishnavi Thakur¹, Vladimir Pillet², Yoshitaka Okada¹ (1.RCAST, 2.Ecole Polytechnique)

[9a-N323-2]

Effects of band tails on thermoradiative diode

○Yukihiro Harada¹, Takashi Kita¹ (1.Kobe Univ.)

[9a-N323-3]

Comparison of bonding interfaces with opposite polarities fabricated by wafer bonding for multijunction solar cells

○Hassanet Sodabanlu¹, Depu Ma², Kentaroh Watanabe², Masakazu Sugiyama^{1,2} (1.RCAST, U. Tokyo, 2.Sch. Eng., U.Tokyo)

[9a-N323-4]

Direct formation of InP films onto Si substrates utilizing a perfect wetting phenomenon of molten indium

○(M1)Taiyo Matsunaga¹, Imai Yuki¹, Usami Noritaka^{1,2,3}, Katsube Ryoji¹ (1.Nagoya Univ, 2.IMaSS Nagoya Univ, 3.InFuS Nagoya Univ)

[9a-N323-5]

Improved radiation hardness of GaAs solar cells using hetero p/n junction structure

○Tetsuya Nakamura¹, Kentaroh Watanabe², Maui Hino², Meita Asami³, Shota Yamasaki⁴, Shin-ichiro Sato⁴, Naotsugu Nagasawa⁴, Takeshi Ohshima^{4,5}, Masakazu Sugiyama² (1.JAXA, 2.RCAST, Univ. Tokyo, 3.Univ. Miyazaki, 4.QST, 5.Tohoku Univ.)

[9a-N323-6]

Investigation of energy-conversion loss mechanism in Indium Gallium Arsenide laser-power converter

○(M1)Ichinori Kan¹, Ryota Hanakuma¹, Ryo Yasumatsuya¹, Asahi Shigeo¹, Harada Yukihiro¹, Takashi Kita¹ (1.Kobe Univ.)

[9a-N323-7]

Incident laser intensity dependence of a GaInP solar cell with a distributed Bragg reflector for optical wireless power transmission

○(M1)Yuto Kaneko¹, Ryusei Takahashi¹, Junichi Suzuki¹, Reo Aoyama¹, Moeka Chiba¹, Ryoga Kakiuchi¹, Gin Hirano¹, Koichi Naniwae², Toshihiko Fukamachi², Masato Hagimoto², Kouichi Akahane³, Shiro Uchida¹ (1.Chiba Tech., 2.Ushio Inc., 3.NICT)

[9a-N323-8]

Reducing bonding resistance between p-InGaAs and n-InGaAs using room temperature wafer bonding method

○Shuto Fujiwara¹, Shuntaro Fujii¹, Keigo Saito¹, Moeka Chiba¹, Yuto Kaneko¹, Gin Hirano¹, Ryoga Kakiuchi¹, Kenta Mutsuzaki¹, Kouichi Akahane², Shiro Uchida¹ (1.Chiba Tech., 2.NICT)

[9a-N323-9]

Investigation of improving the efficiency of GaAs solar cells with DBR structure for optical wireless power transmission

○(M2)Moeka Chiba¹, Ryoga Kakiuchi¹, Junichi Suzuki¹, Reo Aoyama¹, Yuto Kaneko¹, Riku Maeno¹, Shion Kosugi¹, Ryusei Takahashi¹, Kouichi Akahane², Shiro Uchida¹ (1.Chiba Tech., 2.NICT)

GaAsSb 中間層を用いた GaAs 基板上 GaSb ヘテロエピタキシャル成長 Heteroepitaxial growth of GaSb on GaAs substrates using a GaAsSb intermediate layer

東大先端研¹ ◯橋木 悠亮¹, Vaishnavi Thakur¹, Vladimir Pillet^{1,2}, 岡田 至崇¹

◯Yusuke Oteki¹, Vaishnavi Thakur¹, Vladimir Pillet^{1,2}, and Yoshitaka Okada¹

¹ RCAST, Univ. of Tokyo, ² Ecole Polytechnique, Palaiseau, France,

E-mail: oteki@g.ecc.u-tokyo.ac.jp

【はじめに】、GaSb は低バンドギャップと高電子移動度を併せ持つことから、多接合太陽電池の 4, 5 層目のサブセルとして応用が期待されている[1]。しかし、高品質の GaSb 結晶成長法やデバイス構造の最適化に関する課題が残されており、さらに GaSb 基板を用いるより安価な GaAs 基板のヘテロエピタキシャル成長の研究が進んでいる[2]。本研究では $\text{GaAs}_x\text{Sb}_{1-x}$ 中間層を用いることで GaSb の表面粗さを $\sim 0.2\text{nm}$ に抑制できたことを報告する。

【実験および結果】分子線エピタキシー(MBE)法を用いて GaAs(001)基板上に GaSb を 400nm 成長させた。成長速度は $0.4 \mu\text{m}/\text{h}$ 、成長温度は 445°C とし、V/III は 5 程度とした。目視では表面に白濁は見られず鏡面を維持していたが、AFM で測定すると多数の螺旋転位が観測され、表面粗さ(RMS)は 0.31nm 程度であった(Fig.1(a))。螺旋転位は GaAs 基板と GaSb の格子不整合に起因した成長を示唆している。そこで GaAs(001)基板上に組成を変化させながら $\text{GaAs}_x\text{Sb}_{1-x}$ 中間層を成長した後、同条件で GaSb を 400nm 成長した結果、組成変化が 10 step 程度で螺旋転位が消失し、ひずみ緩和による $\langle 0-11 \rangle$ 方向への波状構造が見られたが (Fig.1(b))、表面粗さは 3.0nm 程度まで増大した。さらに $\text{GaAs}_x\text{Sb}_{1-x}$ 中間層の組成変化を 100 step 程度まで増やすと RMS が 0.58 nm まで改善した(Fig.1(c))。螺旋転位は観測されなかったが、点状の欠陥が多数見られた。GaSb の成長温度を 500°C まで増大することで Fig.1(c)で見られた点状の欠陥密度が低減し、RMS は 0.16 nm まで減少した(Fig.1(d))。以上の結果から、 $\text{GaAs}_x\text{Sb}_{1-x}$ 中間層の組成制御と成長温度の最適化によって、GaAs 基板上でも高品質な GaSb 層の成長が可能であり、低コスト・高効率な多接合太陽電池への応用に向けた基盤技術となると考えられる。

[1] M. P. Lumb *et al.*, Adv. Energy Mater., 7, 1700345 (2017).

[2] D. Jarosz *et al.*, Opto-Electronics Review, 32, e152620 (2024).

[3] A. Mansoori *et al.*, Solar Energy Materials and Solar Cells, 185, 21 (2018).

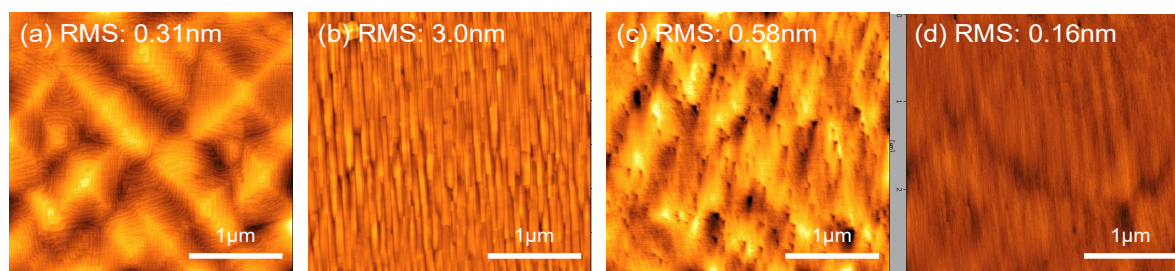


Fig.1. When GaSb was grown directly on a GaAs substrate, (a) numerous screw dislocations were formed. (b) The screw dislocations can be suppressed by growing an intermediate layer under the GaSb, but the surface roughness RMS increased. (c) By controlling the composition of the intermediate layer, RMS was improved but point defects other than screw dislocations were observed. (d) The growth conditions were further optimized and the defect density was reduced.

熱放射発電素子におけるバンドテイルの効果

Effects of band tails on thermoradiative diode

神戸大院工 ○ 原田 幸弘, 喜多 隆

Kobe Univ. ○Y. Harada and T. Kita

E-mail: y.harada@eedept.kobe-u.ac.jp

【はじめに】熱放射発電は、発電素子からの赤外線放射を利用する、夜間でも発電可能な発電方法として注目されている。熱放射ダイオード (TRD) の発電密度は、TRD を構成する半導体のバンドギャップエネルギーの減少に伴って増大する [1]。太陽光を利用する太陽電池においては、局在準位によるバンドテイルは発電密度の低下につながる [2] が、発電素子からの熱放射を利用する TRD においては、バンドテイルによって実効的なバンドギャップエネルギーが低下することによって発電密度の向上が期待できる。本研究では、バンドテイルが TRD の発電密度に与える影響を明らかにすることを目的とした。

【計算方法】 輻射限界における TRD の発電密度は、詳細平衡モデルを用いて計算した。バンドギャップエネルギー E_g 以下における吸収係数 α は $\alpha_0 \exp(\frac{E-E_g}{\gamma})$ と書き表されると仮定し、吸収率を $1 - \exp(-2\alpha L)$ によって求めた [2,3]。ここで、 α_0 は E_g における吸収係数、 E はエネルギー、 γ は Urbach パラメータ、 L は素子長である。本研究では、素子温度 $T_c = 500$ K、環境温度 $T_e = 300$ K、 $\alpha_0 L = 1$ を仮定した。

【結果と考察】 $E_g = 0.5$ eV の TRD の動作点における発光スペクトル (実線) と吸収率 (破線) の Urbach パラメータ依存性を図 1 に示す。Urbach パラメータの増加に伴って、バンドギャップエネルギー以下における吸収と発光が増大している。TRD の発電密度のバンドギャップエネルギー依存性を図 2 に示す。バンドテイルを考慮しない場合 [1] と同様に、発電密度はバンドギャップエネルギーの増大に伴って指数関数的に減少する。一方、バンドギャップエネルギー以下における熱放射が図 1 に示されるように増大するため、輻射限界において Urbach パラメータの増加に伴って TRD の発電密度が向上している。

【参考文献】 [1] R. Strandberg, J. Appl. Phys. **117**, 055105 (2015). [2] J. Wong, S. T. Omelchenko, and H. A. Atwater, ACS Energy Lett. **6**, 52 (2021). [3] J. K. Katahara and H. W. Hillhouse, J. Appl. Phys. **116**, 173504 (2014).

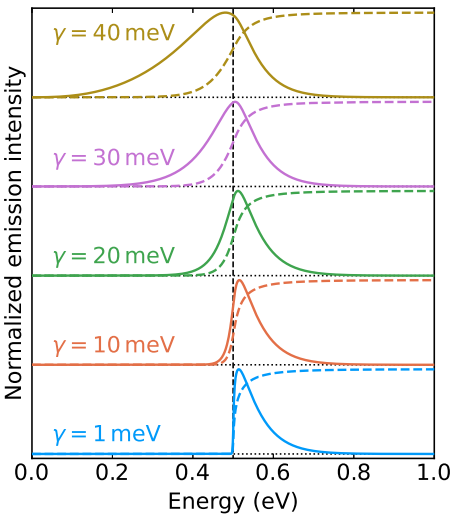


Fig. 1. Normalized emission spectra of the TRD with $E_g = 0.5$ eV at operation point at $T_c = 500$ K and $T_e = 300$ K for different Urbach parameter γ . The dashed curve represents the absorptivity.

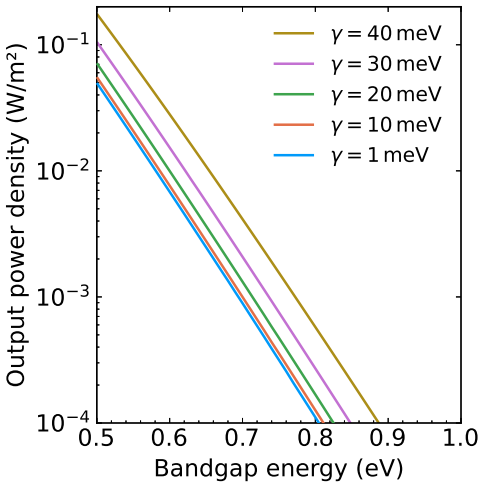


Fig. 2. Bandgap energy dependence of the output power density of the TRD at $T_c = 500$ K and $T_e = 300$ K for different Urbach parameter γ .

多接合太陽電池向けウェーハ接合による極性の異なる接合界面の比較 Comparison of bonding interfaces with opposite polarities fabricated by wafer bonding for multijunction solar cells

ソダーバンル ハッサネット¹, 馬 徳璞², 渡辺 健太郎³, 杉山 正和^{1,2}

H. Sodabanlu¹, D. Ma², K. Watanabe², M. Sugiyama^{1,2}

¹ 東大先端研 RCAST, Univ. of Tokyo, ² 東大院工 Sch. of Eng., Univ. of Tokyo,

E-mail: sodabanlu@hotaka.t.u-tokyo.ac.jp

1 Introduction

Wafer bonding has emerged as a promising technique for integrating lattice-mismatched materials in high-efficiency multijunction solar cells (MJSCs). In our previous presentations at this conference [1], we demonstrated GaAs//InGaAs MJSCs with p-on-n polarity fabricated using this method. In this study, we extend our work to compare MJSCs with opposite polarities (p-on-n vs. n-on-p), aiming to evaluate the impact of polarity on device performance and fabrication compatibility. We begin by evaluating the electrical properties of the interfaces formed by bonding epitaxial layers grown on GaAs and InP.

2 Experimental details, results and discussion

We investigated the bonding interface between GaAs and InGaAs epitaxial layers grown on GaAs and InP substrates, respectively; n+GaAs//p+InGaAs and p+GaAs//n+InGaAs for p-on-n and n-on-p MJSC, respectively. The thicknesses of both InGaAs and GaAs were 50-nm thick. The surface activated bonding technique was employed with optimized parameters: 1 minute of surface activation followed by 5 minutes of bonding under a pressure of 15 kN. Subsequently, GaAs wafers and InGaP etch stop layers were selectively removed by wet etching, and metal electrodes (AuGe/Au and Au for ohmic contact with n- and p-type materials respectively) were deposited on both sides, with a front pattern of 0.04 cm² arrays, which were later electrically isolated using high mesa etching. Figure 1 (left and right) illustrates the bonded interface structures corresponding to the p-on-n and n-on-p MJSC configurations, respectively.

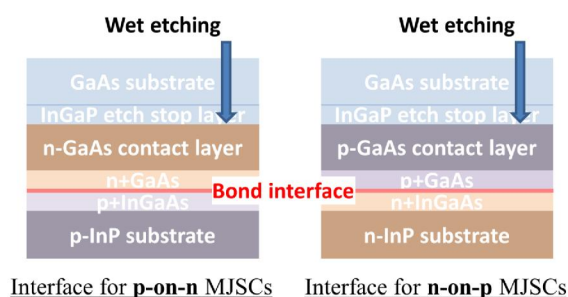


Fig. 1 Schematic of n+GaAs//p+InGaAs and p+GaAs//n+InGaAs samples

Both samples exhibited excellent bonding strength that mechanical separation attempts resulted in fracture of the samples. Both the n+GaAs//p+InGaAs and p+GaAs//n+InGaAs structures demonstrated ohmic behavior as shown in Fig. 2 (left and right). The former exhibited an average sheet resistance of 182 mΩ·cm², whereas the latter showed significantly improved I-V characteristics with an average sheet resistance of 11.6 mΩ·cm². Considering the carrier concentrations achievable in GaAs and InGaAs, which are influenced by the solid solubility and activation efficiency of Zn (p-type) and Te (n-type) dopants, electrochemical capacitance-voltage (ECV) measurements revealed maximum carrier concentrations of approximately 1.1×10^{19} cm⁻³ (GaAs) and 6.5×10^{19} cm⁻³ (InGaAs) for n-type doping, and 7.0×10^{19} cm⁻³ (GaAs) and 2.1×10^{19} cm⁻³ (InGaAs) for p-type doping. These results suggest that the superior I-V performance of the p+GaAs//n+InGaAs sample (right-hand side) is attributable to the higher carrier concentrations on both sides of the bonded interface, 7.0×10^{19} cm⁻³ // 6.5×10^{19} cm⁻³, compared to 1.1×10^{19} cm⁻³ // 2.1×10^{19} cm⁻³ in the n+GaAs//p+InGaAs structure.

3 Summary

These results lay the groundwork for the development of high-efficiency MJSCs fabricated using wafer bonding, as we continue to investigate the influence of bonding interface properties and device polarity on overall performance.

[1] H. Sodabanlu et al, 85th JSAP Fall Meeting, 18p-B1-17.

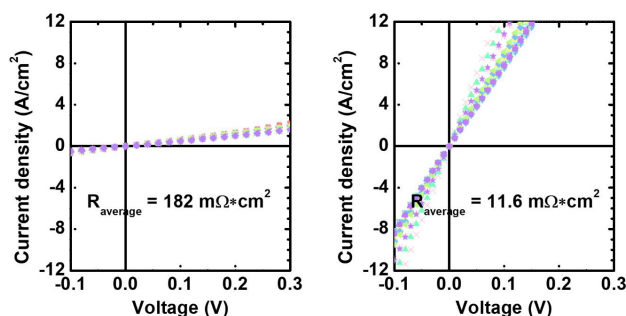


Fig. 2 I-V characteristics of n+GaAs//p+InGaAs and p+GaAs//n+InGaAs samples

In 融液の完全濡れ現象を利用した Si 基板上への InP の直接製膜

Direct formation of InP films onto Si substrates utilizing a perfect wetting phenomenon of molten indium

名大院工¹, 名大未来研², 名大未来機構³, [○]松永 太陽¹, 今井 友貴¹, 宇佐美 徳隆^{1,2,3}, 勝部 涼司¹

Grad. Eng.¹, IMaSS², InFuS³ Nagoya Univ.,

[○]Taiyo Matsunaga¹, Yuki Imai¹, Noritaka Usami^{1,2,3}, Ryoji Katsube¹

E-mail: matsunaga.taiyo.a5@s.mail.nagoya-u.ac.jp

【はじめに】III-V 族半導体は優れた光学的、電気的特性を有することから、高効率太陽電池や高電子移動度トランジスタなどに利用されている。一般的に III-V 族半導体デバイスの作製には GaAs 単結晶等の高価な基板上へのエピタキシャル成長が必要である。一方、近年 Katsube らによって MoO_x/Mo/ガラス基板上における In 融液の完全濡れ現象が見出され、これを利用して、フォトルミネッセンス (PL) 計測の面ではバルク単結晶に匹敵する高品質 InP を製膜できることが報告された [1]。完全濡れの発現に必要な MoO_x は真空蒸着で製膜できるアモルファス層で良いため、本手法は任意の基板上へ適用できる可能性があり、InP on anything 構造による次世代デバイスへの展開が期待できる。本研究では、Si 基板上に製膜した MoO_x 上における III 族金属の濡れ性を調査し、InP 薄膜を形成することを目的とした。

【実験方法】10 × 10 × 0.38 mm³ の Si(100) 単結晶を基板とし、In/MoO_x/Si 構造を作製した。Si 基板表面は SC-1 洗浄を施してから実験に供した。次に、MoO₃ 粉末を蒸発源とする真空蒸着法によって MoO_x を 50 nm 製膜した。先行研究によると、MoO₃ の真空蒸着では酸素脱離が起こり、酸素量が少ない MoO_x 薄膜上では完全濡れ現象が起こらない [2]。このため、MoO_x 膜を酸化するために大気中 300 °C の条件で 30 分間熱処理した。その後、真空蒸着法により、In を 650 nm 製膜した。以上で作製した In/MoO_x/Si 試料を石英管に真空封入し、500 °C で 30 分間保持してから冷却することで、In 融液の濡れ性を評価した。リン化には Sn/Sn₃P₃ 二層試料をリン供給源として用いた。試料はエネルギー分散型 X 線分光 (EDS) 検出器を備えた走査型電子顕微鏡 (SEM)、および XRD 測定によって組成観察と相同定を行った。

【結果と考察】Fig. 1(a)、1(b)に In/Si 試料、In/MoO_x/Si 試料の表面 SEM-EDS 観察結果をそれぞれ示す。熱処理によって In/Si 試料中の In は球状に変化しており、液滴化 (脱濡れ) したと考えられる。一方、In/MoO_x/Si 試料の熱処理後にも MoO_x が露出した部分は存在するものの、In/MoO_x/Si 試料と比較して In は薄く広がっていた。したがって、Si 基板上においても MoO_x 層を製膜することで、In 融液の濡れ性が大きく向上することが明らかになった。また、In/MoO_x/Si 試料の加熱速度を制御した実験の比較によると、加熱速度が遅いほど濡れ性が良いことが明らかになった。先行研究によると、完全濡れの発現には In/MoO_x 界面において自己組織化的に (111) 配向 In₂O₃ が形成することが重要である。XRD 測定結果によると、加熱速度が遅いほど In₂O₃ 222 回折の相対強度が大きいことが分かった。したがって、MoO_x/Si 上における In 融液の完全濡れを発現させるには、加熱速度をある程度遅くすることで (111) 配向 In₂O₃ の形成を促す必要があることが明らかになった。講演では、完全濡れを発現させた試料のリン化による InP の形成と物性評価結果についても報告する予定である。

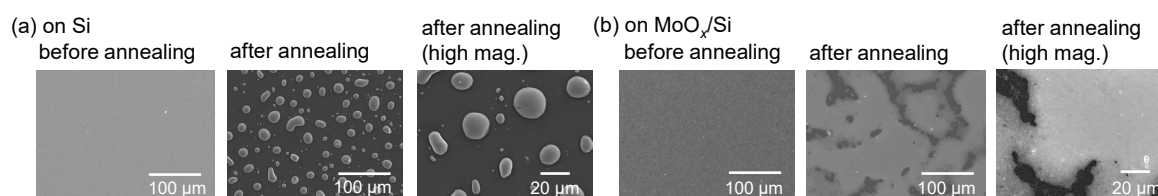


Fig. 1. SEM images of the (a) In/Si and (b) In/MoO_x/Si samples before and after annealing at 500 °C.

【謝辞】本研究は JSPS 科研費 JP25K01557 および服部報公会工学研究奨励援助金の助成を受けました。

[1] R. Katsube et al., ACS Appl. Electron. Mater. **1**, 877-882 (2019). [2] 勝部 他, 第 81 回応用物理学会秋季学術講演会, 10a-Z15-2 (2020).

放射線劣化フリーの GaAs ヘテロ pn 接合太陽電池

Improved radiation hardness of GaAs solar cells using hetero p/n junction structure

JAXA¹, 東大先端研², 宮大工³, QST⁴, 東北大工⁵, ○中村 徹哉¹, 渡辺健太郎², 日野眞生², 浅見明太³, 山崎翔太⁴, 佐藤真一郎⁴, 長澤尚胤⁴, 大島武^{4,5}, 杉山 正和²

JAXA¹, Univ. Tokyo², Univ. Miyazaki³, QST⁴, Tohoku Univ.⁵ ○T. Nakamura¹, K. Watanabe², M. Hino², M. Asami³, S. Yamasaki⁴, S.-i. Sato⁴, N. Nagasawa⁴, T. Ohshima^{4,5}, and M. Sugiyama²

E-mail: nakamura.tetsuya@jaxa.jp

現在宇宙用として主流の InGaP/GaAs/Ge 3 接合太陽電池の課題の一つは、3 接合を構成するサブセルの一つである GaAs 太陽電池の放射線劣化を抑制できていないことである^[1]。これまでに、GaAs 太陽電池の空乏領域における放射線欠陥起因の非発光再結合損失を抑制する構造として異種材料を使ったヘテロ pn 接合構造を提案し、空乏領域を GaAs よりも広ギャップの材料内に形成することで、空乏領域における非発光再結合損失の増加抑制に成功した^[2]。しかし GaAs の中性領域における非発光再結合損失の増加抑制は達成できていなかった。そこで、本研究では、GaAs 太陽電池の空乏/中性の両領域での放射線による非発光再結合損失を同時に抑制して、高い耐放射性を有する GaAs 太陽電池の実現を目指す。まず中性領域の放射線による非発光再結合損失を相対的に減らすため、ベース層における発光再結合レートを高める設計、つまりベース層の高ドーピング濃度化を取り入れた。また空乏領域における劣化も同時に抑制するため、n-InGaP/p-GaAs 構造^[2]を採用した。この時、空乏領域が広ギャップの InGaP 内に形成されるよう InGaP エミッタ層のドーピング濃度はベース層に対して相対的に低濃度とした。図 1 は各種 GaAs 太陽電池の 1MeV 電子線照射前後の電流電圧特性を示す。(a)～(c)は n-InGaP/p-GaAs ヘテロ pn 接合、(d)は GaAs ホモ pn 接合の結果である。エミッタ濃度は共通で約 $1 \times 10^{17} \text{ cm}^{-3}$ 、ベース濃度は(a)と(d)が約 $1 \times 10^{17} \text{ cm}^{-3}$ 、(b)が約 $4 \times 10^{17} \text{ cm}^{-3}$ 、(c)が約 $3 \times 10^{18} \text{ cm}^{-3}$ である。ヘテロ pn 接合のベース濃度が高くなるほど放射線劣化は小さくなり、(c)の条件では 1MeV 電子線を $1 \times 10^{14} \text{ cm}^{-2}$ 照射しても有意な劣化は確認されなかった。これはベース層を高濃度化して中性領域の耐放射線性を高めつつ、広ギャップ材料内に空乏領域を形成した結果と考えられる。発表ではシミュレーション結果を含め報告する。

[1] T. Nakamura et al., J. Appl. Phys. 132, 115701 (2022).

[2] 中村ら, 第 83 回応用物理学会秋季学術講演会, 20a-A307-3 (2022).

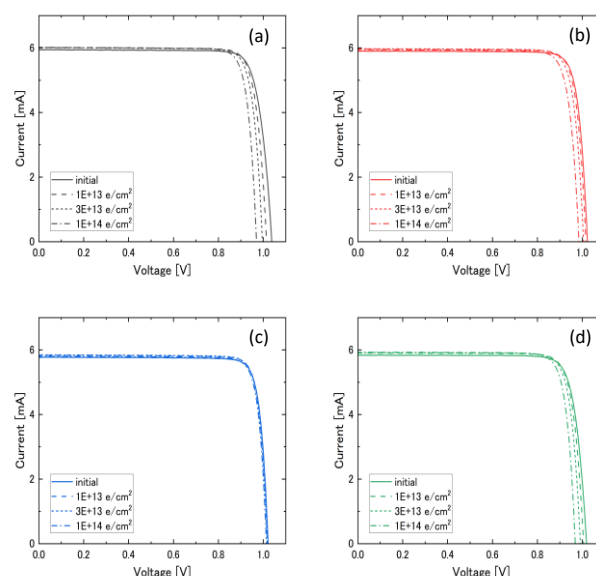


Fig. 1 Current-voltage characteristics under light illumination before and after 1MeV electron irradiation.

InGaAs レーザーパワーコンバータのエネルギー変換損失メカニズムの解析

Investigation of energy-conversion

loss mechanism in Indium Gallium Arsenide laser-power converter

神戸大院工 ○(M1)菅一範, 花熊亮汰, 安松谷遼, 朝日重雄, 原田幸弘, 喜多隆

Kobe Univ., ○Kan Ichinori, Ryota Hanakuma, Ryo Yasumatsuya, Shigeo Asahi,

Yukihiro Harada, and Takashi Kita

E-mail: 258t219t@stu.kobe-u.ac.jp

【はじめに】長距離非接触型の給電方式としてレーザーパワーコンバータ(LPC)が注目されており、強い電磁波の影響を受けない長距離間のエネルギー供給手段として期待されている。単色のレーザー光源を利用することで、透過損失を抑制し、熱損失を最小限に設計することが可能になり、高い給電効率(エネルギー変換効率)を実現すると期待されている[1]。一方、レーザー給電では、受光素子材料によって最適な吸収波長や、励起光強度が異なり、たとえ小さなロスでも高強度のレーザー照射時にはジュール損失となって出力特性に大きな影響を及ぼす。ロスを最小限に制御し、高強度レーザー照射でも高いエネルギー変換効率を実現するには、励起光の波長や強度、受光素子の吸収係数などの関係を踏まえた詳細な最適条件を見つけ出すとともにレーザー給電の損失メカニズムを明らかにする必要がある。本研究では、InGaAs フォトダイオードを用いて光電特性の励起光強度依存性を詳細に調べ、エネルギー損失メカニズムを明らかにした。

【結果】本研究では市販の InGaAs フォトダイオードを LPC として利用し、励起光強度による電流電圧特性の変化についての議論を行った。外部量子効率(EQE)スペクトルを Fig. 1 に示す。1650 nm あたりに吸収端が確認できた。この InGaAs LPC に対して励起波長 1550 nm の連続発振の固体レーザーを使用して室温で電流電圧特性を測定した。特性測定は、温度制御を行わず実施した。短絡光電流 J_{sc} は励起光強度とともに線形に増加した。開放電圧 V_{oc} も励起光強度とともに増加するが、200 mW/cm^2 以上でその傾向が破線で示した半経験理論予測から外れていることが分かる。200 mW/cm^2 以上の領域ではフィルファクタ FF も小さくなり、それに伴い、変換効率 η も低下した。この特性が変化する臨界強度(200 mW/cm^2)は間接遷移半導体である Si フォトダイオードを使用した過去の報告例と比較して 100 倍程度大きい[2][3]。本講演では、InGaAs LPC の詳細な損失メカニズムについて、輻射再結合割合の定量評価により解析するとともに、電流電圧特性のベイズ推定によるダイオード特性の詳細な解析の結果を比較し、議論する。

【参考文献】

- [1] H. Helmers et al., Phys. Status Solidi RRL 15, 2100113 (2021).
- [2] R. Hanakuma et al., Jpn. J. Appl. Phys., **64**, 014001 (2025).
- [3] R. Hanakuma et al. 53rd IEEE Photovoltaic Specialists Conference., Montreal, Canada, 2025.

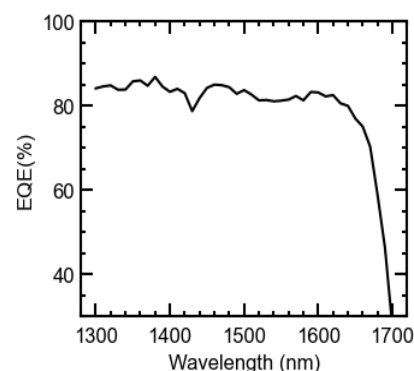


Fig. 1. The EQE spectrum of the InGaAs photodiode.

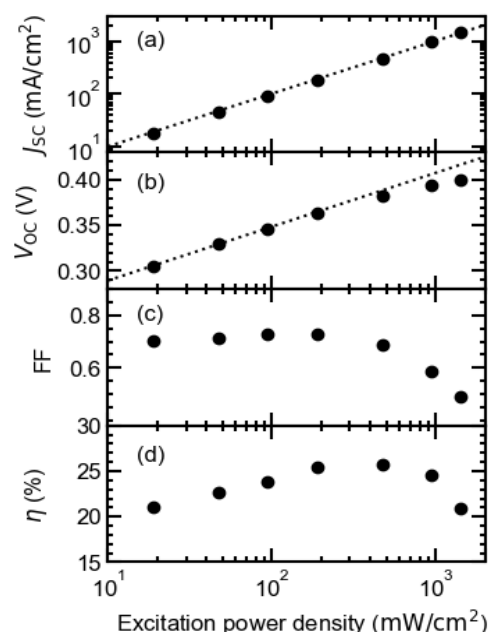


Fig. 2. The excitation-power density dependence of (a) J_{sc} , (b) V_{oc} , (c) FF, (d) η

光無線給電用分布反射型 GaInP 太陽電池の入射レーザ強度依存性

Incident laser intensity dependence of a GaInP solar cell

with a distributed Bragg reflector for optical wireless power transmission

千葉工業大学¹, ウシオ電機², 情報通信研究機構³, ○(M1)金子 優翔¹, 高橋 龍成¹

鈴木 淳一¹, 青山 怜央¹, 千葉 萌翔¹, 垣内 凌雅¹, 平野 吟¹

難波江 宏一², 深町 俊彦², 萩元 将人², 赤羽 浩一³, 内田 史朗¹

Chiba Institute of Technology¹, Ushio Inc.², National Institute of Information and Communications Technology³

Yuto Kaneko¹, Ryusei Takahashi¹, Junichi Suzuki¹, Reo Aoyama¹, Moeka Chiba¹, Ryoga Kakiuchi¹, Gin Hirano¹

Koichi Naniwae², Toshihiko Fukamachi², Masato Hagimoto², Kouichi Akahane³, Shiro Uchida¹

E-mail: s21a3047ai@s.chibakoudai.jp

1. 背景

現在、自動車やロボットなどの移動物体への光無線給電が期待されており、陸上での運用に加え、海中での応用も検討されている[1]。そのため水中で消散係数の低い可視光域の光を吸収できる太陽電池として GaInP 太陽電池に注目した。本研究では光無線給電システムの高効率化のため、DBR 構造を持つ GaInP 太陽電池を作製し各照射レーザ波長における変換効率の入射強度依存性を調査した。

2. 実験方法

図 1 に実験の概要図を示す。本実験では一般的に普及している波長 638 nm のファイバーレーザと波長 650 nm、660 nm の半導体レーザを使用した。それぞれの波長のレーザ光で 2.1 mm×2.1 mm の均一光になるようにマスクで整形し、GaInP 太陽電池に照射して *I-V* 測定を行った。

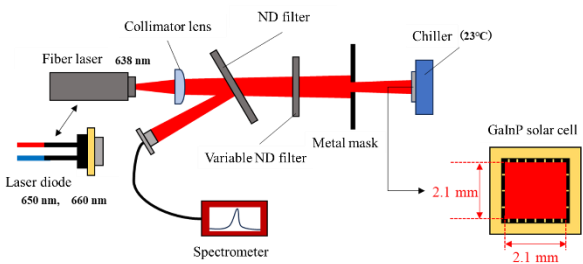


Fig.1. Experimental configuration

3. 結果と考察

図 2 に GaInP 太陽電池の変換効率 η_{pv} の入射強度依存性を示す。最大変換効率は、波長 650 nm レーザ照射時に入射強度 150 mW (3.4 W/cm²)で 50.1%が得られた。本実験で使用した GaInP 太陽電池のグリッド電極幅は約 13 μ m であり、この電極による表面のシャドーロス は 12.8%であった。電極幅を細くすることで更なる変換効率の改善が見込める。

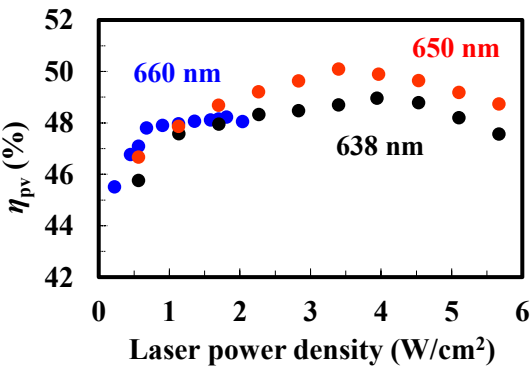


Fig.2. η_{pv} vs laser power density

4. 参考文献

[1] R.Takahashi. et al., Energies, 17 7, 1572 (2024)

常温接合を用いた p-InGaAs//n-InGaAs 接合の低抵抗化

Reducing bonding resistance between p-InGaAs and n-InGaAs

using room temperature wafer bonding method

千葉工業大学¹, 情報通信研究機構² ○藤原柊人¹, 藤井駿太郎¹, 齋藤圭胡¹, 千葉萌翔¹,

金子優翔¹, 平野吟¹, 垣内凌雅¹, 六崎健太¹, 赤羽浩一², 内田史朗¹

Chiba Institute of Technology.¹, National Institute of Information and Communications Technology.²,

○Shuto Fujiwara¹, Shuntaro Fujii¹, Keigo Saito¹, Moeka Chiba¹, Yuto Kaneko¹,

Gin Hirano¹, Ryoga Kakiuchi¹, Kenta Mutsuzaki¹, Kouichi Akahane², Shiro Uchida¹

E-mail: s21a3122ev@s.chibakoudai.jp

[背景] 半導体の接合技術は、多接合太陽電池をはじめとする様々なデバイスに応用されてきた。近年、常温接合法を用いて作製された多接合太陽電池は、高い変換効率を示すことが報告されている。半導体の接合により、各半導体の特性を活かした新たな機能デバイスの実現が期待される。我々は、p-InGaAs//n-InGaAs 接合で高速原子ビーム(FAB : Fast Atom Beam)の印加電圧依存性を調査し、印加電圧 1.0 kV において接合界面抵抗 $4.0 \Omega\text{cm}^2$ 、1.5 kV において $2.0 \Omega\text{cm}^2$ を報告してきた[1, 2]。本研究では、p-InGaAs//n-InGaAs 接合のさらなる低抵抗化を目指し、FAB の照射条件を詳細に検討したので報告する。

[実験方法] 本研究では p-InGaAs//n-InGaAs 接合において、FAB の照射時間、印加電流などをパラメータとして接合を行った。接合にはオーミック電極を備えた p-InP 基板上の p-In_{0.40}GaAs($1\sim 2 \times 10^{19} \text{ cm}^{-3}$), n-GaAs 基板上の n-In_{0.40}GaAs($1\sim 2 \times 10^{19} \text{ cm}^{-3}$)のサンプルを準備した。

[結果と考察] 図 1 に FAB の印加電流を変化させた J-V 特性を示す。すべての条件でオーミック接触となった。図 2 より印加電流 75 mA では接合界面抵抗 $0.65 \Omega\text{cm}^2$ を得た。接合界面の欠陥準位を介したトンネル電流により接合界面抵抗が低下したと考えられる。しかし、150 mA では接合サンプルの表面粗さが大きくなり、接合界面抵抗は高くなったと考える。また、25 mA では接合界面における欠陥準位の形成の寄与が少なかったと推測している。

[謝辞] 本研究の一部は、JSPS 科研費(JP22K04202)の助成を受けたものです。

[参考文献]

[1] 藤井他, 第 85 回応用物理学会, 18-B1-16, 2024 年

[2] 藤井他, 第 8 回 LTB-3D, 30P-01, 2024 年

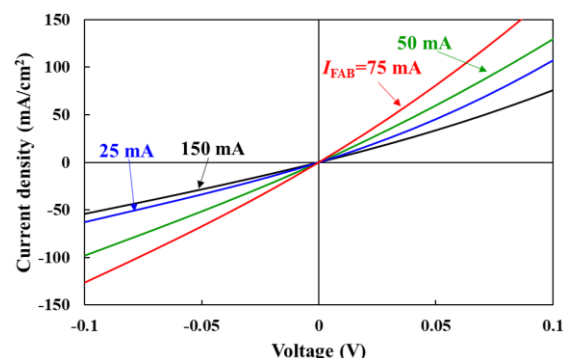


Fig.1. J-V characteristics of p-InGaAs // n-InGaAs

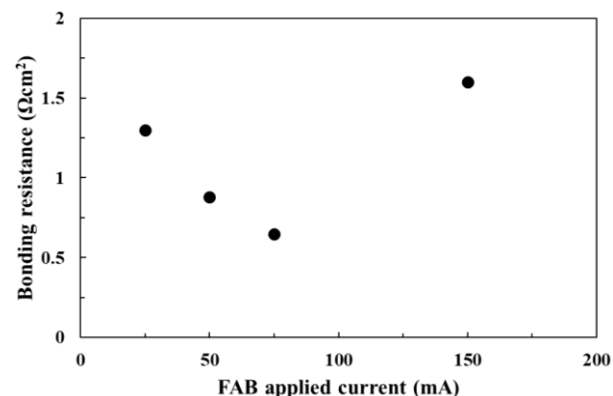


Fig.2. Bonding resistance vs. FAB applied current

DBR 構造を有する光無線給電用 GaAs 太陽電池の高効率化検討

Investigation of improving the efficiency of GaAs solar cells with DBR structure

for optical wireless power transmission

千葉工業大学¹, 国立研究開発法人情報通信研究機構² [○](M2)千葉 萌翔¹, 垣内 凌雅¹,
鈴木 淳一¹, 青山 怜央¹, 金子 優翔¹, 前野 陸¹, 小杉 汐音¹, 高橋 龍成¹, 赤羽 浩一²,
内田 史朗¹,

Chiba Institute of Technology¹, National Institute of Information and Communications Technology.²,
[○]Moeka Chiba¹, Ryoga Kakiuchi¹, Junichi Suzuki¹, Reo Aoyama¹, Yuto Kaneko¹,
Riku Maeno¹, Shion Kosugi¹, Ryusei Takahashi¹, Kouichi Akahane², Shiro Uchida¹

E-mail: s20A3084MY@s.chibakoudai.jp

1. 背景

レーザと受光デバイスを用いる光無線給電は、様々なデバイスへの新たな給電技術として注目されている。自由空間においては、損失が少ない波長帯の光を効率良く吸収可能である GaAs 太陽電池が光無線給電用受光デバイスとしての応用が期待されている[1]。本研究では、DBR (Distributed Bragg Reflector) を導入した GaAs 太陽電池に近赤外線のレーザ光を照射し、光電変換効率の入射レーザ光強度依存性を調査し、光無線給電への応用検討を行った。

2. 実験方法

図 1 に実験概要図を示す。830、840、850、860 nm のレーザ光を開口 2 mm × 2 mm のマスクを通して GaAs 太陽電池に照射した。このとき、GaAs 太陽電池の温度を水冷式のチラーで約 23℃で一定にした。レーザ入射強度 P_{in} は図 1 に示す通りであり、太陽電池の最大出力電力 P_{out} を測定することで、光電変換効率 $\eta_{pv} = P_{out} / P_{in}$ を算出した。

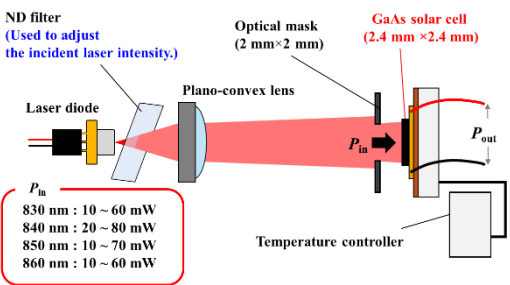


Fig.1. Experimental configuration

3. 結果と考察

図 2 に η_{pv} のレーザ光強度依存性を DBR 有りと無しのサンプルについてそれぞれ示す。DBR の効果は特にバンド端波長付近において現れ、最高光電変換率は、DBR 無しで 55.3% (830 nm)、DBR 有りで 55.6% (850 nm) となった[1]。また、本サンプルのシャドーロス (SL) は 13% と高かったため、今後は SL の低減と電極の厚膜化を行うことで更なる高効率化が期待できる。

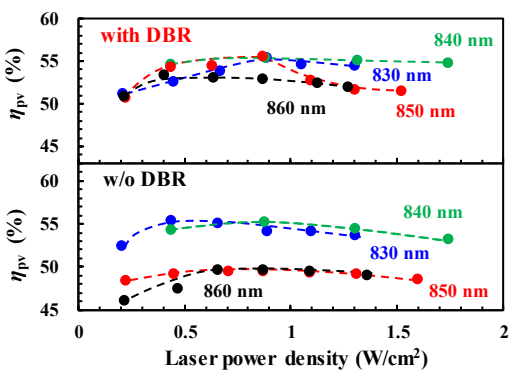


Fig.2. η_{pv} vs. Laser power density

参考文献

[1] R. Kakiuchi et al., “Laser Irradiation Power Dependency of the Conversion Efficiency of a GaAs Solar Cell with a Distributed Bragg Reflector”, The 7th Optical Wireless and Fiber Power Transmission Conference, OWPT9-04 (2025).

13 Semiconductors | Oral presentation : 13.9 Compound solar cells

[9p-N323-1~11] 13.9 Compound solar cells

[9p-N323-1]

[The 58th Young Scientist Presentation Award Speech] Improved photovoltaic properties of ZnTe-based solar cells using high-quality P-doped ZnTe layers with a cracked Zn_3P_2 dopant source by MBE

○Muhamad Mustofa¹, Katsuhiko Saito¹, Qixin Guo¹, Tooru Tanaka¹ (1.Saga Univ.)

[9p-N323-2]

Investigation of carrier generation mechanism via the intermediate band in ZnTeO intermediate band solar cells

○(M2)Yuta Suetugu¹, Katsuhiko Saito¹, Qixin Guo¹, Tooru Tanaka¹ (1.Saga Univ.)

[9p-N323-3]

MBE Growth of $\text{Zn}_{1-x}\text{Cd}_x\text{Te}$ photoelectrode for hydrogen production

○Koya Matsuo¹, Katsuhiko Saito¹, Qixin Guo¹, Shigeru Ikeda², Tooru Tanaka¹ (1.Saga Univ, 2.Konan Univ)

[9p-N323-4]

$\text{CsPbBr}_{3-x}\text{Cl}_x$ -Based Two-Step Photon Upconversion Solar Cells with Embedded PbS Quantum Dots

○(M1)Soma Ueno¹, Hambalee Mahamu¹, Asahi Shigeo¹, Kita Takashi¹ (1.Kobe Univ.)

[9p-N323-5]

Photosensitive Properties of CsPbBr_3 Nanocrystals under Bichromatic Photoexcitation of Above-bandgap and Sub-bandgap Photons

○(DC)Hambalee Mahamu¹, Soma Ueno¹, Shigeo Asahi¹, Takashi Kita¹ (1.Kobe Univ.)

[9p-N323-6]

Epitaxy of ZnSnP_2 on GaAs using Zn_3P_2 as the zinc source

○Isshin Sumiyoshi¹, Yoshitaro Nose¹ (1.Kyoto Univ.)

[9p-N323-7]

Na and Li encapsulation into type II Ge clathrate films

○Eito Ito¹, Tetsuji Kume^{1,2}, Fumitaka Ohashi^{1,2}, Rahul Kumar³, Himanshu Jha^{1,2} (1.GNST, Gifu Univ, 2.Faculty of Engineering, Gifu Univ, 3.NIT, Gifu College)

[9p-N323-8]

Effect of Sn-S precursor and sulfurization pressure on the sulfurization growth of SnS thin films

○Haruki Ryu¹, Taketo Tsuchiyama¹, Kazushi Ogo¹, Kazuma Saisu¹, Mutsumi Sugiyama^{1,2} (1.Tokyo Univ. Sci., 2.RIST)

[9p-N323-9]

Fabrication of wurtzite-type $\text{ZnO}_{1-x}\text{S}_x$ thin films via reactive sputtering with sulfur plasma

○(D)Daiki Daiki Motai¹, Issei Suzuki¹, Taichi Nogami¹, Hitoshi Tampo², Takehiko Nagai², Norio Terada², Masami Aono³, Takahisa Omata¹ (1.Tohoku Univ., 2.AIST, 3.Kagoshima Univ.)

[9p-N323-10]

Electrical properties of CIGS diodes fabricated at low temperatures

○Jiro Nishinaga¹, Manabu Togawa², Shogo Ishizuka¹ (1.AIST, 2.KEK)

[9p-N323-11]

Analysis of electrical characteristics in Cu(In,Ga)Se₂ p-n diodes by various acid treatments

○(M1)Keigo Urasaki¹, Jiro Nishinaga², Hironori Okumura¹, Shogo Ishizuka² (1.Univ. of Tsukuba, 2.AIST)

Improved photovoltaic properties of ZnTe-based solar cells using high-quality P-doped ZnTe layers with a cracked Zn₃P₂ dopant source by MBE

Saga University: Muhamad Mustofa, Katsuhiko Saito, Qixin Guo, Tooru Tanaka.

E-mail: 22806093@edu.cc.saga-u.ac.jp

1. Introduction

Intermediate band solar cell (IBSCs) has gained attention as a promising approach for achieving high solar power conversion efficiencies [1]. ZnTe_{1-x}O_x (ZnTeO) alloys are potential candidates for an absorber material in IBSC due to the formation of O-derived intermediate band (IB (E_-)) below the conduction band (CB (E_+)) edge of the ZnTe [2]. In ZnTeO-based IBSC, the good conductivity control of *p*-type ZnTe epitaxial layer is important for boosting the carrier collection efficiency of the device. In MOVPE, Phosphorus (P) doping in ZnTe has achieved a high hole concentration of $1.3 \times 10^{18} \text{ cm}^{-3}$ with good controllability and relatively shallow acceptor level at 63.5 meV, suggesting that P is a good dopant in ZnTe [3]. Our previous studies on molecular beam epitaxy (MBE) growth of P-doped ZnTe using InP as a P dopant source revealed In incorporation which inhibit *p*-type conductivity [4]. This research proposes the MBE growth of P-doped ZnTe thin films using a cracked Zn₃P₂ source where P₄ molecular beam from Zn₃P₂ is cracked to P₂ molecular beam to improve the P incorporation into ZnTe. High-quality P-doped ZnTe was achieved and subsequently used as the absorber layer in a heterojunction solar cell with *n*-ZnS as the window layer.

2. Experiments

P-doped ZnTe thin films were grown by MBE on high-resistive Ga-doped ZnTe (100) substrates using Zn₃P₂ as P source. A specially designed cracking cell was used as the effusion cell for Zn₃P₂. The temperature of cracking heater is maintained at around 1000 °C while Zn₃P₂ flux was varied from 10^{-6} Pa to 10^{-4} Pa. The thin films grown using a conventional effusion cell for Zn₃P₂ under alternating method were also grown for comparison. The substrate temperature (T_{sub}) was set at 400 °C. Photoluminescence (PL), secondary ion mass spectroscopy (SIMS), and Hall effect measurement were performed to characterize the thin films. The *n*-ZnS/P-doped ZnTe/*p*-ZnTe structures were also fabricated on *p*-ZnTe substrate in order to confirm the photovoltaic activity.

3. Results and discussion

As demonstrated in Fig. 1, the P concentration of P-doped ZnTe rises linearly from $8.3 \times 10^{16} \text{ cm}^{-3}$ to $4.8 \times 10^{17} \text{ cm}^{-3}$ as Zn₃P₂ flux increases, showing the effective control over P concentration using the cracking cell. Compared to samples grown using a conventional cell under alternating method, which is also effective in improving P incorporation, the P incorporation is enhanced by more than one order of magnitude. Fig. 2 shows a current-voltage curve for *n*-ZnS/P-doped ZnTe/*p*-ZnTe solar cell under AM1.5G $\times$ 1 sun illumination at room temperature. An open circuit voltage (V_{OC}) of 1.0 V with a short-circuit current density (J_{SC}) of 6.05 mA/cm² and fill factor (F. F.) of 0.61. Overall power conversion efficiency (η) of this structure is 3.7%. Compared with the efficiency reported in *n*-ZnS/*i*-ZnTe/*p*-ZnTe structure[5], the solar cells efficiency has been increased significantly with the higher V_{OC} obtained. This substantial enhancement of PV properties observed in this structure can be largely attributed to the effect of P-doped ZnTe layer insertion. The efficiency achieved in this study provides a new record on experimentally measured efficiency on ZnTe based solar cell which also can be the first key point to obtain high efficiency.

- [1] A. Luque et al, Phys. Rev. Lett. 78 (1997) 5014. [2] K. M. Yu et al. Phys. Rev. Lett. 91 (2003) 246403.
[3] T. Tanaka et al. J. Cryst. Growth 298 (2007) 437. [4] M. Mustofa et al. Jpn. J. Appl. Phys. 62 (2023) SK1031.
[5] T. Tanaka, et al Jpn. J. Appl. Phys. 50 082304 (2011)

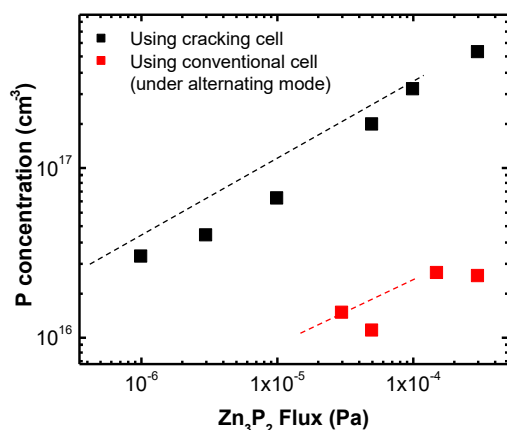


Fig. 1 P concentration determined by SIMS in P-doped ZnTe thin films grown under different Zn₃P₂ flux.

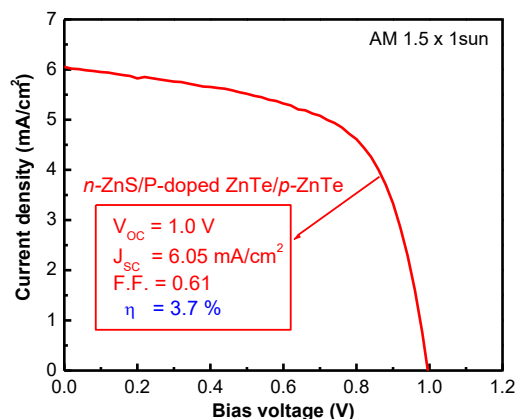


Fig. 2 Current-voltage curves for *n*-ZnS/P-doped ZnTe/*p*-ZnTe solar cell under AM1.5G $\times$ 1 sun illumination at room temperature.

ZnTeO 中間バンド型太陽電池における 中間バンドを介したキャリア生成過程の検討

Investigation of carrier generation mechanism via the intermediate band in ZnTeO intermediate band solar cells

佐賀大院理工, [○](M2) 末次 祐太, 齊藤 勝彦, 郭 其新, 田中 徹

Saga Univ., [○]Y. Suetugu, K. Saito, Q. Guo, T. Tanaka

E-mail: 24730012@edu.cc.saga-u.ac.jp

1. はじめに

ZnTe にわずかに O を添加した $\text{ZnTe}_{1-x}\text{O}_x(\text{ZnTeO})$ は, ZnTe の伝導帯(CB)と O に起因する局在準位がバンド反交差作用によって高エネルギーサブバンド(E_+ バンド(CB))と低エネルギーサブバンド(E_- バンド(IB))に分裂し, 計 3 つの光学遷移過程を持つことから中間バンド型太陽電池(intermediate band solar cell: IBSC)への応用が期待されている[1]. 前回, 我々は ZnTeO IBSC 内で IB へ励起された電子は二段階光吸収を含む, 複数の経路により抜け出すことを報告した[2]. 本研究では, ZnTeO IBSC の IB 内の電子の振る舞いをより詳しく明らかにするために, ZnTeO IBSC の励起光強度依存性及び温度依存性を評価した.

2. 実験方法

ZnTeO IBSC の構造は $n\text{-ZnS}/p\text{-doped ZnTe}/\text{Cl-doped ZnTeO}/p\text{-doped ZnTe}/p\text{-ZnTe}$ であり, 分子線エピタキシー(MBE)法によって $p\text{-ZnTe}(100)$ 基板上に成長した. 励起光強度依存性は VB から IB へ電子励起可能な $h\nu = 1.96\text{eV}$ ($\lambda = 633\text{nm}$) の赤色レーザー光源を用いて, 照射強度を $0.1\text{mW}/\text{cm}^2$ から $1000\text{mW}/\text{cm}^2$, 測定温度を 15K から 300K の間で系統的に変化させた.

3. 実験結果及び考察

Fig. 1 に 15K, 125K, 300K での EQE の励起光強度依存性を示す. 赤色レーザー光は電子を VB から IB へ励起する. IB へ励起された電子は, (1)P-doped ZnTe ブロック層の欠陥を介した電子漏出, (2)二段階光吸収(TSPA) による E_+ バンドへのキャリア励起, (3)再結合によるキャリア消失の大きく 3 つの経路で IB から脱出する. 125K, 300K においては, 照射強度によって支配的な脱出経路が変化し, 約 $500\text{mW}/\text{cm}^2$ 以下では(1)の電子漏出プロセスが, それ以上の高い照射強度領域では(2)の TSPA が支配的となる. (1)は制限された電子脱出経路であり, 照射強度が増加することで飽和し EQE が低下する. 一方で, IB への電子蓄積が進むことで, (2)の TSPA が支配的なプロセスとなり, EQE は一定値へ収束する[2]. (1), (3)のプロセスは温度依存性を持ち, 低温ではこれらに起因するキャリアの脱出は少なくなる. 15K では EQE が増加傾向にあるが, この温度では(1), (3)による電子の脱出が極めて少なく, IB 内の電子密度が保持されることで, 照射されたフォトンのうち TSPA に寄与できるフォトンの割合が増加し, (2)が増加したものと考えられる. (3)の再結合の影響は 125K の $0.3\text{mW}/\text{cm}^2$ 以下の照射強度領域における EQE の低下に表れている.

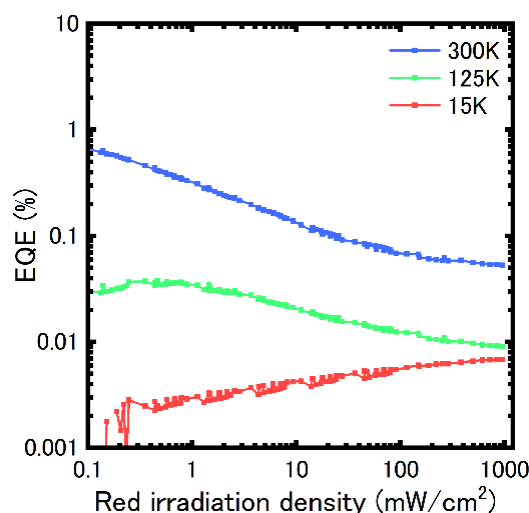


Figure 1. Red irradiation density dependence of EQE in ZnTeO based IBSC.

[1] K. M. Yu et al. Phys. Rev. Lett. 91 (2003) 246403.

[2] 末次 他, 2025 第 72 回応用物理学会春季学術講演会 15p-K302-7.

MBE 成長 P ドープ $\text{Zn}_{1-x}\text{Cd}_x\text{Te}$ 光電極の水素生成特性の評価MBE Growth of $\text{Zn}_{1-x}\text{Cd}_x\text{Te}$ photoelectrode for hydrogen production佐賀大院理工¹, 甲南大² 松尾 昂哉¹, 齊藤 勝彦¹, 郭 其新¹, 池田 茂², 田中 徹¹Saga Univ¹, Konan Univ.²: K. Matsuo¹, K. Saito¹, Q. Guo¹, S. Ikeda², T. Tanaka¹

E-mail: 25730027@edu.cc.saga-u.ac.jp

1. はじめに

太陽光で水を分解して水素を生成する人工光合成は次世代のクリーンエネルギーとして有望な技術の一つである[1]。ZnTe は伝導帯下端が水素生成電位よりも高く、水素生成材料として適した材料であることから、光電極応用を目指した研究が進められている[2]。ZnTe に Cd を添加した $\text{Zn}_{1-x}\text{Cd}_x\text{Te}$ (ZnCdTe)では、Cd 組成比によってバンドギャップを 2.26eV から 1.44eV まで変化でき、より広い波長域の太陽光を吸収可能となることから、有望な材料であるが、本材料を用いた報告例はほとんどない。本研究では、ZnCdTe の光電極としての有効性を明らかにすることを目的として、Cd 組成比 x を変化させた P ドープ ZnCdTe 薄膜を分子線エピタキシー(MBE)法により成長し、その特性を評価した。

2. 実験方法

試料構造は、 $n\text{-ZnS}/\text{P-doped ZnCdTe}/p\text{-ZnTe}$ であり、分子線エピタキシー法により $p\text{-ZnTe}(100)$ 基板上に成長した。ZnCdTe 層の Cd 組成 x は、Cd フラックス比($\text{Cd}/(\text{Zn}+\text{Cd})$)によって制御した。成長後、X 線回折(XRD) $2\theta-\omega$ スキャンによって(400)面、(422)面の測定を行うことで Cd 組成比 x を算出した。光電極特性の評価には、裏面電極に Pd を堆積し、助触媒として Pt を光電着により表面修飾したのち、外部量子効率(EQE)、光電気化学測定を行った。光電気化学測定は、電解液にリン酸緩衝液を使用し、擬似太陽光(AM1.5G×1sun)を断続的に照射した状態で、リニアスイープボルタメトリー(LSV)法によって光電流と暗電流を同時に測定した。その後、水素生成効率(HC-STH)を算出した。

3. 結果と考察

Fig. 1 に、ZnCdTe 層の(400)面の XRD パターンと算出した Cd 組成比 x を示す。Cd 添加試料では、60°付近に ZnCdTe(400)面からの回折ピークが観察できており ZnCdTe 層の成長が確認できた。Fig. 2(a)に $x=0.125$ および $x=0$ の ZnCdTe 光電極における擬似太陽光照射下での光電気化学特性を示す。Cd 組成比 $x=0.125$ では電流密度が向上しており、Cd 組成比 x の増加によるバンドギャップ減少の効果が認められた。Fig. 2(b)に光電気化学特性の結果をもとに算出した水素生成効率(HC-STH)を示す。電流密度の向上に伴って、HC-STH も 0.3%程度向上した。

参考文献

[1]K. Wang et al. J. Colloid Interface Sci, 536, 9 (2019).

[2]S. Ikeda et al. Electrochim. Acta, 454, 142384 (2023).

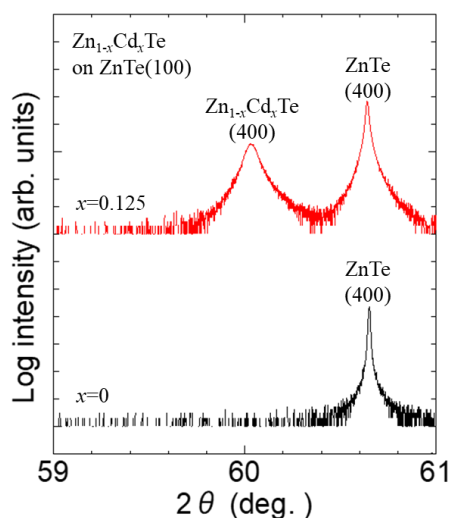


Fig. 1 XRD profiles of (400) plane for $\text{Zn}_{1-x}\text{Cd}_x\text{Te}$ layers.

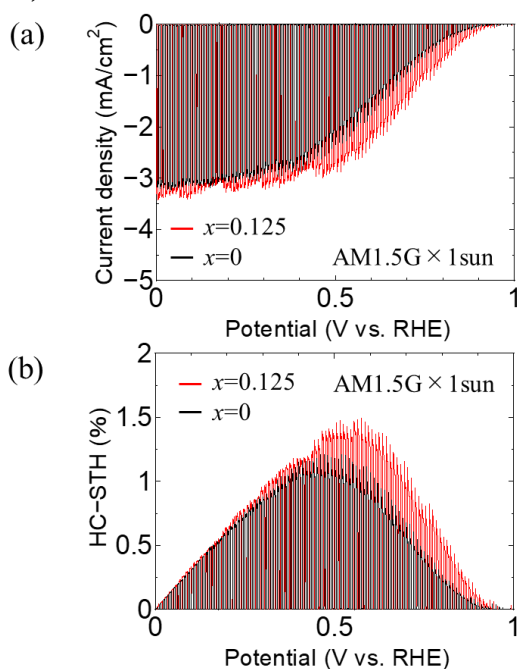


Fig. 2 (a) Current density and (b) HC-STH of $\text{Zn}_{1-x}\text{Cd}_x\text{Te}$ photoelectrodes.

PbS 量子ドットを組み込んだ CsPbBr_{3-x}Cl_x ベースの 2 段階フォトンアップコンバージョン太陽電池 CsPbBr_{3-x}Cl_x-Based Two-Step Photon Upconversion Solar Cells with Embedded PbS Quantum Dots

神戸大院工 ○(M1)上野 颯真, Hambalee Mahamu, 朝日 重雄, 喜多 隆

Grad. Sch. of Eng. Kobe Univ., Soma Ueno, Hambalee Mahamu, Shigeo Asahi, Takashi Kita

E-mail: 254t207t@stu.kobe-u.ac.jp

【はじめに】われわれは単接合型太陽電池の変換効率限界を超える太陽電池のコンセプトとして、2 段階フォトンアップコンバージョン太陽電池 (TPU-SC) を提案し、実現のための検討を進めている [1]。TPU-SC はワイドギャップ半導体 (WGS) とナローギャップ半導体 (NGS) を接合した太陽電池で、NGS で生成された電子がヘテロ界面に蓄積され、低エネルギーのフォトンによって WGS に励起されることで 2 段階フォトンアップコンバージョン (TPU) が起こる。これにより太陽電池の透過損失を減らし、高い変換効率を実現できる。これまでに、AlGaAs と GaAs のヘテロ接合を利用した TPU-SC を作製し効率的な TPU を実証してきたが、この TPU 現象は材料系に依らないと考えている。そこで本研究では WGS、NGS にペロブスカイト系結晶の CsPbBr_{1.5}Cl_{1.5}、CsPbBr₃ を用い、ヘテロ界面に TPU 効率の上昇、及びアニオン交換抑止のため PbS 量子ドット (QDs) を組み込んだ全ペロブスカイト型太陽電池において、TPU 現象を実証することを目的として実験を行った [2]。その結果、低エネルギーフォトンの追加入射による短絡電流、開放電圧の上昇を観測した。

【結果】測定に用いた TPU-SC は、ITO、ZnO をスパッタリング法により堆積したガラス基板に、CsPbBr₃、PbS QDs、CsPbBr_{1.5}Cl_{1.5}、NiOx ナノ粒子を順にスピンコート法で成膜し、表面電極として Au を蒸着することで作製した。PbS QDs のスピンコート滴下回数が 1 回、3 回の 2 種類のデバイスを作製し、特性の比較を行った。測定では、TPU プロセスの 1 段階目に相当するバンド間励起光 (484 nm) と、2 段階目に相当するバンド内励起光 (1319 nm) を用いた。強度を 16 mW/cm² に固定した 1319 nm のレーザー光照射時と非照射時における短絡電流密度の差 ΔJ_{SC} 、及び開放電圧の差 ΔV_{OC} の 484 nm の励起光強度依存性を室温で観測した。PbS QDs を 3 回滴下したデバイスの結果について、図 1(a)、(b) にそれぞれ示す。PbS QDs を 1 回滴下したデバイスでは ΔJ_{SC} が減少した。ペロブスカイトナノ結晶では、伝導帯で励起された電子が熱化によりフォノンを放出する [3]。これが結晶構造の歪みを引き起こし無輻射再結合が増加したためと考えられる。一方、3 回滴下したデバイス (図 1(a)) では逆に ΔJ_{SC} が増加した。これは滴下回数を増加させたことで、PbS QDs の量子化準位がトラップ準位の影響を上回り、TPU 現象に寄与したと考えられる。

また ΔV_{OC} は、PbS QDs を 1 回滴下したデバイスでは 484 nm レーザー強度に関わらず負の値をとるが、3 回滴下したデバイス (図 1(b)) では 200 mW/cm² を境に上昇傾向がみられ、高強度においては正の値となった。伝導帯で励起された電子の熱化により発生したフォノンは局所的な温度上昇を引き起こし、 V_{OC} は減少する。484 nm レーザー強度を増加させると TPU 現象が優位となり、 ΔV_{OC} も正に転じると解釈できる。

[1] S. Asahi *et al.*, *Nat. Commun.* **8**, 14962 (2017)

[2] Z. Fan *et al.*, *Phys. Rev. Applied* **17**, 064016 (2022)

[3] N. Sudhakar *et al.*, *J. Phys. Chem. Lett.* **7**, 13, 2450–2455 (2016)

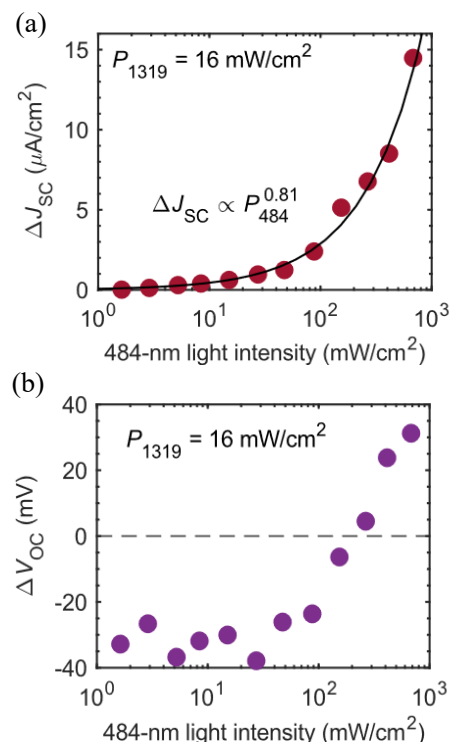


Figure.1: 484-nm excitation power dependence of (a) ΔJ_{SC} , (b) ΔV_{OC} .



Photosensitive Properties of CsPbBr₃ Nanocrystals under Bichromatic

Photoexcitation of Above-bandgap and Sub-bandgap Photons

Kobe Univ.¹, °Hambalee Mahamu¹, Soma Ueno¹, Shigeo Asahi¹, Takashi Kita¹

E-mail: 203t268t@cloud.kobe-u.jp

CsPbBr_{3-x}Cl_x nanocrystal (NC)-based two-step photon upconversion solar cells (TPU-SCs) have been proposed. The results of electrical characterizations suggest that the two-step photon upconversion (TPU) physics can be achieved at the interface of CsPbBr_{1.5}Cl_{1.5}/CsPbBr₃ with a layer of PbS quantum dots (QDs). The difference in short-circuit current (J_{SC}) and open-circuit voltage (V_{OC}), defined by:

$$\Delta J_{SC} = J_{SC, \text{Bichromatic}} - J_{SC, \text{Monochromatic}}$$

and

$$\Delta V_{OC} = V_{OC, \text{Bichromatic}} - V_{OC, \text{Monochromatic}},$$

showed positive values with additional photoexcitation by sub-bandgap photons (bichromatic excitation). Interestingly, the ΔV_{OC} suggests a change of carrier dynamics with increasing direct photoexcitation intensity.

In order to understand the fundamental intrinsic photophysical properties of CsPbBr_{3-x}Cl_x NCs under bichromatic photoexcitation which allow us to distinguish them from the TPU, we conducted optical and electrical characterizations of CsPbBr₃ NC-based single-junction solar cells (SCs). We firstly confirmed the localized states (LSs) from a photoluminescence (PL) spectrum obtained under monochromatic excitation of 484-nm above-bandgap photons. The localized states were identified using Gaussian functions to interpolate the PL spectrum. In addition, we measured ΔJ_{SC} and ΔV_{OC} of the CsPbBr₃ NC-based SC samples. 484-nm above-bandgap photons were employed for the direct photoexcitation which excite electrons for the valence band (VB) of CsPbBr₃ to its conduction band (CB). Additional 1319-nm sub-bandgap photons were introduced to the SC samples to create bichromatic photoexcitation conditions. The measurements of ΔJ_{SC} and ΔV_{OC} were achieved as functions of 484-nm and 1319-nm light intensities as well as a function of temperatures.

We observed positive values of ΔJ_{SC} as functions of 484-nm and 1319-nm light intensities at temperature, $T = 20$ K. The ΔJ_{SC} increases gradually with 484-nm light intensity due to an increase in electron density in the LSs caused by electronic relaxation from the CB to the LSs. With low thermal excitation at $T = 20$ K, the effects of optical excitation by 1319-nm sub-bandgap photons on the electrons occupying the LSs to the CB are apparent. However, a saturation behavior was observed when 484-nm light intensity is ~ 100 mW/cm². The saturation behavior is caused by state-filling effects at the LSs. Since the saturation of the LSs leads to maximizing the upconversion rate, 1319-nm photons induce photoexcitation on electrons in the CB to the higher states. For perovskites, the intraband excitation within the CB was reported elsewhere [1]. Hence, the presence of 1319-nm sub-bandgap photons, under the saturation condition of the LSs, induces negative effects on the photocurrent as depicted in Fig. 1(a).

The positive ΔJ_{SC} gradually disappears with increasing temperatures due to thermal excitation that disturbs the optical excitation by 1319-nm photons. The ΔJ_{SC} , eventually, exhibits negative values at $T = 280$ K due to the following process: High temperatures induce thermal excitation of the electrons in the LSs to the CB. Therefore, 1319-nm photons have more significant effects on electrons in the CB than those in the LSs since the electron density at the LSs becomes small. Sub-bandgap photoexcited electrons in the CB thermalize to the lower CB states emitting phonons [2]. As a result, the non-radiative centers are created by increasing lattice vibrations reducing J_{SC} [3], and thus, the negative ΔJ_{SC} . The same characteristics were observed in the case of ΔV_{OC} as indicated in Fig. 1(a).

References:

- [1] S. Narra et al., J. Phys. Chem. Lett. 7, 13, 2450–2455 (2016).
- [2] H. Chung et al., Angewandte Chemie 56, 15 4160–4164 (2017).
- [3] Y. Yamada et al., NPG Asia Mater. 14, 48 (2022).

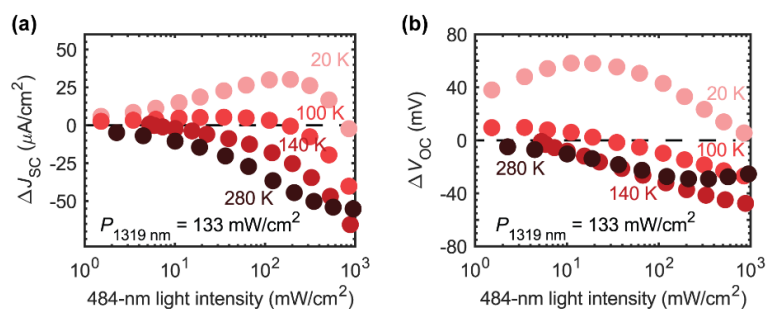


Fig. 1 (a) ΔJ_{SC} and (b) ΔV_{OC} visualized as a function of 484-nm light intensity.

Zn₃P₂ を Zn 源として用いた ZnSnP₂/GaAs エピタキシャル成長

Epitaxy of ZnSnP₂ on GaAs using Zn₃P₂ as a zinc source

京大工¹ ○住吉 孝心¹, 野瀬 嘉太郎¹

Kyoto Univ.¹, Isshin Sumiyoshi¹, Yoshitaro Nose¹

E-mail: sumiyoshi.isschin.35a@st.kyoto-u.ac.jp

はじめに ZnSnP₂は可視光領域での高い光吸収係数と、Zn, Sn 原子の配列制御によりバンドギャップ変調が可能なる点から、太陽電池の光吸収層として注目されている。我々はこれまでに、詳細な物性評価に向けて分子線エピタキシー (MBE) を用いた ZnSnP₂単結晶薄膜の作製に取り組んできた。本研究では、従来 Zn 源として用いる金属亜鉛の代わりに Zn₃P₂を用いて ZnSnP₂の成膜を行い、その効果について調査した。

実験方法 基板には GaAs(001)を用い、成長温度は 240°C とした。蒸発源には金属錫、金属亜鉛、Zn₃P₂, Sn₄P₃/Sn を用いた。Sn と Zn₃P₂のフラックス比 ($p_{\text{Sn}}/p_{\text{Zn}_3\text{P}_2}$) を変化させた。得られた薄膜に対し反射高速電子線回折 (RHEED) および XRD による構造評価、および Hall 効果測定を行った。

実験結果・考察 Fig. 1 に SEM 像および RHEED パターンを示す。Zn 源として金属 Zn を用いた場合には数 nm の粒状の多結晶膜が得られたのに対し、Zn₃P₂の場合には平滑な単結晶薄膜が得られた。これは、Zn₃P₂を用いた方が吸着元素の表面拡散が促進されることを示唆する。Fig. 2 に XRD プロファイルの $p_{\text{Sn}}/p_{\text{Zn}_3\text{P}_2}$ 依存性を示す。いずれも GaAs (001) に対して 001 配向して成長していることがわかる。一方で、ZnSnP₂ ($a=5.654$ Å) と GaAs ($a=5.651$ Å) の格子定数差はわずかであるにもかかわらず、ZnSnP₂の 004 回折は低角側にシフトしている。さらに、28.2°付近に現れる回折線から、ZnSnP₂/GaAs 界面において格子定数の小さい GaP が生成している可能性が示唆される。これが面内方向の圧縮、面直方向引張歪の起源と考えられる。Hall 効果測定の結果、 $p_{\text{Sn}}/p_{\text{Zn}_3\text{P}_2}$ が低い条件ではキャリア濃度が 10^{14} – 10^{15} cm⁻³ であるのに対し、 $p_{\text{Sn}}/p_{\text{Zn}_3\text{P}_2}$ を高くすることで $\sim 10^{16}$ cm⁻³ まで増加した。また、既報のバルク結晶は p 型のみであったが、得られた薄膜は n 型伝導を示した。以上の挙動は ZnSnP₂の主要なドナーが Sn_{Zn} であることと整合し[1]、内因性欠陥を利用したキャリア濃度制御が可能であることを示唆する。移動度はいずれの条件でも既報のバルク結晶 (~ 55 cm² V⁻¹ s⁻¹) を上回り[2]、特に $p_{\text{Sn}}/p_{\text{Zn}_3\text{P}_2}=0.22$ では 154 ± 4 cm² V⁻¹ s⁻¹ を示した。

謝辞 本研究は、科研費 (23K26432, 24KJ1392) の助成を受けた。本成果の一部は東京科学大学総合研究員フロンティア材料研究所共同利用研究を利用して得られたものである。

[1] Y. Kumagai et al, *Phys. Rev. B*, **90**, 125202 (2014).

[2] J.L. Shay and J.H. Wernick, Pergamon, Oxford, (1975).

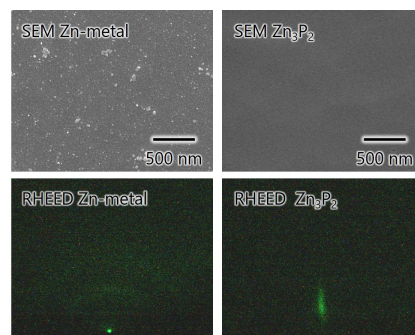


Fig. 1. SEM images and RHEED patterns.

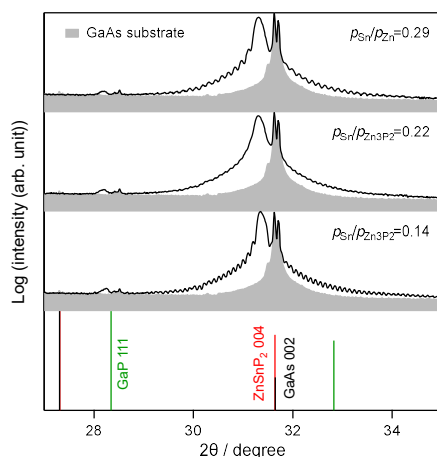


Fig. 2. XRD profiles.

II型 Ge クラスレート薄膜への Na および Li の注入

Na and Li encapsulation into type II Ge clathrate films

岐阜大院自¹, 岐阜大工², 岐阜高専³ ○(M1)伊藤 栄斗¹,

Rahul Kumar³, Himanshu S. Jha^{1,2}, 大橋 史隆^{1,2}, 久米 徹二^{1,2}

GNST, Gifu Univ¹., Faculty of Engineering, Gifu Univ²., NIT, Gifu College³

(M1) E. Ito¹, R. Kumar³, H. S. Jha^{1,2}, F. Ohashi^{1,2}, T. Kume^{1,2}

Email: ito.eito.e0@s.gifu-u.ac.jp

II型 Ge クラスレートは、かご状構造を有しており、かごの中には合成時に使用する Na をゲストとして内包し、 $\text{Na}_x\text{Ge}_{136}$ で表される。当研究室ではこれまでサファイア基板上への $\text{Na}_x\text{Ge}_{136}$ 膜の作製[1]およびその物性評価[2]を行ってきた。Na 内包量 x は真空下での熱処理により減少させることが分かっている。一旦減少させたゲスト内包量を作製後に注入するという試みは II 型 Si クラスレートについては、Na および Li について先行研究がある[3,4]

本研究ではまだ行われていない $\text{Na}_x\text{Ge}_{136}$ 膜への Na および Li を注入する手法を確立し、注入による光吸収特性などの物性変化を明らかにすることを目的とした。

Na (または Li) の注入は、サファイア基板上に合成した $\text{Na}_x\text{Ge}_{136}$ 膜に対し、真空容器内で 350 °C に保った状態で、Na (Li) の入った蒸着用るつぼを加熱し、1 時間 Na (Li) 蒸気を触れさせることにより試みた。るつぼのヒータへの投入電力を種々変化させて行った。試料の評価は XRD、FT-IR および UV-vis を用いた。Fig. 1 は Na の注入前後における試料 ($\text{Na}_x\text{Ge}_{136}$ 膜) の吸光度スペクトルである。1 eV 以下に見られる吸光度の増加は、内包 Na のイオン化にともなうフリーキャリア吸収によるものである[2]。Fig. 1 より、Na 注入後にフリーキャリア吸収が増加していることから、Na の蒸着によ

り $\text{Na}_x\text{Ge}_{136}$ 膜の Na 内包量 x が増加したと考えられる。実際に XRD パターンのリートベルト解析から $x = 3.5$ から $x = 12.1$ に増加したことを確認した。Li 注入に関しても、同様の吸光度スペクトルの変化を観測し、Li が注入されたものと考えられる。ラマンスペクトルの変化など物性変化に関する詳細は当日に示す。

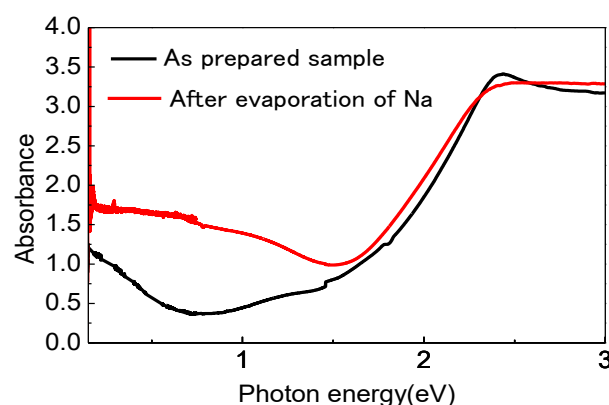


Fig. 1 Absorbance spectra of $\text{Na}_x\text{Ge}_{136}$ film before and after Na evaporation.

謝辞 本研究は科研費(21H01365, 25H00737)の一環として行われた。

参考文献

- [1] R. Kumar *et al.*, Jpn. J. Appl. Phys. **62** (2023) SD1020.
- [2] R. Kumar *et al.*, Jpn. J. Appl. Phys. **59** (2020) SFFC05.
- [3] R. Vollondat *et al.*, J. Chem. Phys. **158** (2023) 164709.
- [4] Y. Liu *et al.*, Inorg. Chem. **62** (2023) 6882.

Sn-S プリカーサや硫化時圧力が SnS 薄膜の硫化成長へ与える影響

Effect of Sn-S precursor and sulfurization pressure on the sulfurization growth of SnS thin films

東京理科大学 創域理工¹/総研²

○笠 春輝¹, 土山 岳斗¹, 小郷 和嗣¹ 西須 千真¹ 杉山 睦^{1,2}

1. Faculty of Science and Technology / 2. RIST, Tokyo Univ. of Science

○H. Ryu¹, T. Tsuchiyama¹, K. Ogo¹, K. Saisu¹, M. Sugiyama^{1,2} E-mail: optoelec@rs.tus.ac.jp

【はじめに】 硫化スズ(SnS)は p 型導電性を示し次世代太陽電池の光吸収層材料などとして期待されているが、現在の SnS 太陽電池の最高変換効率[1]は理論変換効率と比較して非常に低い。その一因として SnS 薄膜内における n 型導電性を示す Sn_2S_3 や SnS_2 の異相形成と、それに伴う SnS 薄膜内のバンド不整合や抵抗率の増大[2]が挙げられる。成膜法の一つである硫化法においては、薄膜表面で容易に異相が形成されてしまうことから最適な成膜条件が検討されている。これまで硫化法では異相形成の抑制に向け、硫化時の温度や時間について検討されてきたものの、硫化時の圧力に関する検討はほとんどない。硫化時の圧力と Sn-S の相の相関について、G. Lindwall らより減圧下において SnS 単相が形成されやすくなる[3]ことが報告されている。そのため、硫化時の圧力を減圧とすることで異相形成の抑制が期待される。また、異相形成の抑制に向けては S の拡散を理解することが重要であるが、プリカーサの結晶状態が S の拡散や異相形成にどのような影響を与えるかは未解明である。本研究では異相形成の抑制に向け、異なる結晶状態の Sn-S プリカーサに対し硫化処理を行い、硫化時の圧力が SnS 薄膜の異相形成や結晶性へ与える影響を検討した。

【実験方法】 RF スパッタ法で SnS(Sn:S=1:1)ターゲットを用いて Mo/SLG 基板上に Sn-S プリカーサを堆積させた。得られた Sn-S プリカーサに対して硫黄粉末を用い、硫化温度 823 K、硫化時間 60 min. とし大気圧下と減圧下(<100 Pa)それぞれで硫化処理を行った。その後、得られた薄膜に対して XRD、Raman 測定などを行った。

【結果及び考察】 図1に Sn-S プリカーサと圧力を変化させ硫化処理を行った SnS 薄膜の Raman スペクトルを示す。全ての硫化後の SnS 薄膜において SnS 由来のピークを確認した。一方で、常圧下では確認された Sn_2S_3 由来のピークが減圧下では確認されなかった。これより、薄膜表面が S-rich になることで常圧下では異相が形成されたが、減圧下では異相形成が抑制されたことが示唆された。また、XRD 測定から回折パターンの変化が確認された。以上より硫化時の圧力を減圧とすることで、SnS 薄膜の結晶成長にも影響を与えることが確認された。詳細は当日報告する。

【謝辞】 本研究の一部は、東京理科大学総合研究院再生可能エネルギー技術研究部門、およびスペースシステム創造研究センターの支援を受けた。

【参考文献】 [1] J. Heo, *et al.*, J. Mater. Chem. A **12** (2024) 3265.

[2] V. R. Minnam Reddy, *et al.*, Curr. Appl. Phys. **15** (2015) 588.

[3] G. Lindwall, *et al.*, Sol. Energy **125** (2016) 314.

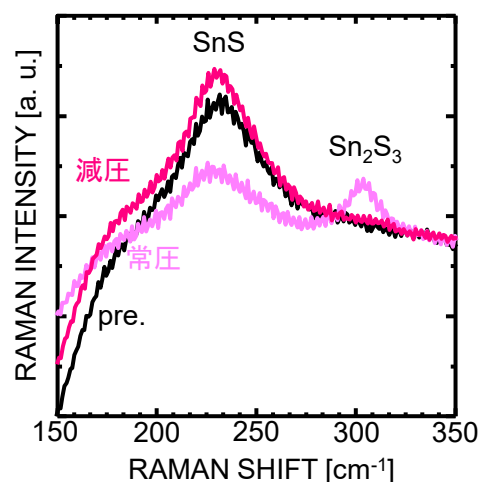


図 1. 常圧・減圧硫化した SnS 薄膜の Raman スペクトル

硫黄プラズマを用いた反応性スパッタリングによる ウルツ鉱型 $\text{ZnO}_{1-x}\text{S}_x$ 薄膜の作製

Fabrication of wurtzite-type $\text{ZnO}_{1-x}\text{S}_x$ thin films
via reactive sputtering with sulfur plasma

東北大¹, 産総研², 鹿児島大³ ○(D1) 茂田井大輝^{1*}, 鈴木一誓¹, 野上大一¹,
反保衆志², 永井武彦², 寺田教男², 青野祐美³, 小俣孝久¹

Tohoku Univ.¹, AIST², Kagoshima Univ.³ ○Daiki Motai¹, Issei Suzuki¹, Taichi Nogami¹,
Hitoshi Tampo², Takehiko Nagai², Norio Terada², Masami Aono³, Takahisa Omata¹

*E-mail: motai.daiki.t5@dc.tohoku.ac.jp

$\text{ZnO}_{1-x}\text{S}_x$ は、ウルツ鉱型構造を有し、組成に応じて伝導帯下端および価電子帯上端のエネルギーを制御できる n 型半導体である。この組成依存性により、p 型光吸収層とのバンド整合を柔軟に設計可能なため、化合物太陽電池の n 型バッファ層として注目されている[1]。ウルツ鉱型 $\text{ZnO}_{1-x}\text{S}_x$ は、熱力学平衡条件下では固溶領域が極めて狭い[2]。したがって、これまではスパッタリングなどの非平衡な真空プロセスによって作製されてきた。しかし、中間組成近傍において、基板温度が高い場合 (300 °C) には固溶体が生成しないことや[1]、基板温度が低い場合 (120 °C) にはアモルファス相が形成されることが報告されており[3]、全組成範囲にわたってウルツ鉱型 $\text{ZnO}_{1-x}\text{S}_x$ を作製することは難しい。発表者らは、硫黄プラズマを用いた反応性スパッタリングを用いることで、結晶性の硫化物薄膜が低温でも作製できることを見出している[4]。本研究では、低い基板温度での ZnO ターゲットと硫黄プラズマを用いた反応性スパッタリングによって、広い組成域でウルツ鉱型 $\text{ZnO}_{1-x}\text{S}_x$ 薄膜を作製することを試みた。

200 °C に加熱した SiO_2 ガラス基板の上に、硫黄プラズマ照射しながら ZnO ターゲットをスパッタリングすることで薄膜を堆積した。ZnO に印加する RF パワー (RF_{ZnO}) を調節して組成の制御を試みた。比較のため、硫黄プラズマを照射せずに ZnO 薄膜も作製した。薄膜の生成相は X 線回折 (XRD) によって同定し、組成は飛行時間型二次イオン質量分析法 (TOF-SIMS) によって決定した。

作製した薄膜はいずれもウルツ鉱型構造を有していた。 c 軸の格子パラメータは、組成 ($\text{S}/(\text{O}+\text{S}))$ に対して Vegard 則に従って変化しており (図 1)、 $\text{ZnO}_{1-x}\text{S}_x$ が全組成範囲で得られた。当日は組成とバンドギャップの関係について報告するとともに、硫黄プラズマが全組成範囲にわたる $\text{ZnO}_{1-x}\text{S}_x$ の形成を可能にするメカニズムについて議論する。

参考文献 [1] V. Khomyak et al., Vacuum 121, 120-124 (2015). [2] F.A. Khoeger, et al., J. Electrochem. Soc. 99, 144 (1952). [3] A. Takabayashi et al., Jpn. J. Appl. Phys. 25, L437(1986). [4] D. Motai et al., preprint arXiv:2502.18922v2 (2025).

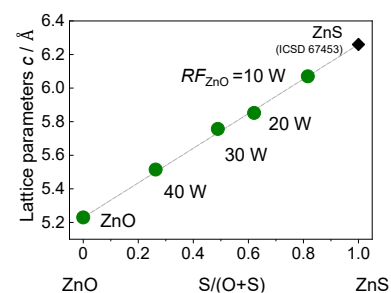


図 1 作製した $\text{ZnO}_{1-x}\text{S}_x$ 薄膜の
 $\text{S}/(\text{O}+\text{S})$ に対する格子
パラメータ c

低温成膜による Cu(In, Ga)Se₂ 光検出部の電气的特性

Electrical properties of CIGS diodes fabricated at low temperatures

産総研¹, KEK², °西永 慈郎¹, 外川 学², 石塚 尚吾¹

AIST¹, KEK², °Jiro Nishinaga¹, Manabu Togawa², Shogo Ishizuka¹

E-mail: jiro.nishinaga@aist.go.jp

はじめに: Cu(In,Ga)Se₂ (CIGS)太陽電池は 100℃程度の熱処理によって放射線損傷が回復するため、耐放射線性が高いことが知られている。我々は耐放射線性が高い CMOS 回路 (ASIC) 上に CIGS 光検出部を形成し、高耐放射線性撮像素子を実現させることを目標としている。ASIC 上に CIGS 層を成膜する際、AISC への熱影響を避けるため、CIGS 層を低温成膜することが必須となる。そこで今回、低温成膜により作製した CIGS ダイオードの電气的特性を評価した。

実験結果と考察: 青板ガラス基板上に Mo 電極層を堆積し、同時蒸着法により CIGS 層を成膜した。成膜温度を 500℃、400℃、300℃とし、Ga 濃度(GGI) 0.5、Cu 濃度(CGI) 0.8、膜厚 1 μm の CIGS 層を成膜し、その後、GGI:0.3、CGI:0.8、膜厚 1 μm の CIGS 層を成膜した。Al-Ni グリッド電極 / Al-doped ZnO(AZO) / i-ZnO / CdS を堆積させ、AZO 層をエッチングして素子分離を行った。図 1 (a)に 1 sun 照射下の電流電圧特性、(b)に暗状態下の電流電圧特性を示す。成膜温度 500℃の試料は、変換効率 14%を示し、並列抵抗 $6 \times 10^5 \Omega \text{cm}^2$ 、直列抵抗 $0.6 \Omega \text{cm}^2$ 、アクセプタ濃度 $2 \times 10^{15} \text{cm}^{-3}$ であった。成膜温度 300℃の試料は、正バイアス電圧下にて、ロールオーバーが発生している。これは、CIGS/Mo 界面にショットキー接合 (第 2 ダイオード) が形成されていることを示唆している。このショットキー接合は CIGS 層のアクセプタ濃度が低いことが原因として考えられ、変換効率を大きく低下させる。しかしながら、光検出に重要な高い並列抵抗 ($2 \times 10^6 \Omega \text{cm}^2$) と高い光電流 (35 mA/cm^2) が確認できる。第 2 ダイオードは逆バイアス電圧下では on となっており、光電流に影響を与えにくいと考えられる。(c)に外部量子効率測定を示す。成膜温度 300℃の試料も可視光領域で高い量子効率となっており、光検出器として利用可能であることがわかった。

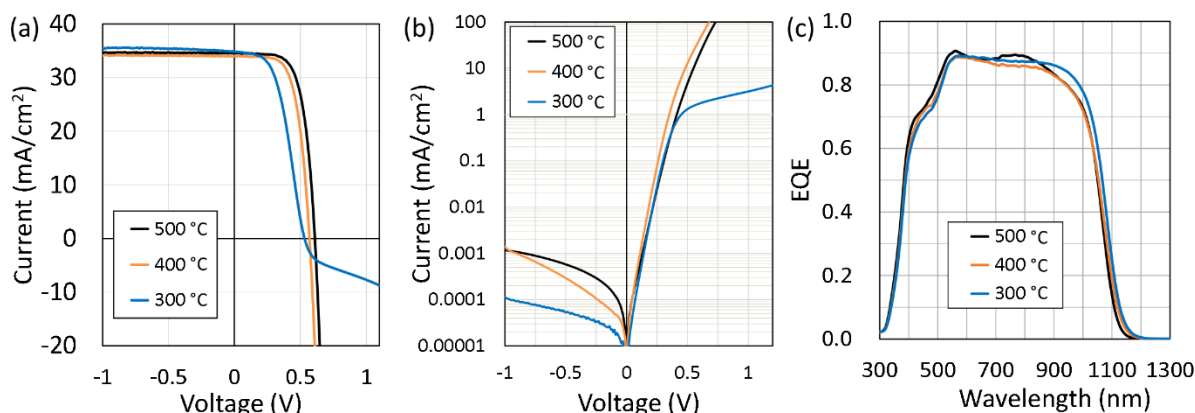


図 1 (a) 光照射下の電流電圧特性、(b) 暗状態下の電流電圧特性、(c) 外部量子効率

謝辞: 本研究は TIA 連携プログラム探索推進事業「かけはし」の支援により実施されたものである。関係各位に感謝致します。

酸処理を行った Cu(In,Ga)Se₂ PN ダイオードの電気的特性の解析

Analysis of electrical characteristics in Cu(In,Ga)Se₂ p-n diodes by various acid treatments

筑波大数理¹, AIST² ○(M1) 浦崎 圭吾¹, 西永 慈郎², 奥村 宏典¹, 石塚 尚吾²

Univ. of Tsukuba¹, AIST², ○Keigo Urasaki¹, Jiro Nishinaga², Hironori Okumura¹, Shogo Ishizuka²

E-mail: s2520281@u.tsukuba.ac.jp

Cu(In,Ga)Se₂(CIGS)は、可視光域で高い光吸収特性を持つ[1]だけでなく、100°C程度の熱光照射により何度でも特性回復する[2]ことから、高放射線耐性撮像素子材料として期待されている。しかし、CIGS p-n ダイオード(PND)に対する酸処理が電気的特性に与える影響に関する報告は多くない[3]。本研究では、様々な酸処理による順方向特性とキャリア伝導機構への影響を調べた。

スパッタリング法と MBE 法により SLG 基板上に n-ZnO/n-CdS/p-CIGS/Mo 構造を成膜し、ZnO 上に 40 nm Au/20 nm Ti を蒸着した。メサ構造作製時のエッチング損傷の影響を調べるため、各酸でウェットエッチングを行った。塩酸、酢酸、硫酸、硝酸(5%、65%)、ピラニア溶液(硫酸:H₂O₂=3:1)を用いて酸処理を行った後、電気的特性を評価した。酢酸の場合は ZnO 層まで、塩酸、硫酸、硝酸(5%)、ピラニア溶液の場合は CdS 層まで、硝酸(65%)の場合は CIGS 層までエッチングされた。

CIGS PND の電流密度-電圧特性を図 1 に示す。塩酸および酢酸処理により、全電極サイズにおいて 0.5 V から 0.7 V の範囲で ideal factor が 1.5±0.2 であった。拡散電流が主であると考えられる。また、逆方向特性では、CdS 層までエッチングすることが有効であることが分かった。ZnO 層での漏れ電流が大きいと考えられる。

塩酸処理した CIGS PND の逆方向の電流-電圧特性を 298 K~473 K で測定した。高温時の $\ln(J)-\sqrt{E}$ 曲線(図 2)では、低電界において Poole-Frenkel(PF)伝導モデルで良く fitting できた。低温時の $\log[\ln(J/V)]-\log(E)$ 曲線(図 3)では、強電界において Variable range hopping(VRH)伝導モデルで良い fitting ができた。高温域かつ弱電界域では PF 伝導が支配的となり、低温域かつ強電界域においては VRH 伝導が支配的なキャリア伝導機構だと考えられる。

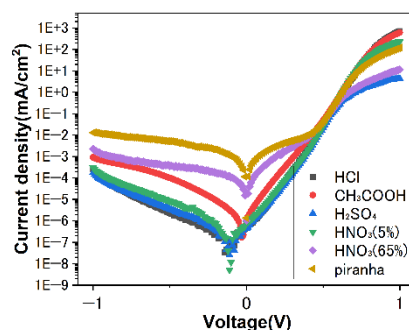


Fig. 1: J - V characteristic of CIGS PND after acid treatment

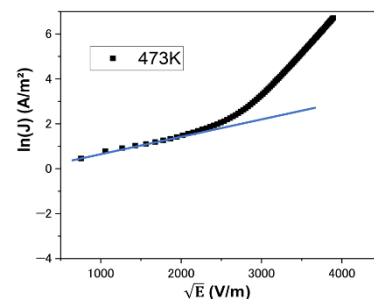


Fig. 2: $\ln(J)-\sqrt{E}$ characteristic

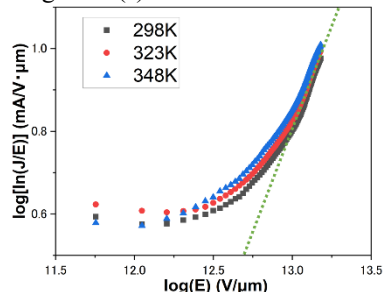


Fig. 3: $\ln(J/V)-E$ characteristic

- [1] T. Ghorbani et al., optic.223.165541.(2020) [2] J. Nishinaga et al., Jpn. J. Appl. Phys. 62, SK1014 (2023)
[3] T. Delsol et al., Solar Energy Materials & Solar Cells 77 331–339(2003)