13 半導体 | 一般セッション(ポスター講演)：13.1 Si系基礎物性・表面界面・シミュレーション

[20a-P05-1~3] 13.1 Si系基礎物性・表面界面・シミュレーション

[20a-P05-1]
貴金属触媒を用いた湿式Siエッチングにおける電気化学的評価
〇吉平 蒼太[1] (1.関西大シス理)

[20a-P05-2]
Si トレンチ構造底部からの光電子の検出とその特性
〇(M1)村瀬 詩花[1]、東 知樹[1]、稲垣 耕司[1]、有馬 健太[1] (1.阪大院工)

[20a-P05-3]
TMDC及びblack phosphorusにおける光誘起電気伝導の理論解析
〇(M1)中西 央[1]、相馬 聡文[1] (1.神戸大院工)

貴金属触媒を用いた湿式 Si エッチングにおける 電気化学的評価

Electrochemical Evaluation of Noble Metal Catalyzed Wet Si Etching

関西大シス理 ， ○(M1)吉平蒼太，土江 拓海，伊藤 健，新宮原 正三，清水 智弘

Kansai Univ. Sota Yoshihira, Takumi Doe, Takeshi Ito, Shoso Shingubara, and Tomohiro Shimizu

E-mail: shimi@kansai-u.ac.jp

[背景]

これまで我々は金属支援エッチング(MacEtch)を用いて Si 基板に TSV(Si 貫通電極)用ホールの作製を試みてきた。一方で、MacEtch はエッチング液に HF を使用しているため、エッチング中の触媒の挙動や化学反応の様子を把握することが難しい。そこで、本研究では耐フッ酸用の電気化学セルを用いて、エッチング中の基板に対し様々な条件で CV 測定を行うことで Au 触媒を用いた Si の MacEtch の電気化学的評価を試みた。

[実験方法]

p 型 Si 基板(1000~1200Ωcm)上にディスク状に加工した直径 20μm の円板状の Au パターンを形成し、Si の MacEtch 触媒とした。エッチング液には、H_2O_2: 1.3M に対し、HF は 1 または2M 入れた溶液を用いた。40 ºC に保温した、エッチング液に触媒付き基板を 120 分間浸漬し基板の MacEtch を行った。試料断面はエッチング後の基板を劈開し、SEM を用いて観察した。

電気化学測定には耐フッ酸用の 3 電極セルを用いた。作用極には MacEtch に用いたものと同じ Au 触媒パターン付きの *p* 型 Si 基板、対抗電極に Pt、標準電極に Ag/AgCl 電極を用いて CV 測定を行った。溶液も MacEtch と同じ条件を用いた。測定で得られた電流を電流密度に算出した後、電流密度の絶対値を対数表示とし、腐食現象の評価で用いられる Tafel プロットで表した。

[結果]

Fig. 1 に直径 20μm の円板状の Au 触媒を用いて 120 min MacEtch した Si ホールの断面図を示す。エッチング液中の HF 1M の溶液では基板に対し深さ 82.8μm の垂直なホールが観察できる。HF 濃度を 2M に上げるとエッチング深さが 129μm に増加した。Fig. 2 に Fig. 1 と同濃度で触媒付き Si 基板の CV 測定結果を Tafel プロットで示す。HF 濃度を上げるとアノード電流、カソード電流がともに増加した。このことから腐食電流密度が増加し、Si の溶解反応が多く起こることで実際にエッチング量が増えたことがわかる。当日は詳細な反応や過酸化水素の濃度依存性について議論する。

(a) (b)

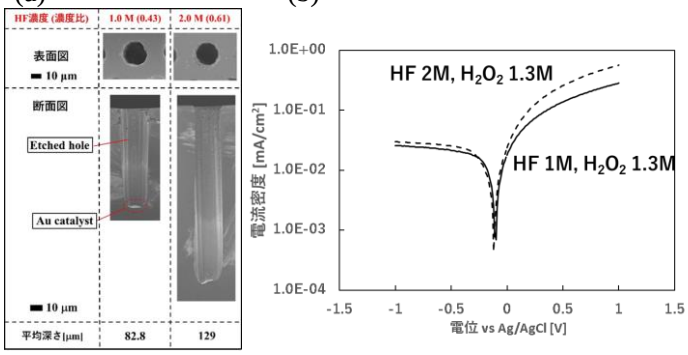


Fig.1 (a) Cross-sectional SEM images of Si substrate etched with a mixture of 1.3 M H_2O_2 and 1, 2M HF. (b) CV measurement results using solution with same conditions as (a).

Si トレンチ構造底部からの光電子の検出とその特性

Detection and characterization of photoelectrons from bottoms of Si trench structures

阪大院工　°(M1)村瀬詩花，東知樹，稲垣耕司，有馬健太

Osaka Univ.　°Shiika Murase, Tomoki Higashi, Kouji Inagaki, Kenta Arima
E-mail: murase@sie.prec.eng.osaka-u.ac.jp

近年の高集積化半導体デバイスでは共通して，横に対する縦の比（アスペクト比）が大きな三次元構造が形成されている．そして今後も，このアスペクト比はますます高まると予想される[1,2]．また，デバイスの製造工程において，半導体表面には極めて厳しい清浄度が要求される．しかし，平坦な試料面における吸着物の種類や濃度を評価した報告は数多くあるが、三次元構造に関する報告は限られている．

この背景を踏まえ，我々は，最も制御が困難である，三次元構造体の底部に存在する汚染物質や酸化物の種類及び濃度を非破壊で評価できる手法の開発を目指している．以下に我々が提案する角度分解 X 線光電子分光法（Angle-Resolved X-ray Photoelectron Spectroscopy：ARXPS）を用いた，三次元構造底部における表面状態の評価法を示す（図 1(a)）．我々は，高アスペクト比構造底部に埋め込んだ異種元素を，鉛直方向の目印とする独自の手法を提案する．本手法は，光電子の脱出角度を高精度に調整することで，底部から放出される光電子の検出が保証できるという特徴を持つ．　また我々は、底部のみに異種元素を埋める Si トレンチ構造の作製にあたり，金属アシストエッチング（Metal Assisted Chemical Etching：MACE）と呼ばれるウェットエッチングに着目した．　本稿では，MACE により作製した異なるアスペクト比（1～7）をもつ Si トレンチ構造を用い，上記手法の原理検証を行った．

図 1(b),(c)に，底部に Au が埋め込まれたアスペクト比 7 の Si トレンチ構造に対し，ARXPS を行った結果を示す．図より Si2p シグナルは，光電子の脱出角（$\theta_{takeoff}$）によらず，常に明確に観察されているが，Au4f シグナルでは，浅い脱出角においてピークが，ほぼ存在しない．この傾向は，とりわけ，アスペクト比が大きい Si 試料で顕著であった（図 1(d)）．以上の結果は，Si トレンチ構造の底部に配置させた Au 触媒が，試料と検出器の軸を合わせる際の目印として機能することを表す．

さらに，MACE 後の試料に対し，ヨウ素系 Au エッチング液を用いて底部の Au を除去し，ARXPS 測定を行った．図 1(e)に $\theta_{takeoff}$ が 90°での Si2p スペクトルを示す．Au 除去後の Si2p スペクトルは低エネルギー側に肩ピークを持ち，Au を埋め込んだ試料とは明らかに異なっている．これは，トレンチの上面と底部で Si の表面状態が異なり，Au 除去後は底部の情報を含んだシグナルが検出されたことを示唆している．提案した手法を発展させれば，高アスペクト比構造の底部に対するウェット／ドライ洗浄プロセスの評価に適用できると期待される

参考文献

[1] Y.-G. Liaw et al., Solid-State Electron 126, 46-50 (2016).
[2] C.-J. Sun et al., IEEE J. Electron Devices Soc. 8, 1016-1020 (2020).

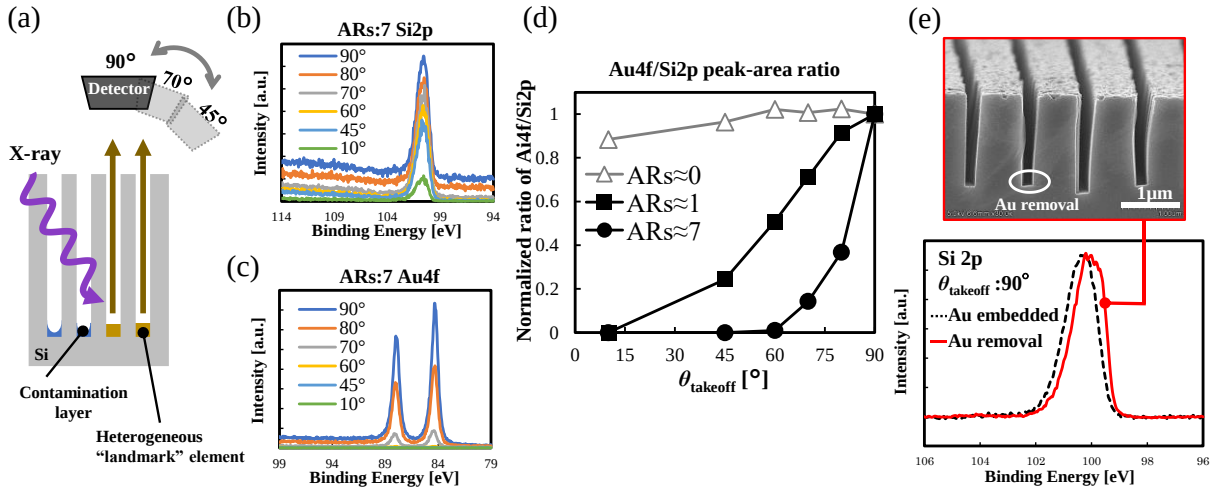


Fig.1. (a) Proposed method to evaluate cleaning properties at the bottoms, (b) Si2p, and (c) Au4f spectra obtained by angle-resolved XPS on a Si sample with trenches of which Aspect Ratios(ARs) is about 7, (d) Area ratio of Au to Si peaks for a sample with different ARs, (e) Cross-sectional SEM image after Au removal together with the change in Si2p spectra ($\theta_{takeoff}$:90°) after Au removal by this removal process.

© 2024年 応用物理学会

TMDC 及び black phosphorus における光誘起電気伝導の理論解析

Theoretical analysis of photo-induced conductivity in TMDC and black phosphorus

神戸大院工　中西 央，相馬 聡文
Akira Nakanishi and Satofumi Souma
Department of Electrical and Electronic Engineering, Faculty of Engineering, Kobe University
E-mail: ssouma@harbor.kobe-u.ac.jp

IoT（Internet of Things）社会の到来により、様々な物理情報を高速に検知し、処理する技術 、すなわち各種センシング素子の高性能化への需要が高まっている。例えば光デバイス（光センサ等）においては、アプリケーションごとに要求される種々の波長帯での光検出の高感度化が重要であるが、その需要に応えるためには、用途ごとに適切なマテリアルデザインが求められる。そのような背景の中、近年、グラフェン、MoS_2 等の遷移金属ダイカルコゲナイド系物質（TMDC）, フォスフォレン等の二次元半導体がその優れた電気的、熱的、光学的性質から、各種物理情報センシングのための材料として注目されている。二次元半導体は材料や層数によって光を吸収できる波長帯が異なるので、狙った波長帯の光のセンシングに適していると考えられている。また、材料の特定においても光吸収特性は重要な情報をもたらし、特に、電流を流すための電界方向と入射する光の偏光方向の関係が光誘起電気伝導に与える影響は、その物質の特定および光センサの設計において重要な役割を果たす。これまで、グラフェン及び歪みグラフェンの異方的光誘起伝導に関するシミュレーション結果を報告したが[1]、本研究ではその知見を土台として、TMDC 及びフォスフォレン（black phosphorus）を材料とした、原子論的タイトバインディング法及びボルツマン方程式に基づく数値シミュレーションを用い、これらの物質の光誘起電気伝導、特にその異方性を明らかにする(Figs. 1, 2)。講演では、その結果の詳細及び物質特定及び光センサ応用のための知見について報告する。

[1] A. Mehdipour, K. Sasaoka, M. Ogawa, and S. Souma, to appear in Jpn. J. Appl. Phys. **53** 115103

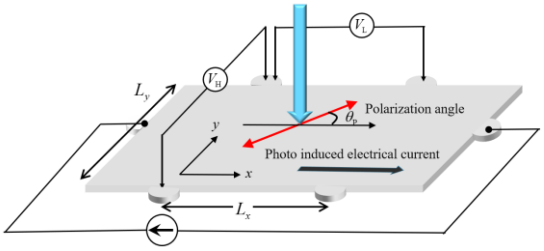


Fig. 1 . Schematic illustration for the measurement of photo-induced conductivity.

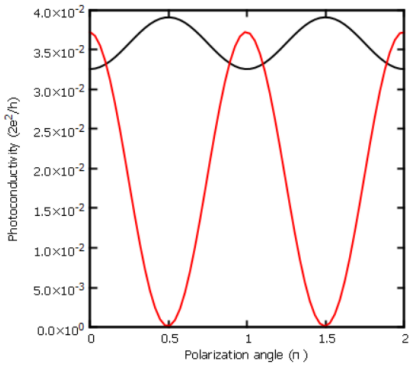


Fig.2. Photo-conductivity of graphene-like material (black) and phosphorene (red) as a function of light-polarization direction.

13 半導体 | 一般セッション(口頭講演)：13.1 Si系基礎物性・表面界面・シミュレーション

[20p-C43-1~11] 13.1 Si系基礎物性・表面界面・シミュレーション

[20p-C43-1]
酸化グラフェンアシストSi気相エッチングにおけるシート面内構造依存性
〇後藤 雄太[1]、宇都宮 徹[1]、一井 崇[1] (1.京大院)

[20p-C43-2]
ナノカーボンの触媒作用を援用した半導体表面の選択エッチング
ーエッチング液と接触する触媒／半導体界面での正孔注入と拡散制御の試みー
〇山本 聖也[1]、李 君寰[1]、稲垣 耕司[1]、有馬 健太[1] (1.阪大院工)

[20p-C43-3]
The influence of Ar/N_2 gas flow ratio on the electrical characteristics of ferroelectric hafnium nitride formed by ECR-plasma sputtering
〇KANGBAI LI[1], Shun-ichiro Ohmi[1] (1.Tokyo Tech.)

[20p-C43-4]
電子線照射により生成したSiO_2/Si界面欠陥分布の評価
〇清水 崚央[1]、早田 康成[1]、蓮沼 隆[1] (1.筑波大数理)

[20p-C43-5]
機械学習ポテンシャルＭＤを用いたa-Al_2O_3/GaN界面の欠陥状態解析
〇佐藤 昂輝[1]、上沼 睦典[2]、陣内 亮典[1]、旭 良司[1] (1.名大工、2.産総研)

[20p-C43-6]
シリコン量子ドットを充填したイオン結晶粉末の作製
〇大島 遼裕[1] (1.法政大院理工)

[20p-C43-7]
パターニングしたSi(111)基板上に成長したPドープ歪みSiGe/Geの電気伝導特性
〇武井 爽一郎[1]、菊岡 柊[1]、奥谷 惇[1]、石橋 脩悟[1]、山田 道洋[1]、浜屋 宏平[2,3]、澤野 憲太郎[1] (1.東京都市大学、2.阪大基礎工CSRN、3.阪大 OTRI)

[20p-C43-8]
Synthetic Image Generation of Microstructure Surfaces Using Physically Based Rendering Techniques
Zhen-Wei Tsai[1], 〇(M1)Chao-Ching Ho[1] (1.Nat'l Taipei Uni. of Tech.)

[20p-C43-9]
機械学習を用いた離散不純物によるMOSFET閾値電圧ばらつきの統計的な解析
〇関 翔太[1,2]、長田 圭一[1]、髙石 将輝[1]、笠原 亮太郎[1,2]、沓掛 健太朗[2,3]、宇治原 徹[1,2,3] (1.アイクリスタル、2.名大院工、3.名大未来研)

[20p-C43-10]
不規則な櫛歯型構造を設けたナノリボンにおける電界印加による電流スイッチング
〇田中 一[1]、森 伸也[1] (1.阪大院工)

[20p-C43-11]

半導体ナノシートにおける電子移動度の結晶方位依存性のモンテカルロシミュレーション

〇岡田 丈[1]、田中 一[1]、森 伸也[1] (1.大阪大学)

酸化グラフェンアシスト Si 気相エッチングにおける シート面内構造依存性

Vapor Phase Si Etching Assisted by Graphene Oxide (GO) with Photochemically Modified In-plane Structure

京大院　°(M2) 後藤　雄太，宇都宮　徹，一井　崇

Kyoto Univ., °Yuta Goto, Toru Utsunomiya, Takashi Ichii

E-mail: goto.yuta.53c@st.kyoto-u.ac.jp

シリコン表面微細加工技術の 1 つとして貴金属や炭素材料を触媒としたアシストエッチングが注目されており，当研究室では酸化グラフェン (Graphene Oxide: GO) を用いたシリコンエッチングをこれまでに報告してきた [1]．従来の液相での GO アシストエッチングでは，発生したガスによって GO が剥がれてしまうため，大面積を均一に加工することが困難であった．窪田はその解決法として，気相でも同様に，アシストエッチング反応が進行することを明らかにした [2]．しかし，そのメカニズムや律速プロセスは未だに明らかになっていない．本研究では，GO シート面内の構造に着目して，シート内欠陥がエッチング速度に与える影響を調べた．

改良 Hummers 法で作製した GO を，既報 [2] を参考としたマイクロコンタクトプリンティング法にて(100)配向の p 型シリコン基板に担持した．さらに，この試料に高真空環境 (10^{-3} Pa 以下) で室温もしくは 140 ℃の加熱下にて真空紫外 (Vacuum Ultra Violet: VUV) 光照射することで光還元し，それぞれ rGO, rGO_140 とした．これら 3 種類の試料をフッ酸と過酸化水素からなるエッチャント蒸気に 50 ℃で暴露させることで，気相エッチングを行った．

Fig. (a)に各試料のラマンスペクトルを示す. 高真空中 VUV 光照射によって 1600 cm^{-1} 付近の GO に由来するピークの位置がレッドシフトした．これは 1574 cm^{-1} 付近の G ピークの割合の増加を意味しており，VUV 光還元に伴う sp^2 共役結合の再構築が示唆された．一方，これらの試料を 16 時間，50 ℃で気相エッチングすることで得られた孔構造の深さを Fig. (b)に示す．丸印はその深さの平均であり，概ね 400 nm 程度となった．VUV 光照射によるシート面内化学構造の違いが気相中アシストエッチング速度に与える影響は小さいことが示唆された．

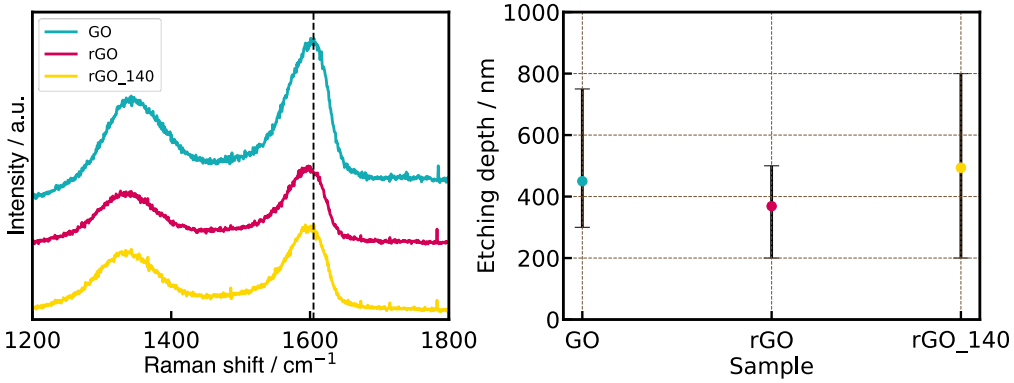


Fig. (a) Raman spectra of GO, rGO, and rGO_140. (b) Relationship between the samples and the etching depth after 16 h at 50 ℃.

参考文献 (1) W, Kubota, et al., Langmuir 37, 9920 (2021) (2) W, Kubota, et al., ACS Appl. Nano Mater. 5, 11707 (2022)

© 2024年 応用物理学会

ナノカーボンの触媒作用を援用した Ge 表面の選択エッチング

ーエッチング液と接触する触媒／半導体界面での正孔注入と拡散制御の試みー

Selective etching of Ge surface assisted by nanocarbon catalysis

- Effect of oxidant added to etchant on etching properties -

阪大院工 °山本 聖也，李 君寰，稲垣 耕司，有馬 健太
Osaka Univ. °Seiya Yamamoto, Junhuan Li, Kouji Inagaki, Kenta Arima
E-mail: s.yamamoto@sie.prec.eng.osaka-u.ac.jp

金属アシストエッチング(Metal Assisted Chemical Etching: MACE)は，貴金属の触媒活性を利用した半導体表面の加工法であり，簡便・低コストに三次元構造体を作製できる手法である．我々は過去に, Pt 等の貴金属触媒を用いて, O_2 溶解水中での MACE の系統的な調査を行った[1]. しかし，加工後の Ge 表面に残留する貴金属汚染の除去が困難であるという問題に直面し，非金属触媒であるナノカーボン材料に着目した[2][3]. そして，還元グラフェン，及び，酸化グラフェン(Graphene Oxide: GO)が O_2 溶解水中で Ge 表面を選択的にエッチングする現象を見出し，その基礎特性を調査してきた[4]. この際，窒素ドーピング等によりエッチングレートの向上を図ったが，そのレートは依然低い．O_2 分子の酸化力が不十分であることに起因すると考え，エッチング液により強力な酸化剤を添加することによるレート向上を期待し, 調査を行った[4]. 続いて、上記の結果を踏まえ，基板裏面にバイアス電圧を印可することで，本モードにおけるエッチングプロファイルを制御したいと考えた. そこで，Au 触媒を配した Si 試料を用いて，バイアス印可を行い，その有用性を調査した.

Fig. 1 に Ge 表面に単一層の GO シートが堆積した試料を異なる温度条件（31°C, 58°C）で O_2 溶解水中，及び，H_2O_2 溶液(200 ppm)に 3 時間浸漬した Ge 表面の AFM 像を示す。O_2 溶解水に浸漬した試料では GO フレーク直下の Ge 表面の酸化と溶解が促進されている一方で，H_2O_2 溶液に浸漬した試料では GO フレーク直下に加えて, その周囲のエッチングが促進された．これは H_2O_2 が強い酸化剤であるため, Ge/GO 界面で消費される量より過剰に生成した正孔が周囲に拡散し，GO に覆われていない Ge 表面の酸化を促進したためであると予想している.

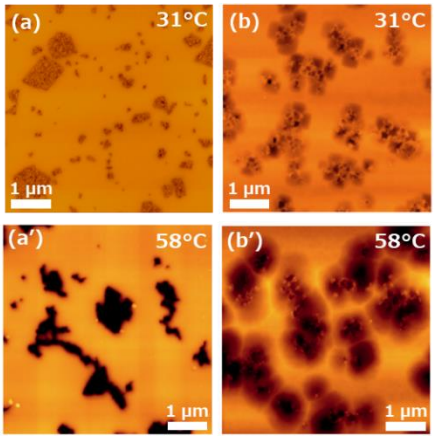


Fig. 1. AFM images of Ge sample surface etched for 3 hours in (a, a') O_2 dissolved water and (b, b') 200 ppm H_2O_2 solution.

Fig. 2 に Au 触媒を配した Si 試料を 60°Cに保った HF/H_2O_2 混合溶液に浸漬し，バイアスを印加せずに MACE した試料，及び，-10 V のバイアスを印加して MACE した試料の SEM 像を示す．バイアスを印加していない場合，垂直方向に加えて，非垂直方向，特に表面近傍で望ましくない著しいエッチングが生じた．これは Fig. 1 と同様，過剰に生成した正孔が Si の側壁と上面に拡散，及び，消費されたことが要因であると考えられる．一方で，バイアス印加を行うことで, 非垂直方向のエッチングが抑制されると共に，垂直方向のエッチング深さが増大した．これは，裏面のバイアスで形成される電界により, 過剰な正孔が Si 試料の鉛直下向きに引き付けられたためであると考えられる．この結果から，バイアスを印加することにより，過剰に生成した正孔の拡散を抑制できることに加えて，エッチングレートの増加が期待できることが分かった.

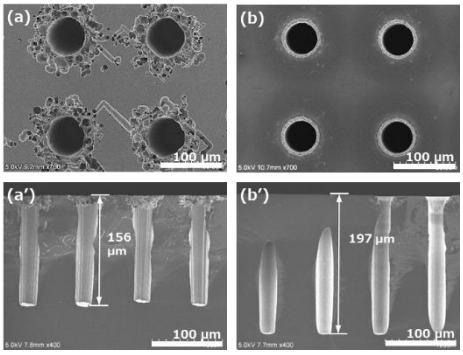


Fig. 2. SEM images of (a), (b) top and (a'), (b') cross-sectional views of the Si sample after MACE. (a, a') without applied bias and (b, b') with -10 V bias applied.

References

[1] T. Kawase et al., *ChemElectroChem*, **2** (2015) 1656.
[2] T. Hirano et al., *Carbon*, **127** (2018) 681.
[3] W. Kubota et al., *Jpn. J. Appl. Phys*. **58** (2019) 050924.
[4] R. Mikurino et al., *J. Phys. Chem. C*, **124** (2020) 6121.
[5] J. Li, S. Yamamoto et al., *Electrochem. Comm*. **163** (2024) 107735.

© 2024年 応用物理学会

The influence of Ar/N_2 gas flow ratio on the electrical characteristics of ferroelectric hafnium nitride formed by ECR-plasma sputtering

Tokyo Institute of Technology, K. Li[1] and S. Ohmi[2]

E-mail: [1]li.k.ai@m.titech.ac.jp, [2]ohmi@ee.e.titech.ac.jp

1. Introduction

The ferroelectric HfO_2 thin film has captured considerable interest due to its compatibility with Si and scalability. However, the formation of a SiO_2 interfacial layer leading to depolarization fields and degradation in device characteristics. We have reported that the ferroelectric $HfN_{1.15}$ thin film formation on Si substrates without interfacial layer formation [1]. One of the issues of ferroelectric $HfN_{1.15}$ thin film is the small memory window (MW) [2].

In this research, we investigated the influence of Ar/N_2 gas flow ratio on the electrical characteristics of HfN_x thin film to improve the ferroelectric properties.

2. Experimental procedure

A 100 nm thick field SiO_2 was formed on the p- and n^+-Si(100) substrates followed by the active area patterning. Then, the 10 nm thick HfN_x insulator was deposited followed by the in-situ deposition of 10 nm thick $HfN_{0.5}$ gate electrode by the ECR-plasma sputtering utilizing Hf target at room temperature. The Ar flow rate was 8 sccm, while the N_2 flow rate was changed as 6-8 sccm, which corresponded to the nitrogen concentration in the HfN_x of x = 1.10-1.15. Then, the post-metallization annealing (PMA) was carried out at 400 °C/5 min in N_2 ambient (1 SLM). Next, Al top contact was evaporated, and the gate electrode was patterned by wet etching. The fabricated MFS diodes were characterized by C-V and P-V measurements.

3. Results and discussion

Figure 1 shows the Ar/N_2 gas flow ratio dependence of C-V for MFS diodes. When the Ar/N_2 gas flow ratio was changed from 8/6 to 8/8 sccm, the EOT extracted by the dual frequency method was changed from 3.16 nm to 3.50 nm. Figure 2 shows the comparison of P-V for MFS diodes. The maximum remnant polarization ($2P_r$) of 1.60 μC/cm^2 was obtained in case of the Ar/N_2 gas flow ratio was 8/7 sccm.

4. Conclusions

The effects of Ar/N_2 gas flow ratio were investigated. The improved ferroelectric property was realized by using the Ar/N_2 gas flow ratio of 8/7 sccm.

Acknowledgements

This work was partially supported by JSPS KAKENHI Grant Number 19H00758, NEDO, JSW, and CASIO Foundation.

References

[1] K. Li *et al.*, JSAP spring meeting., p. 12-263, (2024).

[2] S. Ohmi *et al.*, IEEE J. Electron Devices Soc., pp. 1036-1040 (2021).

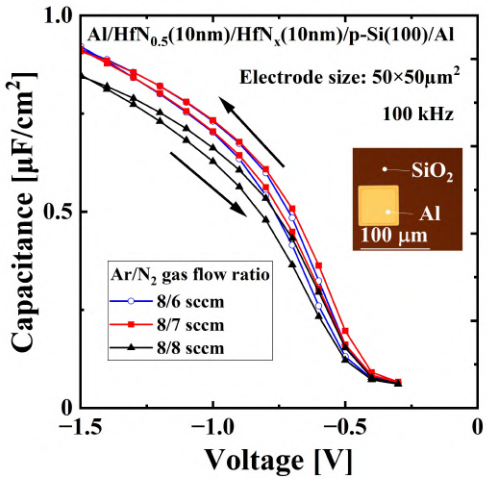


Figure 1. Ar/N_2 gas flow ratio dependence of C-V for the Al/$HfN_{0.5}$/HfN_x/p-Si(100) diodes

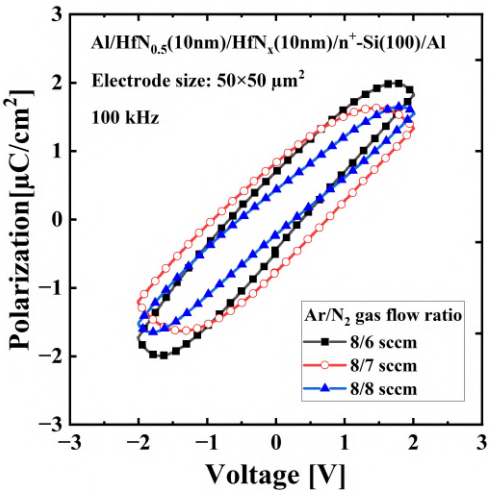


Figure 2. Ar/N_2 gas flow ratio dependence of P-V for the Al/$HfN_{0.5}$/HfN_x/n^+-Si(100) diodes.

© 2024年 応用物理学会

電子線照射により生成した SiO_2/Si 界面欠陥分布の評価

Evaluation of Defect Distribution at SiO_2/Si Interface Generated by Electron Beam Irradiation

筑波大学数理物質科学研究群 °(M2)清水　崚央,　早田　康成 , 蓮沼　隆
Univ. of Tsukuba, °Ryo Shimizu, Yasunari Sohda, and Ryu Hasunuma
E-mail: s2320280@u.tsukuba.ac.jp

[研究背景]半導体デバイスの製造プロセスにおいてパターンの測長等に走査型電子顕微鏡（SEM）が用いられている。電子線によるデバイスダメージが懸念されるため、一般的には低加速電圧（2kV 以下）での測長が行われるがデバイスの微細化や３D 化に対応するために高加速電圧での測長が求められる。このとき電子線量・エネルギーとデバイスダメージの関係を定量的に明らかにすることが極めて重要である。我々は特に MOS 界面に着目し、界面近傍の Si 基板欠陥を可視化する方法を考案し生成した欠陥の分布を調査した。

[実験方法と結果]本研究では、欠陥フリーの Si(111)表面が超低溶存酸素水（LOW: ultralow-dissolved-oxygen water）によるエッチングで原子的に平坦なステップ-テラス構造が得られることを利用した。すなわち電子線照射によって欠陥が生成した場合、欠陥を起点としたエッチングによるエッチピットとして欠陥分布を可視化できると考えた。標準的な RCA 洗浄後に、$O_2$100%雰囲気で厚さ約 150 nm の熱酸化膜を形成した。その後 SEM を用いて加速電圧 3 kV および 10kV で電子線照射を行った。照射後に熱酸化膜を剥離し、Si 表面に LOW を用いて平坦化処理を施し、電子線照射箇所を AFM で観察した。

AFM 観察の結果、LOW 処理後に電子線照射領域にくぼみが存在することがわかった(Fig.1)。これは、電子線照射領域の Si のエッチングスピードが上昇したことを意味し、電子線照射によって SiO_2/Si 界面近傍に多数の欠陥が生成したことを示唆している。また、LOW 処理をさらに進めても深さが変化しないことが明らかとなった。さらに、電子線の照射量を増やしてもくぼみの深さが最大 3 nm 程度で変化しないことがわかった。これらの結果は SiO_2/Si 界面近傍では熱酸化時に蓄積された応力による結晶構造の歪みによって欠陥が生成されやすいためだろうと考えている。発表当日は上記結果に加え、電子線照射量と欠陥生成量の関係についても併せて議論する。

本研究の一部は日立ハイテクとの特別共同研究事業「アドバンスト SEM テクノロジ」の協力を得て遂行された。

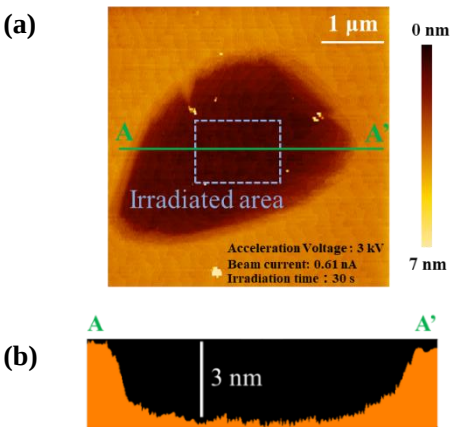


Fig.1 (a) AFM image of Si surface after 1-hour LOW etching and (b) the cross-section at A-A’

機械学習ポテンシャルＭＤを用いた a-Al_2O_3/GaN 界面の欠陥状態解析

Defect state analysis of a-Al_2O_3/GaN interface using machine learning potential MD

名大工 [1]，産総研 [2]　○(M1) 佐藤 昂輝 [1]，上沼 睦典 [2]，陣内亮典 [1]，旭 良司 [1]

Nagoya Univ. [1], AIST [2], °Koki Sato[1], Mutsunori Uenuma[2], Jinnouchi Ryosuke, Ryoji Asahi[1]

E-mail: sato.koki.e0@s.mail.nagoya-u.ac.jp

GaN を用いた半導体デバイスは，省エネ，省資源に大きな役割を果たす次世代のパワーエレクトロニクスとして注目されている．GaN を基板に用いたパワーデバイスにおける大きな課題のひとつは良質な絶縁膜の形成である．ゲート絶縁膜としてアモルファスアルミナ（a-Al_2O_3）を用いた場合，その形成時に熱酸化により酸化ガリウム層（GaO_x)が生成され，それによる欠陥準位や固定電荷がデバイス特性の低下や劣化要因となることが指摘されている．一方，酸化ガリウム層を適切に制御することで高品質な界面が形成される可能性が実験により示唆されており[1]，界面構造と物性の詳細な理解が望まれている．そこで本研究では，a-Al_2O_3/GaO/GaN 界面の原子モデルを機械学習ポテンシャル分子動力学シミュレーション（MLP-MD）[2]によって生成し，界面構造が物性に及ぼす影響を調べた．

まず，第一原理分子動力学計算を用いた液体急冷法によってアルミナをアモルファス化し，実験から提案された界面構造を参考に，a-Al_2O_3/GaO/GaN 界面モデルを作成した．次に，このモデルを用いた第一原理計算のデータを on-the-fly 法によって学習することで機械学習ポテンシャルを構築した．このポテンシャルを用いた MLP-MD によって、大規模モデル(約 1000 原子)に対して長時間緩和を行い，得られた構造の電子状態解析を行った．

a-Al_2O_3/GaO/GaN 界面モデルを 400－800 K で 1 ns 緩和させた構造に対して，第一原理計算によって欠陥構造を評価した結果，Ga-O 結合の未形成部分に欠陥準位が形成されることが分かった（Fig.1）．また緩和温度が高温になるほど，界面における Ga の拡散が顕著になり，欠陥準位の形成もより顕著に観察された．計算で得られた界面構造は，光電子ホログラフィ[1]から得られた界面原子の局所構造とほぼコンシステントであることが確認できた．一方，GaO 層を挿入しない界面では，Ga-O 結合の未形成部分や Ga-N 結合の消失による欠陥準位が観測された．これらの結果より，Ga-O 結合の形成を促進する条件下で欠陥準位密度が低減することが示唆された．

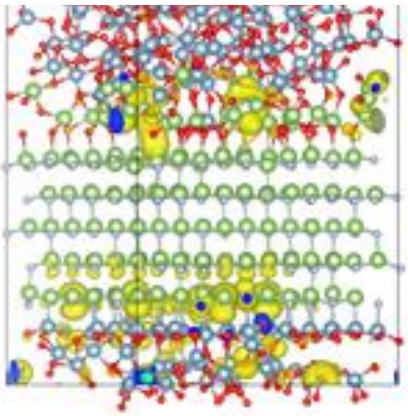


Fig.1: Interface structure of a-Al_2O_3/GaO/GaN where in-gap defect states are visualized (yellow).

(1) Uenuma et al., Appl. Phys. Express 15, 085501 (2022).

(2) Jinnouchi, Miwa, Karsai, Kresse, Asahi, J. Phys. Chem. Lett. 11, 6946 (2020).

© 2024年 応用物理学会

シリコン量子ドットを充填したイオン結晶粉末の作製

Preparation of colloidal Si quantum dots embedded ion crystal powder

法政大院理工[1]，東京農工大[2] ○(M1)大島 遼裕[1]，越田 信義[1,2]，中村 俊博[1]

Hosei Univ[1], Tokyo Univ. of A&T[2], Ryosuke Oshima[1], Nobuyoshi Koshida[1,2], Toshihiro Nakamura[1]

E-mail: nakamura@hosei.ac.jp

1. 背景：Si は安価で環境に無害な材料であり、ナノサイズ化した Si 量子ドットは量子サイズ効果により可視光を示す。現在、光デバイスに応用されている半導体量子ドットは有害な元素である Cd や Pb を含むことが多く、Si 量子ドットこれらの代替材料として利用可能である。当研究グループでは、独自のプロセスより Si 量子ドットの効率的な生成に成功している[1,2)]。しかし、Si 量子ドットは、大気中の酸素や水分による表面酸化が生じ、酸化に伴う欠陥生成によって発光効率が低下するという脆弱性を持つ。そこで、本研究では、Si 量子ドットの環境要因から保護し、発光安定性を向上させることを目的とし、Si ドットを充填した無機イオン結晶粉末の作製を試みる。

2. 実験方法：陽極化成法により作製した多孔質 Si 粉末への低温加熱粉砕処理を施し、Si 量子ドットコロイドを得る。両極性溶媒であるテトラヒドロフランに Si コロイドを分散させ、塩化リチウムを溶解させたテトラヒドロフラン溶液と混合し、加熱乾燥することで塩化リチウムを再結晶させ Si 量子ドットを充填させた。

3. 実験結果：Fig. 1 の挿入図に Si 量子ドットコロイドを充填した塩化リチウム結晶の室内光および紫外光照射時の写真を示す。図より赤色発光が確認できる。また Fig. 1 は Si 量子ドット充填塩化リチウム結晶および Si 量子ドット分散溶液の発光スペクトルを示す。図より、両方の試料において図より 680nm 付近をピークとするブロードな発光が観測されることから、充填塩化リチウム粉末からの赤色発光は Si ナノ結晶由来のものといえる。また本研究では、テトラヒドロフランに分散させる Si 量子ドットの濃度を増加させることで量子ドットの充填率の制御が可能であることを確認しており、最大で 9.4 %の充填率を得た。さらに、再結晶時の加熱時間の適切な選択により塩化リチウム結晶の粒形やサイズ変化が確認できた。

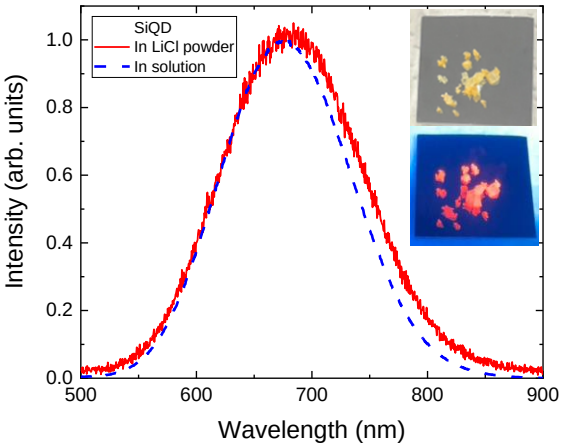


Fig. 1: PL spectra of Si quantum dot solution and that embedded in LiCl crystal powder. Inset shows the pictures of colloidal Si dot embedded LiCl under room and UV light illuminations.

参考文献

1) T. Nakamura et al., *APL Mater.* 8, 081105 (2020).

2) T. Higuchi et al. *J. Appl. Phys.* 135, 094303 (2024).

パターニングした Si(111)基板上に成長した P ドープ歪み SiGe/Ge の電気伝導特性

Transport Properties for P-doped strained SiGe/Ge grown on Patterned Si(111) Substrates

東京都市大学 [1]，阪大基礎工 CSRN [2]，阪大 OTRI [3]
○武井 爽一郎 [1]，菊岡 柊 [1]，奥谷 惇 [1]，石橋 脩悟 [1]，山田 道洋 [1]，浜屋 宏平 [2,3]，澤野 憲太郎 [1]
Tokyo City Univ.[1]，CSRN Osaka Univ.[2]，OTRI Osaka Univ.[3]
°S. Takei[1]，S. Kikuoka[1]，J. Okutani[1]，S. Ishibashi[1]，M. Yamada[1]，K. Hamaya[2,3]，K. Sawano[1]
E-mail: g2381246@tcu.ac.jp

1. はじめに　Ge や高 Ge 組成 SiGe は Si より高い移動度を有し、さらに歪み導入によってバンドエンジニアリングによる特性向上が可能である。さらに面方位(111)を用いることで強磁性体が結晶成長可能となりスピントロニクスデバイスに応用できる。一方、歪みによる結晶欠陥の発生が問題となり、その抑制が重要である。我々は、パターニングを行うことで欠陥の発生が抑制されることを報告しており、それによってキャリア移動度の向上が期待できる。本研究ではパターニングによって高品質歪み SiGe 層を形成し、高い電子移動度を得たので報告する。

2. 実験方法　フォトリソグラフィとドライエッチングにより、Si(111)基板にホールバー型のメサパターニングを行った。パターニングした Si 基板上に固体ソース MBE を用いて、低温 Ge 層(Tg = 350℃, 40 nm)、高温 Ge 層(Tg = 700℃, 400nm)を成長させた後、歪み SiGe 層(Tg = 350℃, 50 nm)を P のドーピング濃度を変えて作製した(Fig.1)。最後にホールバー試料に電極(Au)を蒸着し、室温でホール測定を行った。

3. 実験結果　ホール測定によるキャリア密度とホール移動度の関係を Fig. 2 に示す。キャリアは全て電子となり、歪み SiGe 層の伝導と考えられる。Ge の電子移動度の Irvin curve を黒線で示す。得られたプロットは Irvin curve と同様のふるまいを示すが、移動度の値は Irvin curve よりも高く、歪みによる移動度向上効果であると考察できる。さらに成長前パターニングを行っていないホールバーから得られた移動度よりも高くなり、成長前の Si パターニングが欠陥の抑制と移動度向上に有効であることを示している。本研究の一部は科学研究費補助金(24H00034、23H05455、23H05458、21H04635)の支援を受けて行われた。

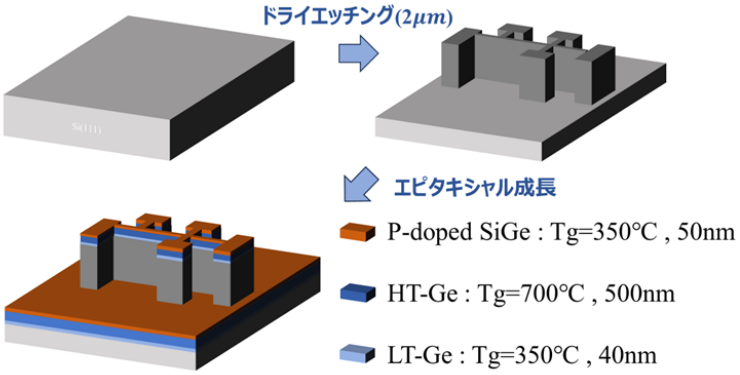


Figure 1. Fabrication procedure of P-doped SiGe/Ge-on-patterned Si(111)

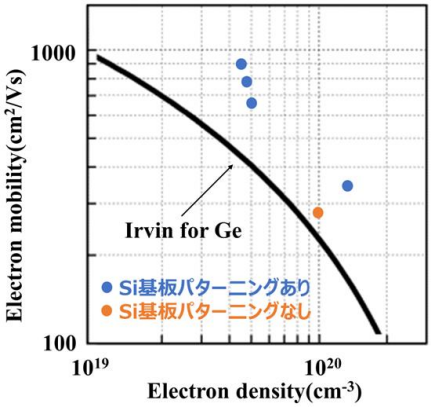


Figure 2. Electron Hall mobility against electron density for strained SiGe with various P-doping density on Ge/Si with and without pre-patterning

Synthetic Image Generation of Microstructure Surfaces Using Physically Based Rendering Techniques

Zhen-Wei Tsai[1], Chao-Ching Ho[2*]

[1] Graduate Institute of Automation technology, National Taipei University of Technology, Taipei, Taiwan,
[*2] Graduate Institute of Manufacturing Technology, National Taipei University of Technology, Taipei, Taiwan
E-mail: hochao@mail.ntut.edu.tw

1. Introduction

Among deep learning methods, robust and effective detection models often rely on a large amount of defect data. Insufficient or imbalanced defect data can have a negative impact on neural network training. However, the product production process aims at high yield, so defect data is difficult to obtain, which is inconsistent with the needs of training neural networks. To solve these problems, a physically based rendering method is adopted, using rendering software to build a virtual environment and generate many synthetic images [1]. This study introduces a method for synthesizing images of microstructure surfaces using physics-based rendering techniques. The method can be applied to objects with any micro-structured surface and can be rendered in any viewing direction and lighting conditions.

2. General Instructions

Microstructure Modeling

A 3D rendering engine is used and set the microstructure parameters to create the model. The groove size, depth and spacing were set during modeling in this study.

In the virtual environment, various parameters can be adjusted arbitrarily, such as the type and intensity of the light source, the size and position of the camera sensor, and even the material properties can be adjusted.

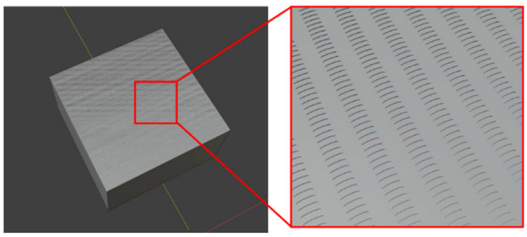


Fig.1 Magnified view of microstructure surface objects and their structures in the virtual environment.

Optical Path Difference Calculation

The variation in surface rendering depends on various factors such as viewpoint position, lighting environment, and wavelength. Due to differences in microscopic structures, a wide range of structural colors are produced. However, all structural colors result from the interference between multiple waves with optical path differences. Therefore, the optical path difference parameter alone can be used to represent various structural colors [2].

Representation of Interference Waves

The interference shader implemented in this study is based on the derivation results provided in [2]. The intensity of the interference wave caused by the microstructure surface is expressed as:

$$I(\lambda) = \sum_{i=1}^{n} A_i^2 + \sum_{i=1}^{n} \sum_{j=i+1}^{n} 2A_iA_j \cos\left(\frac{2\pi}{\lambda}(\Delta_i - \Delta_j)\right) \quad (1)$$

Color Calculations

To visualize color, the spectral distribution needs to be converted to the RGB color system. The spectral distribution is first converted to the XYZ color system, which is the basis for every color system that serves as the CIE standard color system. This is obtained by integrating wavelengths in the visible region (360 to 800 nm) using the following formula: for simplicity, only the results for X are shown here:

$$X = \int_{360}^{800} R(\lambda) \cdot I(\lambda) \cdot \bar{x}(\lambda) d\lambda \quad (2)$$

Equation (1) is treated as reflectivity, so $R(\lambda) = I(\lambda)$, and replaced it with $R(\lambda)$ of equation (2). The XYZ color system is then converted to the RGB color system using conversion formulas [3].

3. Conclusions

This research uses rendering software to create virtual environments and objects to produce virtual images. Combining rendering software with physically based methods is discussed. It is capable of rendering diffraction and interference phenomena on microstructure surfaces. In the future, quantitative metrics will be needed to evaluate whether rendered images are realistic enough compared to real captured images.

Acknowledgements

This research was funded by National Science and Technology Council, Taiwan (Grant Nos. 112-2228-E-027-008).

References

[1] Mohanty, S., Su, E., & Ho, C. C. (2024). Enhancing titanium spacer defect detection through reinforcement learning-optimized digital twin and synthetic data generation. Journal of Electronic Imaging, 33(1), 013021-013021.

[2] Masahiko SAEKI, Masataka IMURA, Yoshihiro YASUMURO, Yoshitsugu MANABE, and Kunihiro CHIHARA. Redering of Structural Color Using Texture Expression of Optical Path Differences.

[3] B.Gralak, G.Tayeb, and S.Enoch. Morpho butterflies wings color modeled with lamellar grating theory. Optics Express, Vol. 9, No. 11, pp. 576-578, 2001.

© 2024年 応用物理学会

機械学習を用いた離散不純物による MOSFET 閾値電圧ばらつきの統計的な解析

Statistic prediction of threshold voltage variations of MOSFET caused by discrete impurities by machine learning

アイクリスタル [1]，名大院工 [2]，名大未来研 [3]
○関 翔太 [1,2]，長田 圭一 [1]，髙石 将輝 [1]，笠原 亮太郎 [1,2]，沓掛 健太朗 [2,3]，宇治原 徹 [1,2,3]
Aixtal[1], Nagoya Univ. [2], IMaSS Nagoya Univ.[3]
°Shota Seki[1,2], Keiichi Osada[1], Masaki Takaishi[1], Ryotaro Kasahara[1,2],
Kentaro Kutsukake[2,3], Toru Ujihara[1,2,3]
E-mail: s.seki@unno.material.nagoya-u.ac.jp

【緒言】半導体デバイスの微細化により、離散的な不純物ばらつきがデバイス特性ばらつきの要因となっている [1]。ばらつきの統計的な予測を行うには様々な離散不純物配置での計算が大量に必要となる。本研究では機械学習により MOSFET のドリフト拡散 3D シミュレーションを高速化して大量の離散不純物配置で閾値電圧を予測し、ばらつきの統計的な考察を行なった。

【方法】ゲート長 50 nm の MOSFET のチャネル領域に離散不純物をポアソン分布から 500 通りランダムに生成した。各分布でゲート電圧V_gを 11 通り振ったドリフト拡散シミュレーションを実行し、ポテンシャル分布とドレイン電流I_dを算出した。離散不純物モデルは Cloud-in-cell 法を用いた。それらを教師データとして、離散不純物分布とV_gを入力とし、ポテンシャル分布とI_dを予測する機械学習モデルを構築した。これにより、ある離散不純物分布における$I_d - V_g$曲線が求まり、閾値電圧V_{th}を算出できる。作成した機械学習モデルを用いて、13,000 通りの離散不純物分布からV_{th}の予測を行い統計量の算出や外れ値の構造を抽出した。

【結果と考察】テストデータに対するV_{th}の予測の RMSE は 0.0078 V であり、高精度な機械学習モデルを構築できた。1 条件の計算時間はシミュレーションで約 65 s、機械学習で約 0.04 s であった。図 1 に、(a)シミュレーションによる 300 点計算と(b)機械学習による 13,000 点予測のV_{th}のヒストグラムと分布の正規性の評価のための Q-Q プロットを示す。シミュレーションによる 300 点計算では Q-Q プロットは直線に乗り正規分布で近似できる。一方、機械学習による 13,000 点の大量予測では正規分布からのズレが見られ、V_{th}が負に大きく外れる確率の低下が確認された。確率密度推定によると、$+4\sigma$の$V_{th} = -0.073$ V の 0.0067 %に対し、-4σの$V_{th} = -0.241$ V は2×10^{-12} %でほぼ 0 となった。Sano らにより離散不純物によるV_{th}の下振れには下限が存在し、正規分布からズレることが示されており、機械学習による大量予測によってこれを再現できたといえる。また、300 点計算では得られなかった$+4\sigma$以上の外れ値も機械学習による 13,000 点計算では観測され、このようなこのような大量評価によって初めて見つかる離散不純物分布やポテンシャル分布を解析することでばらつきを低減するデバイス構造やプロセス開発につながると思われる。

【謝辞】本研究はソニーセミコンダクタソリューションズの蜂谷涼太氏、趙栄貴氏、小町潤氏に多大なるご支援を頂きました。

(a) 300 points calculation by the simulation　　(b) 13,000 points calculation by the ML model

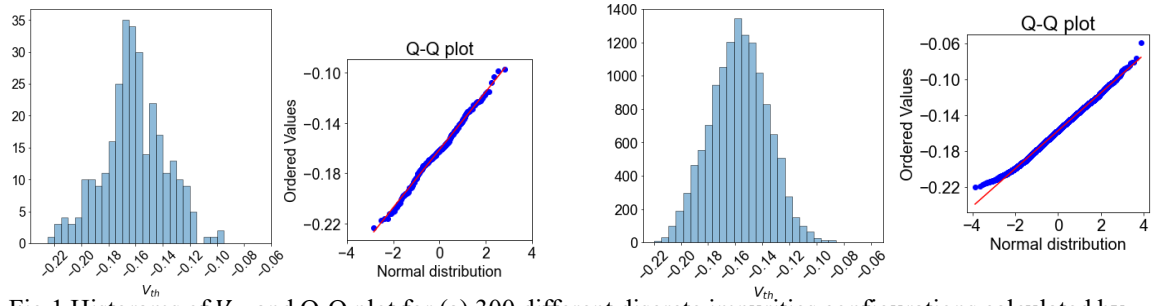


Fig.1 Histgrams of V_{th} and Q-Q plot for (a) 300 different discrete impurities configurations calculated by drift-diffusion simulations and (b) 13,000 different discrete impurities configurations predicted by machine learning model.

【参考文献】[1] N. Sano, et al. Materials 11. 12, 2559 (2018).

不規則な櫛歯型構造を設けたナノリボンにおける電界印加による電流スイッチング

Field-induced Current Switching in a Nanoribbon with Random Comb-like Structure

○ 田中　一，森　伸也 (阪大院工)
○Hajime Tanaka and Nobuya Mori (Osaka Univ.)
E-mail: tanaka@si.eei.eng.osaka-u.ac.jp

背　景　通常の電界効果トランジスタが，電界を印加することでキャリア密度を変調するのとは異なり，電界の印加でキャリアの有効質量や移動度を変調するという原理による電流スイッチングがこれまでに提案されている [1, 2, 3]．本研究では，不規則性を持つ櫛歯型構造を設けたナノリボンにおける，幅方向の電界の印加による導電性の変調について，非平衡グリーン関数（NEGF）法によるシミュレーションを行い，急峻なスイッチングの可能性を検討した．

計算モデル　幅 W のナノリボンの片側端部に櫛歯型構造を設けた，図 1 に示すような構造を考えた．ソース電極のフェルミ準位 E_F を 0 eV とした．長さ L のチャネル部には，2 次元系としての伝導帯下端 E_C = 0.3 eV を基準として，櫛歯型の構造を定める +1 eV の障壁（斜線部）と，2 つのゲート TG・BG による電位変化とを加えた．この際，櫛歯部分の各歯の長さを，図 1 に示すように不規則に変化させた．また，水色で示すナノリボン部の内，ゲート TG (BG) で覆われている幅 W_T (W_B) の領域内では，$E_C = 0.3\,\mathrm{eV} - eV_{TG\,(BG)}$ とした．2 つのゲートの間の領域には，電圧差 $V_{TG} - V_{BG}$ に由来する幅（y）方向の一定電界 F_y を印加した．系全体をメッシュサイズ 0.5 nm で離散化し，有効質量は 0.1 m_0，温度は 300 K とした．

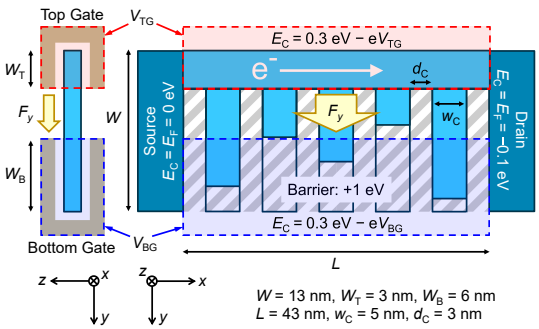


Fig. 1: The schematic picture of the assumed device with comb-like structure.

この系における，バリスティック電流 I_{bal} と，フォノン散乱を考慮した電流 I_{ph} とを，NEGF 法で計算した．I_{ph} の計算の際には，弾性的な音響フォノン散乱と非弾性的な無極性光学フォノン散乱を，自己無撞着ボルン近似により導入した．散乱強度は，文献 [4] のパラメータを用い，幅 3 nm の量子井戸の基底サブバンドを仮定して求めた．

結　果　V_{TG} = 0 V を一定とし，V_{BG} として負電圧を印加することで，電界 F_y による導電性の変化を調べた．得られた I_{bal} の F_y 依存性を図 2 に青丸で示す．F_y の印加により，電流が 2 桁程度増加していることが分かる．これは，$F_y \simeq 0$ では，櫛歯型構造の各歯の領域がサイズの異なる量子ドットのように振る舞い，ドット間のエネルギー準位差により透過確率が低くなるが，F_y を印加すると，TG 側に電子が引き寄せられてエネルギー準位差が小さくなり，共鳴的に電流が流れることにより説明できる．櫛歯型構造の歯の長さを一様とした場合（黒），F_y の印加による電流の増加は見られない．

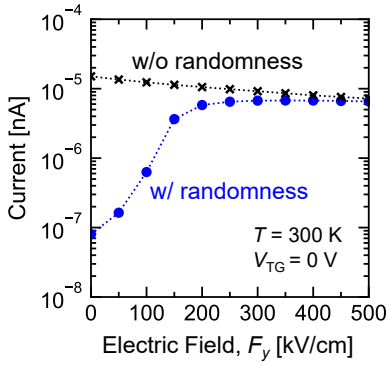


Fig. 2: F_y dependence of I_{bal} in devices with (blue) and without (black) the randomness of the comb-like structures.

図 3 には，V_{BG} = 0 V とし，V_{TG} に正電圧を印加した場合の，I_{bal} の V_{TG} 依存性を青丸で示す．V_{TG} がポテンシャルを変調することによる電子の増加と，F_y による図 2 と同様の透過確率の増加とが合わさることで，サブスレッショルドスイング（SS）値が 20 mV/dec 程度という，急峻な電流変化が生じる．さらに，フォノン散乱を考慮した I_{ph} を赤四角で示す．フォノン散乱を考慮すると SS 値は劣化するが，60 mV/dec 未満の値が維持されている．

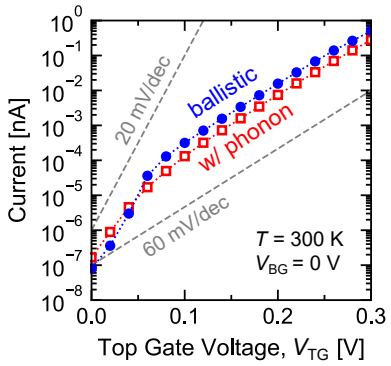


Fig. 3: V_{TG} dependence of I_{bal} (blue) and I_{ph} (red).

[1] H. Sakaki, JJAP **21**, L381 (1982). [2] Y. Tokura and N. Susa, JAP **67**, 2171 (1990).
[3] Y. Ohno and H. Sakaki, SSE **40**, 303 (1996). [4] S. Takagi *et al.*, JAP **80**, 1567 (1996).

© 2024年 応用物理学会

半導体ナノシートにおける電子移動度の結晶方位依存性のモンテカルロシミュレーション

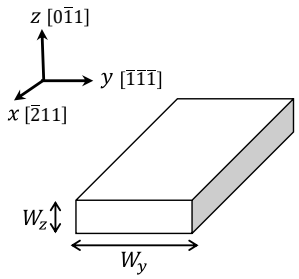
Monte Carlo Simulation of Crystallographic Orientation Dependence of Electron Mobility in Semiconctor Nanosheets

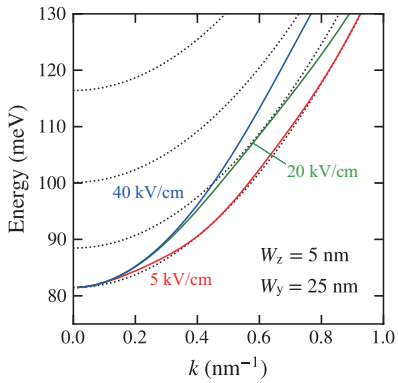
阪大院工 ○岡田　丈，田中　一，森　伸也
Osaka Univ., ○Jo Okada, Hajime Tanaka, Nobuya Mori
E-mail: {okada, tanaka, mori}@si.eei.eng.osaka-u.ac.jp

モンテカルロ (MC) 法を用いた半導体ナノシート (NS) の電子輸送特性解析では，サブバンド構造・散乱確率を計算し，その結果を用いて，自由走行・散乱過程を模擬する．その際，通常，自由走行時にサブバンド指数は変化しないと仮定する．しかし，有効質量の非対角成分 (ODEM) が有限の値を持つ場合，ODEM 誘起サブバンド間遷移のため，この仮定が成り立たない [1]．そのため，任意の結晶方位を持つ NS の電子輸送特性を解析する場合には注意が必要である．本研究では，ODEM 誘起サブバンド間遷移が NS の電子移動度に与える影響を MC 法を用いて調べた．

Fig. 1 に示したような，$(0\bar{1}1)$ 面上の，$[\bar{2}11]$ チャネルの n-Si NS を考えた．x 方向を輸送方向とし，y 方向，z 方向の閉じ込め幅をそれぞれ，W_y，W_z とした．[100] 谷の電子を考慮し，無限井戸形ポテンシャルを仮定した．Fig. 2 の黒点線にサブバンド構造 $E_n(k)$ を示す．ODEM 誘起サブバンド間遷移の影響を調べるため，Krieger-Iafrate (KI) 方程式 [2] を用いて，電子の存在確率 $|a_n(k(t))|^2$ の時間発展を調べた．初期値として $|a_1(k(0))|^2 = 1$，$k(0) = 0$ を与え，$|a_n(k(t))|^2$ を数値計算により求めた後，平均的なエネルギー $\bar{E}(k(t)) = \sum_n |a_n(k(t))|^2 E_n(k(t))$ を計算した．結果を Fig. 2 の実線に示す．自由走行中に基底サブバンドの電子の存在確率が減少し，励起サブバンドの電子の存在確率が増加していることがわかる．次に，MC 法を用いて，電子移動度を計算した．自由走行時に KI 方程式を解くことで，電子の存在確率 $|a_n(k(t))|^2$ を計算し，サブバンド間遷移を取り入れた [3]．Fig. 3 にサブバンド間遷移を考慮した場合の結果を赤印で，考慮しなかった場合の結果を黒印で示す．W_y が小さい場合，両者は一致しているが，W_y が大きくなるにつれて，サブバンド間遷移を考慮した場合のほうが移動度が高くなることがわかった．

[1] N. Mori *et al*, submitted for publication. [2] J. B. Krieger and G.J. Iafrate, Phys. Rev. B, **33**, 5494 (1986). [3] R. Hathwar *et al*, J. Appl. Phys. **120**, 044307 (2016).





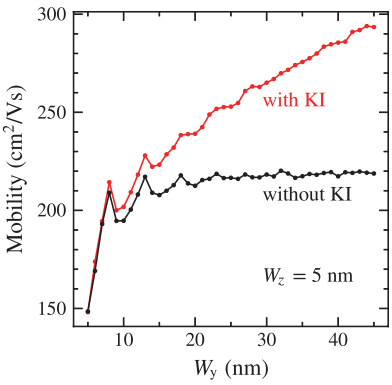


Fig. 1 [left] Schematic diagram of n-Si nanosheet. **Fig. 2** [center] Subband structure of the n-Si nanosheet (dotted lines). Solid lines represent $\bar{E}(k(t))$ for $F = 5, 20, 40$ kV/cm. **Fig. 3** [right] Mobility as a function of W_z with (without) the ODEM-induced subband transitions shown by the red (black) marks.

© 2024年 応用物理学会

13 半導体 | 一般セッション(ポスター講演)：13.2 探索的材料物性・基礎物性

[16p-P06-1~6] 13.2 探索的材料物性・基礎物性

[16p-P06-1]
φ50mmサイズMg_2Si結晶の単結晶化機構の調査

〇藤久 善司[1]、木村 侑生[1]、島野 航輔[1]、坂根 駿也[1]、劉 鑫[2]、宇佐美 徳隆[2]、鵜殿 治彦[1] (1.茨城大工、2.名古屋大工)

[16p-P06-2]
Mg_2Si薄膜の膜中酸素量に及ぼすスパッタリングおよびアニール条件の影響

〇淺野 圭祐[1]、勝俣 裕[1] (1.明大理工)

[16p-P06-3]
n型基板上に熱拡散で作製したMg_2Si-TPVセルの出力特性への基板キャリア濃度の影響

〇清水 匠[1]、島野 航輔[1]、坂根 駿也[1]、鵜殿 治彦[1] (1.茨城大工)

[16p-P06-4]
p型Si(100)基板上$BaSi_2$膜のクラックの低減

〇石川 拓実[1]、西野 克志[1] (1.徳島大学大学院)

[16p-P06-5]
真空蒸着法によるn型Si基板上$BaSi_2$膜の厚膜化

〇筒井 敬子[1]、西野 克志[1] (1.徳島大学大学院)

[16p-P06-6]
日本産およびスペイン産FeS_2天然結晶を用いた低しきい値SBDのI-V特性の比較

〇安藤 陸[1]、神尾 岳[1]、森田 廉[1]、藤岡 洋[2]、前田 就彦[1] (1.東京工科大工、2.東大生研)

φ50mm サイズ Mg_2Si 結晶の単結晶化機構の調査

Investigation of single crystallization mechanism of φ50mm size Mg_2Si crystals

茨大[1]，名大[2]　○藤久善司[1]，木村侑生[1]，島野航輔[1]，坂根駿也[1]，劉鑫[2]，宇佐美徳隆[2]，鵜殿治彦[1]

Ibaraki Univ.[1], Nagoya Univ.[2]　○Z. Fujihisa[1], Y. Kimura[1], K. Shimano[1], S. Sakane[1]

Xin Liu[2], N. Usami[2] and H. Udono[1]

E-mail: udono@vc.ibaraki.ac.jp

１．はじめに

室温でのバンドギャップエネルギーが約 0.6 eV の Mg_2Si は，基板上に直接 pn 接合フォトダイオードが作製可能なことから，低コストで大量生産に適した短波長赤外域の受光素子材料として期待される[1-3]. これまでに，BN コートした pBN るつぼを用いることで Mg_2Si 結晶とるつぼの固着を防ぎ、小傾角粒界を含まない単結晶が成長できること[4]，常圧・開管系の成長炉でも Mg の蒸発を抑制して Mg_2Si 結晶が成長できること[5,6]を報告した．また，Mg_2Si 結晶の大型化に伴ってクラックが発生する問題[6]に対して, 成長シミュレーションを活用した成長条件の適正化によってクラックを抑制した直径 50 mm の Mg_2Si 単結晶が得られることも報告している[7]．一方，種結晶を用いなくても直径 50 mm の Mg_2Si 単結晶が成長する機構については分かっていない. 本研究では, 単結晶化の機構を調査するため直径 50 mm の Mg_2Si 単結晶を薄くスライスして結晶成長に伴う結晶性の変化について観察したので報告する.

２．実験方法

Mg_2Si 結晶の成長は直径 50mm の円筒状の BN コート pBN るつぼを用いた垂直ブリッジマン(Vertical Bridgman, VB)法により行なった[7]．Mg および Si 原料をそれぞれ希釈硝酸とフッ化水素酸でエッチングし，化学量論比で秤量してるつぼに仕込んだ．成長時の溶融時間は 3 時間，成長速度は 3mm/h，成長時間は 33.3 時間とした．なお，種子結晶は用いておらず，成長中は Ar ガスを流した．成長結晶はワイヤーソーによって切断し，研磨後に光学顕微鏡および SEM による観察，各種 X 線測定により評価した.

３．結果と考察

成長実験では，クラックの無い直径 50mm の Mg_2Si 結晶が再現性良く得られた．結晶からウエハを切り出し，透過 X 線トポグラフ観察を行ったところ，直径 50mm のウエハ全体で粒界は観察されず，単結晶ウエハが得られていることがわかった．続いて，成長結晶の先端部から約 1.5mm で切断し，荒研磨加工によって結晶粒界を観察したところ明確な粒界は見られなかった．このことから種子結晶無しの成長の場合でも成長初期の段階から単結晶化していることがわかった．一方で過去の実験では，より小さな直径 18mm の結晶でも成長速度によっては成長初期からの多結晶化が観察されていることから，成長面積よりも成長速度が単結晶化により強く影響する可能性が示唆される.

謝辞　本研究の一部は JSPS 科研費 （JP23H01440）の助成により行った.

参考文献 [1] H. Udono *et al.*, J. Phys. Chem. Sol., **74**(2013)311.　[2] H. Udono *et al.*, Jpn. J. Appl. Phys., **54**(2015) 07JB06. [3] 鵜殿治彦, 応用物理 **88**(2019) 797. [4] R. Masubuchi *et al.*, J. Cryst. Growth **571**(2021)126258. [5] T. Tokairin *et al.*, J. Cryst. Growth **468**(2021)761. [6] T. Umehara *et al.*, JJAP Conf. Proc.**10**(2023) 011002. [7] Y. Kimura et al., IUMRS-ICA 2023, A1-P304-37.

Mg_2Si 薄膜の膜中酸素量に及ぼすスパッタリングおよびアニール条件の影響

Effects of Sputtering and Annealing Conditions on Oxygen Content in Mg_2Si Thin Films

明大理工，○浅野圭祐，勝俣裕
Meiji Univ., ○Asano Keisuke, Hiroshi Katsumata
E-mail: ce231003@meiji.ac.jp

【はじめに】

Mg_2Si は 0.6-0.8 eV のバンドギャップをもつ間接遷移半導体であり、短波長赤外（SWIR）領域の赤外受光素子として期待されている[1,2]。近年の我々の研究では、RF スパッタリング法によって作製した Mg_2Si 薄膜では、EDS から約 30 at%の高い酸素量を含有することが確認されており、それらの試料の X 線回折スペクトルから多結晶 Mg_2Si および MgO の形成が確認された[3]。さらに、これらの Mg_2Si 薄膜は p 型（正孔密度～10^{15} cm^{-3}）を示した。これは、Mg_2Si 格子間に酸素が取り込まれたことに起因すると考える[4]。本研究では、酸素含有量を低減するため、スパッタリング条件およびアニール条件を変えて、Mg_2Si 薄膜の作製および物性評価を行った。

【実験方法】

Mg ターゲット（4N, φ101.6×t5 mm）上に、Si チップ[p-Si (100), 0.01-0.05 Ω･cm, 10 × 10 × t0.525 mm]を同心円状に配置し、RF マグネトロンスパッタリング法により、Ar ガス雰囲気中で c 面サファイアおよび Cu 基板上に、1-4 Pa の Ar ガス圧力下で Mg_2Si 薄膜を成膜した。ここで、成膜時の基板温度は基板ヒーターにより 250℃に制御した。その後、Ar、Ar/H_2 ガスあるいは真空下で 200℃, 30min + 400℃, 1h の 2 ステップアニールを行った。薄膜の分析方法として、X-ray Diffraction (XRD)、EDS (Energy Dispersive X-ray Spectroscopy)、ホール効果測定等を用いた。

【結果と考察】

Fig. 1 に 1-4 Pa の Ar ガス圧力で成膜し、Ar ガス雰囲気中で 200℃, 30min + 400℃, 1h の 2 ステップアニールを行った試料の XRD スペクトルを示す。すべての試料において、主に Mg_2Si 回折ピークが見られたが、ブロードな MgO の回折ピークも観測された。As-depo.試料の XRD スペクトルに Mg の回折ピークが見られたことから、孤立 Mg が薄膜中の酸素によって酸化されたと考えられる。Fig. 2 に Ar ガス圧力 4Pa 時のピーク強度および半値幅で規格化した、MgO(200)/Mg_2Si(111) ピーク強度比と Mg_2Si(111) ピーク半値幅の Ar ガス圧力依存性を示す。Ar ガス圧力が下がるにつれて、MgO(200)/Mg_2Si(111) ピーク強度比および Mg_2Si(111) ピーク半値幅はともに減少し、1 Pa 時の規格化したピーク強度比および半値幅は各々0.867 および 0.723 となった。より低い Ar ガス圧力での成膜により、MgO の形成を抑制でき、Mg_2Si (111)半値幅も低減できることがわかった。

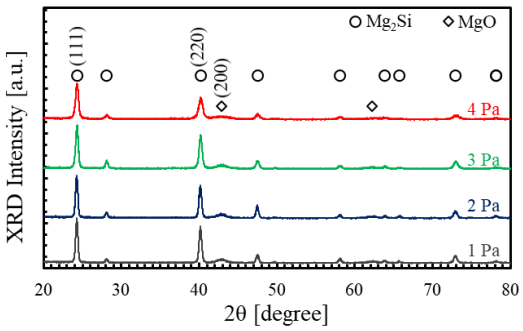


Fig. 1 XRD patterns of Mg_2Si thin films deposited at different pressures of 1-4 Pa and annealed at 200°C, 30min + 400°C, 1h.

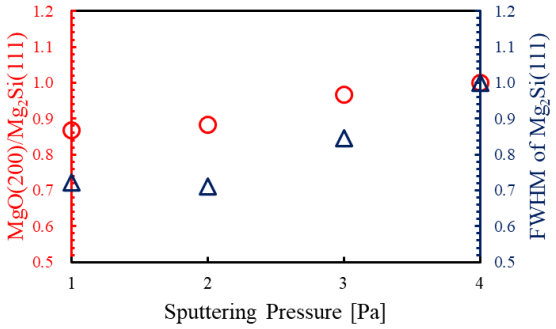


Fig. 2 Sputtering pressure dependence of the MgO (200)/Mg_2Si (111) peak intensity ratio and the full width at half maximum (FWHM) of Mg_2Si (111) peak.

[1] H. Udono et al., J. Phys. Chem. Solids, **74**, 311 (2013).
[2] 淺野圭祐他，第 84 回応用物理学会秋季学術講演会, 22a-B202-6 (2023).
[3] K. Asano et al., Submitted to SSDM 2024.
[4] Y. Imai et al., J. Alloys Compd., **676**, 91 (2016).

© 2024年 応用物理学会

n 型基板上に熱拡散で作製した Mg_2Si-TPV セルの出力特性への基板キャリア濃度の影響

Effect of carrier density in n-Mg_2Si substrate on the output characteristics of Mg_2Si TPV cells fabricated by thermal diffusion

茨城大　○清水 匠，島野 航輔，坂根 駿也，鵜殿 治彦*

Ibaraki Univ.　○T. Shimizu, K. Shimano, S. Sakane and H. Udono*

***E-mail: udono@vc.ibaraki.ac.jp**

【はじめに】熱光起電力発電（TPV）とは，熱源からの輻射光を発電セルに照射し，光電効果により電気を取り出す発電方式である．熱源温度にあわせた特定波長の光をエミッタなどで取出し，その波長に適合する発電セルを組み込むことで高効率での発電が期待できるため，蓄熱システムとの併用によるエネルギーの有効利用技術の一つとして注目される[1]．特に，近年では発電効率が 40%を超える InGaAs/GaAs を利用したタンデム型の TPV セルが報告され[2]，理論的には 50%を超える発電効率を得られることが示唆される[3]など，注目が高まっている．これまでに，我々は 2 インチサイズの n 型 Mg_2Si 単結晶ウエハから切り出した 3mm 角の基板に Ag を熱拡散して TPV セルを試作し，光起電力が得られることを報告した[4,5]．一方で，得られた開放電圧 V_{OC} は予測される理論値の 1/5 程度と小さく，出力特性の改善が必要である．本報告では Mg_2Si 基板のキャリア濃度に着目し，基板キャリア濃度が TPV セルの出力特性へ与える影響について調査した．

【実験方法】TPV セルの作製基板は BN コート pBN るつぼ，もしくは熱分解黒鉛(PG)コートグラファイトるつぼを用いて成長した n 型 Mg_2Si 結晶から切り出して準備した．使用した基板の電子濃度は 1×10^{16} ~ 1×10^{18} [cm^{-3}]である．基板表面を鏡面研磨した後，Ag 蒸着膜を 450℃で 10 分間熱拡散することで pn 接合を形成し，Ag 層の除去後に Au/Ni 櫛型電極を蒸着することで TPV セルを作製した．光応答出力は，波長 1310[nm]と 1550[nm]のレーザーダイオード(LD)を照射し，ソースメジャーユニット(Keithley 2400)を用いて評価した．

【結果と考察】基板の電子濃度 1×10^{16} ~ 1×10^{18} [cm^{-3}]の範囲において，評価試料の I-V 特性はいずれも明瞭な整流性が得られた．また，光応答出力についても，いずれの電子濃度の基板上に作製した TPV セルからも光応答出力が得られた．

得られた光応答出力と基板の電子濃度の関係および照射波長に対する出力変化に関する詳細な結果と考察については当日議論する．

【謝辞】本研究の一部は JSPS 科研費 （JP23H01440）の助成により行った．

【参考文献】[1] K. Attonaty, et al., Renewable Energy **150** (2020) 1030. [2] La Potin et al., Nature **604** (2022) 287. [3] Omair, Z. et al. Proc. Natl Acad. Sci. USA **116** (2019) 15356. [4] 宮後他 2023 年秋季応用物理学会 22a-B202-8. [5] 宮後他 2024 年春季応用物理学会 24a-12K-1.

p 型 Si (100) 基板上 $BaSi_2$ 膜のクラックの低減

Reduction of cracks in $BaSi_2$ films on p-type Si(100) substrates

徳島大学大学院，石川 拓実，西野 克志

Tokushima Univ, Takumi Ishikawa, Katsushi Nishino,

E-mail:c612434009@tokushima-u.ac.jp

[研究背景・目的]

直方晶 $BaSi_2$ は、バンドギャップが間接遷移では 1.3eV、直接遷移では 1.4eV と最大理論変換効率が得られるバンドギャップに近く、光吸収係数は 1.5eV で $3.0\times10^4 cm^{-1}$ であるため薄膜太陽電池材料として期待されている。本研究室では、低コストで高速成長が可能な真空蒸着法を用いて $BaSi_2$ 膜の成長を行っている。これまでに得られている $BaSi_2$ 膜は厚さが 1~2μm 程度でラマン散乱の半値幅が $9cm^{-1}$ 程度、光応答性が 850nm の光に対して 16mA/W 程度である[1]。しかし、膜厚を増やすことによってクラックが大きくなる傾向がある。そこで、クラックを低減するために蒸着時とアニール時の基板温度を変化させて成長を行った。さらに、電極を作製し電気的・光学的特性の評価を行った。

[実験方法]

基板は抵抗率が 0.3Ωcm 程度の p 型 Si(100)基板を使用し、蒸着源として $BaSi_2$ 顆粒を用いた。本実験では基板温度を蒸着時 600℃、アニール時 630℃と蒸着時 620℃、アニール時 650℃で成長を行った。その後、Si を表面酸化防止膜として蒸着した。$BaSi_2$ 膜の評価にはラマン分光法、走査型電子顕微鏡(SEM)を用いた。さらに、$BaSi_2$ 膜および $BaSi_2$/Si 間の電気的・光学的特性の評価を行うため $BaSi_2$ 膜の表面と Si 基板裏にストライプ状 Al 電極を作製した。

[実験結果]

Fig.1 に示す表面 SEM 像から基板温度を蒸着時 600℃、アニール時 630℃で成長を行うことでクラックが低減された。膜厚は約 1.1μm であった。また、ラマン散乱の A_g モードの半値幅は $8cm^{-1}$ 以下であった。この結果より、$BaSi_2$ 膜の結晶品質が良い状態を保ちつつ、クラックを低減することが出来た。得られた $BaSi_2$ 膜に光照射を行うと、光導電効果が見られ、光応答性は 850nm の光に対して 60mA/W 程度であった。$BaSi_2$/Si 間の光照射下での電流電圧特性を Fig.2 に示す。得られた特性より、$BaSi_2$ 膜が n 型で p 型 Si 基板と pn 接合を形成していることが考えられる。また、光吸収による電流の増加も確認できた。今後は膜厚がより厚く、クラックが小さい $BaSi_2$ 膜の作製を考えている。

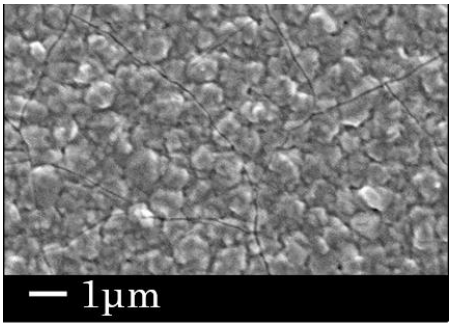


Fig.1 Surface SEM image of grown $BaSi_2$ film

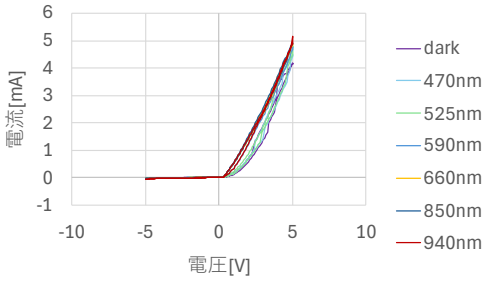


Fig.2 I-V characteristics between $BaSi_2$/Si under illumination

参考文献

[1]西野 他：第 83 回応用物理学会秋季学術講演会 23a-C101-4

真空蒸着法によるn型Si基板上$BaSi_2$膜の厚膜化

Growth of thicker $BaSi_2$ films on n-type Si substrates by vacuum evaporation

徳島大　°筒井 敬子，西野 克志

Tokushima Univ.　°Keiko Tsutsui, Katsushi Nishino

E-mail: c612434060@tokushima-u.ac.jp

【背景・目的】

$BaSi_2$ は太陽電池に適したバンドギャップ(1.3eV)と高い光吸収係数($3\times10^4 cm^{-1}$@1.5eV)を有しており、高効率な薄膜太陽電池としての応用が期待される材料である[1]。本研究室では真空蒸着法を用いて $BaSi_2$ 膜の成長を行っており、現在 n 型 Si 基板上への $BaSi_2$ 膜成長において、蒸着時間を短くすることで膜厚が 350nm でクラックのない $BaSi_2$ 膜を得ている[2]。実際の太陽電池応用を考えると n 型 Si 基板上により厚膜でクラックのない $BaSi_2$ 膜を成長することが望ましい。そこで本研究では、蒸着開始時に低温 $BaSi_2$ 層を導入した成長を行い、クラックの低減を図った。

【実験方法】

基板には低抵抗 n 型 Si(100)を、蒸着源には $BaSi_2$ 顆粒と酸化防止膜作製用の Si を使用し、真空蒸着法により成長を行った。$BaSi_2$ 蒸着を 10min、アニールを 1.5min 行い、その後基板温度 400℃で a-Si を 10s 蒸着した。$BaSi_2$ 膜の評価には、走査型電子顕微鏡(SEM)、ラマン分光法を用いた。

【結果・考察】

基板温度 575℃、600℃で成長した $BaSi_2$ 膜の膜厚は 580nm、740nm、ラマン分光法における $BaSi_2$ 由来の Ag ピークの半値幅は $9cm^{-1}$ 以下であった。しかし、成長した $BaSi_2$ 膜にはクラックや剥離が見られた。これは、$BaSi_2$/Si 基板界面で生じる応力により発生したと考えられる。そこで、低温 $BaSi_2$ 層を導入した成長を行った。まず 400℃、450℃の低い基板温度で 2min または 8min 成長し、その後基板温度を 575℃または 600℃に上げて合計 10min 蒸着した。膜厚はすべて 1μm 以上であった。Fig.1 の SEM 像に示すように、基板温度 450℃(8min)+575℃(2min)で成長した $BaSi_2$ 膜には小さなクラックのみが見られる。また、ラマン分光法における $BaSi_2$ 由来の Ag ピークの半値幅は $8cm^{-1}$ 以下であり、高品質な膜成長ができたと分かる。当日は低温 $BaSi_2$ 層を導入した試料の電気的特性についても報告する予定である。

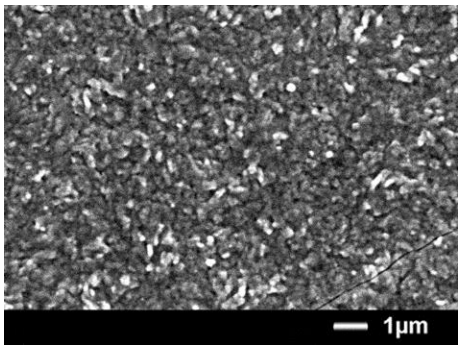


Fig.1　Surface SEM image of $BaSi_2$ film grown at substrate temperature of 450℃(8min)+575℃(2min).

【参考文献】

[1] K. Toh, T. Saito, and T. Suemasu, Jpn. J. Appl. Phys. 50, 068001 (2011).

[2] 松岡 他: 令和 4 年度 電気・電子・情報関係学会 四国支部連合大会 11-10.

日本産およびスペイン産 FeS_2 天然結晶を用いた低しきい値 SBD の I-V 特性の比較

Comparison of I-V characteristics of Low Threshold SBDs Using Japanese and Spanish FeS_2 Natural Crystals

東京工科大学 [1]，東京大学生産技術研究所 [2]
○(M2)安藤　陸 [1]，神尾　岳 [1]，(M1)森田　廉 [1]，藤岡　洋 [2]，前田　就彦 [1]
Tokyo University of Technology [1], Institute of Industrial Science, The University of Tokyo [2]
°Riku Ando[1], Gaku Kamio[1], Ren Morita[1], Hiroshi Fujioka[2], Narihiko Maeda[1]
E-mail: g5123003ad@edu.teu.ac.jp

エネルギーの有効利用が重要な課題となっている現代において、サステイナブルな電力源であるレクテナ等のエネルギーハーベスティング技術が注目されている。そこで我々は、前記のような小電力応用に適する半導体デバイス開発のひとつとして、無電源で動作する鉱石ラジオの検波素子として FeS_2 天然結晶が用いられていた点に着目し、採取した日本産の FeS_2 天然結晶を用いたショットキーバリアダイオード(SBD)の作製をおこなってきた[1]。本研究では入手したスペイン産の FeS_2 天然結晶を用いた針接触型 SBD の作製と I-V 特性評価、日本産 FeS_2 天然結晶を用いた SBD の I-V 特性との比較をおこなったので報告する。

作製した FeS_2 SBD の針接触型ショットキー電極としては Sn メッキ線を文献[1]にて報告した手法を用いて接触させた。オーミック電極については日本産 FeS_2 結晶を用いた SBD は合金ハンダを、スペイン産 FeS_2 結晶を用いた SBD は Al を用いた。日本産の FeS_2 結晶を用いた SBD の I-V 特性を Fig.1(a)、結晶の抵抗率温度依存性を Fig.1(b)に示す。またスペイン産の FeS_2 結晶を用いた SBD の I-V 特性を Fig.2 に示す。両者とも低しきい値なショットキー特性が得られており、スペイン産 FeS_2 結晶を用いた SBD の方が約 30 倍の大きな素子電流を有していることがわかる。また解析の結果、FeS_2 SBD のショットキーバリア高さは、日本産を用いた SBD では 0.60 eV、スペイン産を用いた SBD では 0.56 eV と評価された。このように、今回作製したスペイン産 FeS_2 結晶を用いた SBD は日本産 FeS_2 結晶を用いた SBD よりも低バリアかつ高素子電流な特性を有しており、小電力応用に適した特性を有している。当日には両者の抵抗率の違いについても比較をおこなう。

[1] Riku Ando and Narihiko Maeda, Trans JIEP, Vol. 16, E22-004 (2023).

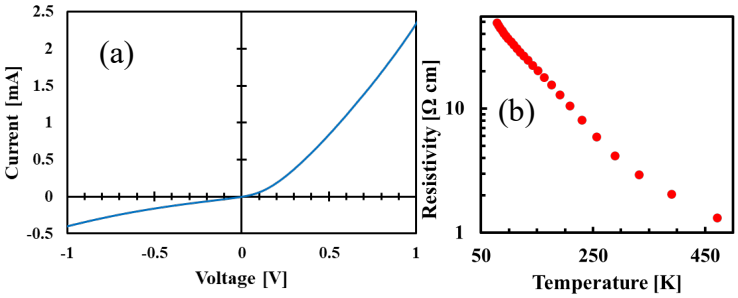


Fig.1 (a)日本産 FeS_2 天然結晶 SBD の I-V 特性
(b)日本産 FeS_2 結晶の抵抗率温度依存性

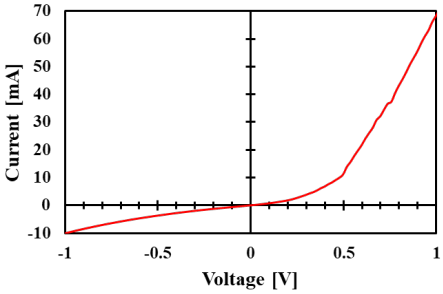


Fig.2 スペイン産 FeS_2 天然結晶 SBD の I-V 特性

13 半導体 | 一般セッション(口頭講演)：13.2 探索的材料物性・基礎物性

[17p-B1-1~11] 13.2 探索的材料物性・基礎物性

[17p-B1-1]
アルカリ土類金属ダイシリサイドの電子状態
〇今井 基晴[1] (1.NIMS)

[17p-B1-2]
Improvement of Carrier Concentration of As-doped $BaSi_2$ Grown by Molecular Beam Epitaxy
〇(M1)Nurfauzi Abdillah[1], Yuka Fukaya[1], Kaoru Toko[1], Takashi Suemasu[1] (1.Univ. of Tsukuba)

[17p-B1-3]
スパッタ法による$BaSi_2/n^+$-Siヘテロ接合型太陽電池の作製
〇佐藤 匠[1]、Du Rui[1]、林 洸希[1]、幸田 陽一朗[2]、召田 雅実[2]、都甲 薫[1]、末益 崇[1] (1.筑波大学、2.東ソー株式会社)

[17p-B1-4]
$BaSi_2$太陽電池への応用に向けたスパッタ法によるHTLの導入
〇林 洸希[1]、佐藤 匠[1]、Du Rui[1]、幸田 陽一朗[2]、召田 雅実[2]、都甲 薫[1]、末益 崇[1] (1.筑波大、2.東ソー)

[17p-B1-5]
$BaSi_2$太陽電池への応用に向けたHTL/$BaSi_2$構造の作製と評価
〇深谷 友香[1]、Abdillah Nurfauzi[1]、都甲 薫[1]、末益 崇[1] (1.筑波大学)

[17p-B1-6]
短波赤外イメージセンサに向けたMg_2Si-PDリニアアレイの試作
今泉 尚己[1]、尾嶋 海人[1]、武井 日出人[1]、坂根 駿也[1]、〇鵜殿 治彦[1] (1.茨城大院)

[17p-B1-7]
Mg_2Si-PDアレイの窒化シリコン絶縁膜の暗電流への影響
〇武井 日出人[1]、尾嶋 海人[1]、坂根 駿也[1]、鵜殿 治彦[1] (1.茨城大)

[17p-B1-8]
メサ型 β-$FeSi_2$ pnホモ接合素子の作製と電気特性評価
〇田中 光太[1]、長友 颯一朗[1]、寺井 慶和[1] (1.九工大情報工)

[17p-B1-9]
Ge/β-FeSi2薄膜におけるPL，PR スペクトルのGe面内ひずみ量依存性
〇長友 颯一朗[1]、石飛 新太郎[1]、寺井 慶和[1] (1.九工大情報工)

[17p-B1-10]
鉄シリサイドの狭帯域フィルターを用いた波長選択乾燥に関する研究
〇チョウ ケンイ[1]、名村 今日子[1]、鈴木 基史[1] (1.京大院工)

[17p-B1-11]
酸窒化物蛍光体の構造生成AIとナローバンド蛍光体への応用
〇阿部 仁哉[1]、高羽 洋充[2]、宮川 雅矢[2] (1.工学院大院工、2.工学院大先進工)

アルカリ土類金属ダイシリサイドの電子状態

Electronic structure of alkaline-eartn-metal disilicides

（国研）物質・材料研究機構　°今井 基晴

NIMS °Motoharu Imai

E-mail: IMAI.Motoharu@nims.go.jp

はじめに： 前回、3d-遷移金属ダイシリサイドにおいてFig. 1のような軌道相互作用ダイヤグラムを報告した[1]。遷移金属シリサイドの電子構造は、遷移金属d軌道とSi-p軌道の結合状態、反結合状態、および非結合遷移金属d軌道からなっている。半導体3-d遷移金属ダイシリサイドではバンドギャップEgが遷移金属d軌道の非結合状態と遷移金属d軌道とSi-p軌道の反結合状態の間に形成されることを明らかにした。

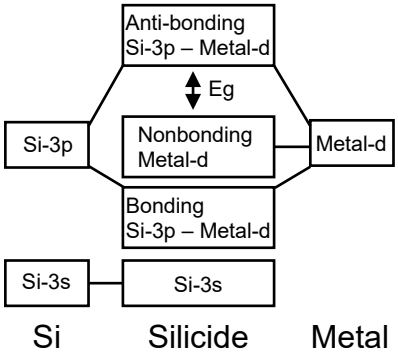


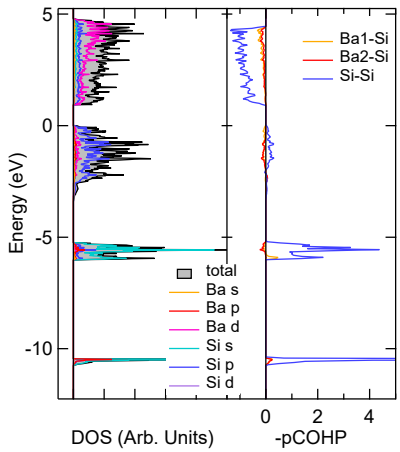
Fig. 1. Orbital interaction diagram of transition-metal disilicides [1].

近年薄膜太陽電池材料として注目されている$BaSi_2$ではシリサイドの構成元素が遷移金属ではなくアルカリ土類金属であるため遷移金属シリサイドとは異なった軌道相互作用ダイヤグラムが構築できることが期待される。

本研究では、$BaSi_2$の状態密度（DOS）と射影Crystal Orbital Hamilton Population (pCOHP)を計算し、$BaSi_2$の電子構造の成り立ちについて検討した。

計算法： 計算コード VASP [2]を用いて DOS の第一原理計算を行った。PBE-GGA、PAW 擬ポテンシャルを使用した。結晶構造パラメータは実験的に報告されている値を使用した。その結果をもとに LOBSTAR [3]を用いて COHP の計算を行った。

結果及び考察： Fig.2 に $BaSi_2$ の全 DOS、軌道射影 DOS(pDOS)、Si-Si 結合、Ba-Si 結合の pCOHP を示す。フェルミエネルギーを 0 eV としている。−pCOHP では結合状態は正の値、反結合状態では負の値で示される。pDOS から-12～0eV 以下では Si-s 状態及び Si-p 状態が主に DOS を形成されていることがわかる。pCOHP はこれらの状態が Si-Si 結合状態であることを示している。伝導帯は Ba-d、Si-p 状態から形成されている。伝導帯では Si-3p-Si-3p 反結合状態が形成されている。したがって Eg は Si-3p-Si-3p 結合状態と Si-3p-Si-3p 反結合状態＋Ba-d 状態の間に形成されていることが明らかになった。当日はこれらのデータをもとに構築した $BaSi_2$ の軌道相互作用ダイヤグラムについて報告する予定である。



Density of states and projected Crystal Orbital Hamilton Population (pCOHP) of $BaSi_2$.

参考文献： [1] 今井，第 71 回応用物理学会春季学術講演会 24p-12K-3, 2024. [2] G. Kresse, J. Furthmüller, Phys. Rev. **B 54**, 11169 (1996). [3] Maintz et al., J. Comp. Chem. **34**, 2557 (2013).

Improvement of Carrier Concentration of As-doped $BaSi_2$ Grown by Molecular Beam Epitaxy

Univ. of Tsukuba[1], °Nurfauzi Abdillah[1], Yuka Fukaya[1], Kaoru Toko[1], Takashi Suemasu[1]

E-mail: s2326034@u.tsukuba.ac.jp

Introduction

Barium disilicide ($BaSi_2$) is one of the suitable materials for thin film solar cells due to its electrical and optical properties [1]. Currently, one of the challenges in realizing the high performing $BaSi_2$ homojunction solar cells is the fabrication of high-quality n-type $BaSi_2$ layer [1]. Previously, the fabrication and improvements of its photoresponsivity of n-type As-doped $BaSi_2$ thin film has been demonstrated grown by molecular beam epitaxy (MBE) using GaAs as the source of arsenic doping [2,3]. However, the carrier concentration is not well controlled. In our latest experiments, the activation ratio of doped arsenic atoms is quite low, approximately around 5 – 10%. In this study, the Ba-to-Si deposition rate ratio (R_{Ba}/R_{Si}) is increased in hope to increase more silicon vacancy (V_{Si}) for arsenic to occupy.

Experimental Method

In this work, As-doped $BaSi_2$ films were grown on top of p-Si(111) substrates using MBE method. The steps of thin-film growth are carried out as in the previous report [2]. The substrate temperature (T_S) during growth was set to 550°C and GaAs crucible temperature (T_{GaAs}) was varied between 700°C – 750°C. The R_{Ba}/R_{Si} was varied between 2.2 – 3.1. The carrier concentration and mobility were measured at room temperature using Van der Pauw method. The photoresponsivity was measured using a xenon lamp and a 25-cm focal length single monochromator (Bunko Keiki SM-1700A and RU-60N). SIMS measurements are carried out to identify the arsenic concentration incorporated into the grown films.

Results and Discussion

The trend of carrier properties against R_{Ba}/R_{Si} is shown in Fig.1. As can be seen, the carrier concentration increased from 5.95×10^{17} cm^{-3} (R_{Ba}/R_{Si} = 2.2) to 9.96×10^{17} cm^{-3} (R_{Ba}/R_{Si} = 2.8). This can be interpreted as more arsenic is electronically activated through occupying V_{Si} sites. The electron mobility shows the opposite trend of carrier concentration, meaning the dopants acting as scatterer [4]. However, at R_{Ba}/R_{Si} = 3.1, the observed carrier type was p-type.

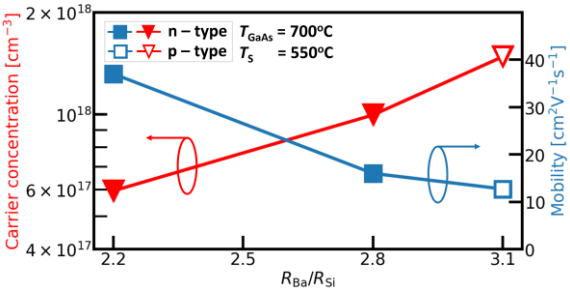


Figure 1. Carrier properties vs R_{Ba}/R_{Si}. Red marker denotes carrier concentration while blue marker denotes Hall mobility measured at room temperature.

The photoresponsivity spectra in reverse bias mode (V_{bias} = –0.5V) are shown in Fig. 2. The photoresponsivity at R_{Ba}/R_{Si} = 2.2 and 2.8 are quite similar while significantly lower photoresponsivity peaks are observed for R_{Ba}/R_{Si} = 3.1 sample.

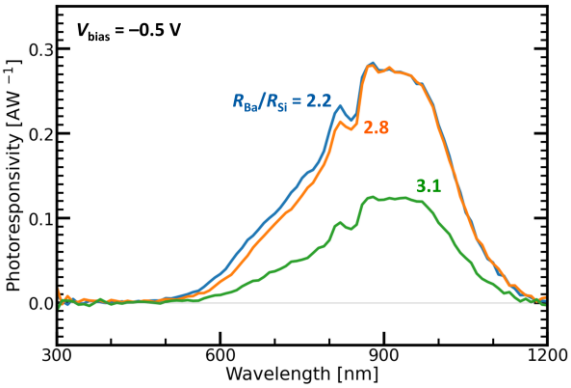


Figure 2. Photoresponsivity of grown $BaSi_2$ films at R_{Ba}/R_{Si} = 2.2, 2.8, and 3.1 measured at V_{bias} = –0.5V.

Reference

1. T. Suemasu and D. B. Migas, *Phys. Status Solidi* A **219**, 2100593 (2022).
2. S. Aonuki, Y. Yamashita, K. Toko, and T. Suemasu, *Jpn. J. Appl. Phys.* **59**(SF), SFFA01 (2020).
3. S. Aonuki, Z. Xu, Y. Yamashita, K. Gotoh, K. Toko, N. Usami, ... and T. Suemasu, *Thin Solid Films* **724**, 138629 (2021).
4. B. Nag, *Springer Series in Solid-State Sciences* **11** (1980).

© 2024年 応用物理学会

スパッタ法による $BaSi_2/n^+$-Si ヘテロ接合型太陽電池の作製

Fabrication of $BaSi_2/n^+$-Si heterojunction solar cells by sputtering

筑波大学 [1], 東ソー株式会社 [2],
○佐藤 匠 [1], Du Rui[1], 林 洸希 [1], 幸田 陽一朗 [2], 召田 雅実 [2], 都甲 薫 [1], 末益 崇 [1]
Univ. Tsukuba [1], Tosoh Corporation [2]
°T. Sato[1], R. Du[1], K. Hayashi[1], Y. Koda[2], M. Mesuda[2], K. Toko[1], T. Suemasu[1],
E-mail: s2320276@u.tsukuba.ac.jp

【背景・目的】

本研究では新規薄膜太陽電池材料として $BaSi_2$ に注目している。$BaSi_2$ は豊富な元素で構成され、太陽電池の理想値に近いバンドギャップ(E_g)、大きな光吸収係数と優れた少数キャリア特性を併せ持つ[1, 2]。また、先行研究では Ba 及び $BaSi_2$ ターゲットの同時スパッタ法により Ba/Si の組成比を制御し、高品質な undoped n-$BaSi_2$ 光吸収層の形成に成功した[3, 4]。$BaSi_2$ の電子親和力は 3.2 eV であり、Si の 4.0 eV よりも小さいため、図 1 に示すように Si が ETL として機能すると予想される。したがって、高品質の $BaSi_2$ 吸収層/n^+-Si 上に HTL を形成することにより、$BaSi_2$ 薄膜太陽電池を作製することができる(図 1)。しかし、このようなヘテロ接合とその太陽電池動作は実現されていない。本研究の目的は、スパッタ法で n^+-Si 上に高い分光感度を有する $BaSi_2$ 膜を堆積し、太陽電池を作製することである。

【実験】

CZ-n^+-Si(111)基板(ρ < 0.01 Ω cm)上に膜厚 350 nm の $BaSi_2$ 膜を Ba ターゲットと $BaSi_2$ ターゲット(東ソー(株)製)の同時スパッタ法により堆積した。堆積時には基板温度を 600 ˚C と 750 ˚C に、Ar ガス圧力を 0.5 Pa、$BaSi_2$ と Ba の堆積レート比 R_{BaSi2}/R_{Ba} を 5.8 に設定した。$BaSi_2$ 膜の堆積後、酸化防止のため *in situ* で a-SiC キャップ層を 3 nm 堆積した。最後に、試料表面に直径 1 mm、厚さ 80 nm の ITO 電極を、裏面に厚さ 150 nm の Al 電極を堆積した。作製した試料の構造を Fig. 2 に示す。

【結果・考察】

Fig. 3 にバイアス電圧 0.5 V 印加時の分光感度スペクトルを示す。750 ˚C の試料の分光感度は 600 ˚C の試料よりもはるかに高く、$BaSi_2$ の E_g に対応する 1000 nm 付近の波長で増加し始めた。この結果は、高い成長温度が分光感度を著しく向上させ、$BaSi_2$ 膜中の光生成キャリアがバイアス電圧によって取り出されたことを示している。また、分光感度は波長 790 nm で 15.4 A W^{-1} に達した。この値は MBE 法を含む undoped $BaSi_2$ 膜において最高値である。Fig. 4 に 750 ˚C の試料の AM1.5G 下での *J-V* 特性を示す。スパッタ法による undoped $BaSi_2/n^+$-Si ヘテロ接合型太陽電池の動作を初めて実証した。本構造上に HTL 層を積めば、光生成キャリアの分離を著しく高め、変換効率が向上すると考えられる。

【参考文献】
[1] T. Suemasu and N. Usami, J. Phys. D **50**, 023001 (2017).
[2] T. Suemasu and D.B. Migas, Phys. Status Solidi A **219**, 2100593 (2022).
[3] K. Kido *et al.*, Thin Solid Films. **758**, 139426 (2022).
[4] R. Koitabashi *et al.*, AIP Adv. **12**, 045120 (2022).

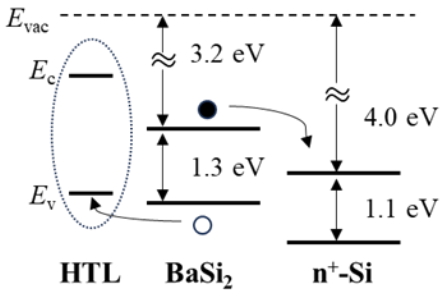


Fig. 1 Band alignment of HTL/ $BaSi_2/n^+$-Si with respect to the vacuum level E_{vac}.

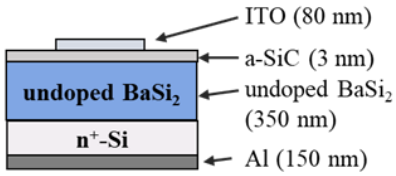


Fig. 2 Schematics of the fabricated undoped $BaSi_2/n^+$-Si heterojunction structure.

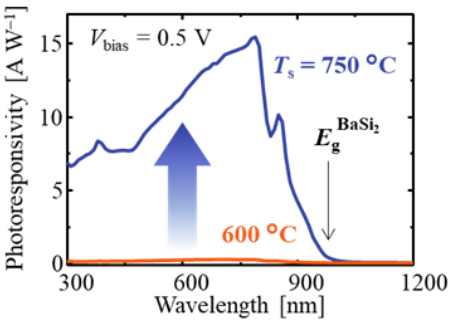


Fig. 3 Photoresponse spectra of the undoped $BaSi_2/n^+$-Si heterojunction solar cell under a bias voltage of 0.5 eV.

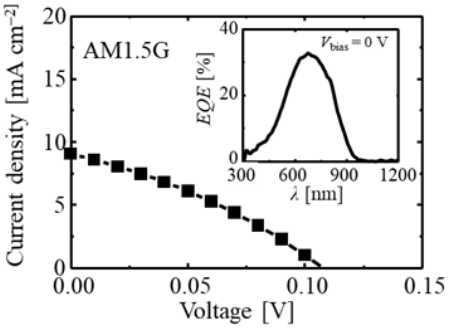


Fig. 4 *J-V* characteristics of the undoped $BaSi_2/n^+$-Si heterojunction solar cell under AM1.5G illumination.

$BaSi_2$ 太陽電池への応用に向けたスパッタ法による HTL の導入

Introduction of HTL fabricated by sputtering for $BaSi_2$ solar cells

筑波大学 [1], 東ソー株式会社 [2]

○林洸希 [1], 佐藤匠 [1], Du Rui[1], 幸田陽一朗 [2], 召田雅実 [2], 都甲薫 [1], 末益崇 [1]

Univ. Tsukuba [1], Tosoh Corporation [2]

°K. Hayashi[1], Takumi Sato[1], R. Du[1], Y. Koda[2], M. Mesuda[2], K. Toko[1], T. Suemasu[1]

E-mail: s2420313@s.tsukuba.ac.jp

【背景・目的】 本研究では薄膜太陽電池の新規材料として $BaSi_2$ に注目した [1)]。先行研究では、Ba 及び $BaSi_2$ ターゲットを用いた同時スパッタ法により、Ba/Si 組成比を制御し、高品質な n-$BaSi_2$ 光吸収層の形成を達成した [2)]。しかし、n-$BaSi_2$ 光吸収層を太陽電池に応用した例は少なく、変換効率も小さい値にとどまっている。また、ガラス基板上でも Si 基板上に匹敵する分光感度を記録しており、実用化に向けた研究も進んでいる [3)]。そこで本研究では、結晶 Si 太陽電池で報告例のある MoO_x をホール輸送層（HTL）として用いて、ガラス基板上に $BaSi_2$ ヘテロ接合型太陽電池の作製を目指した [3)]。大きな内蔵電位を得るために、HTL には n-$BaSi_2$（～3.5 eV）と比較して大きな仕事関数が求められる。また、MoO_x は酸化数 x が大きいほど仕事関数が増大する [4)]。そこで本研究では、大きな仕事関数の取得を目指して、MoO_x 膜の作製条件の変調による酸化数の制御を試みた。そして、MoO_x / $BaSi_2$ ヘテロ接合型太陽電池を作製し、光学特性を調査した。

【実験】 Ar と O_2 ガスを導入した反応性スパッタ法により MoO_3 ターゲットを用いて FZ-n-Si（111）基板（抵抗率 ρ > 1000 Ωcm）上に MoO_x 膜を室温下で 10 nm 堆積した。この時、投入電力を 50 W、全体のガス流量を 100 sccm で固定し、O_2 ガスの割合を 0 – 5%の範囲で変調した。X 線光電子分光法により Mo 3d 軌道の XPS スペクトルを測定し、MoO_x 膜の酸化数を算出した。続いて、MoO_x/n-$BaSi_2$ ヘテロ接合型太陽電池を作製した。まず、ガラス基板上にスパッタ法を用いて TiN 導電膜（250 nm）を堆積した。次に、$BaSi_2$（東ソー（株）製）ターゲットと Ba ターゲットを用いた同時スパッタ法により、$BaSi_2$ 膜（約 400 nm）を堆積した。この時、基板温度を 700 °C、$BaSi_2$、Ba ターゲットそれぞれの堆積レートを 3 nm min^{-1}, 0.1 nm min^{-1} に設定した。$BaSi_2$ 膜を堆積した後に、酸化防止のため a-SiC キャップ層を 3 nm 堆積した。その上に、上記の方法で MoO_x 膜を形成した。表面に厚さ 80 nm の ITO 電極を堆積し、AM1.5G 照射下の *J-V* 特性により太陽電池特性を評価した。

【結果・考察】 Fig. 1 に O_2 ガス割合の変調に対する MoO_x 膜の酸化数の変化を示す。スパッタ時の O_2 ガスの導入により MoO_x 膜の酸化数は大幅に増加し，化学量論比に近い値を示した。この結果より、MoO_x 膜の仕事関数の増大が示唆される [4)]。Fig. 2 に O_2 ガス割合を変調して作製した MoO_x / n-$BaSi_2$ ヘテロ接合型太陽電池の AM1.5G 照射時の *J-V* 曲線を示す。O_2 ガス割合 1%の試料において最も良い変換効率（0.0113%）が得られた。大きな酸化数が仕事関数の増大に寄与し [4)]、内蔵電位が大きく、表面の酸化が抑制されたからだと考えている。今後は他のパッシベーション層についても調べる計画である。

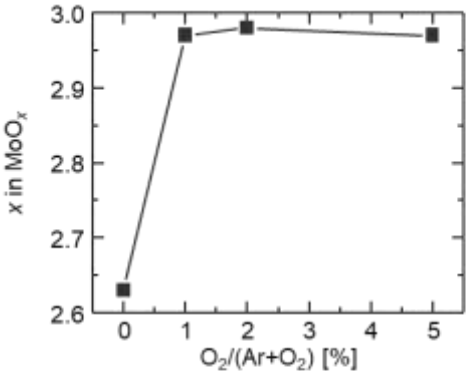


Fig. 1 Effect of oxygen gas flow ratios on x in MoO_x

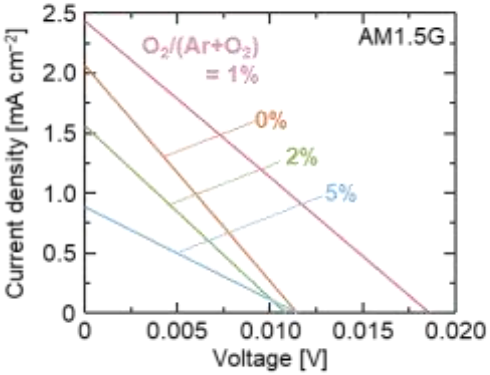


Fig. 2 *J-V* curves of MoO_x/n-$BaSi_2$ solar cells formed at different oxygen gas flow ratios of 0 – 5% under AM1.5G.

【参考文献】

1) T. Suemasu and N. Usami, J. Phys. D: Appl. Phys. **50**, 023001 (2017).
2) K. Kido *et al.*, Thin Solid Films **758**, 139426 (2022).
3) R. Koitabashi *et al.*, J. Phys. D. **54**, 135106 (2021).
4) M. T. Greiner *et al.*, Adv. Funct. Mater. **22**, 4557 (2012).

$BaSi_2$ 太陽電池への応用に向けた HTL/$BaSi_2$ 構造の作製と評価

Evaluation of HTL/$BaSi_2$ heterojunction solar cells for application to $BaSi_2$ solar cells

筑波大 [1]，○深谷 友香 [1]，Nurfauzi Abdillah [1]，都甲 薫 [1]，末益 崇 [1]

Univ. Tsukuba[1], °Yuka Fukaya[1], Nurfauzi Abdillah [1], Kaoru Toko[1], Takashi Suemasu[1]

E-mail: s2420317@u.tsukuba.ac.jp

【背景】$BaSi_2$ は太陽電池に適する諸特性を有する [1]。近年，n-$BaSi_2$ 膜の光学特性が飛躍的に向上した。高品質な n-$BaSi_2$ 膜を光吸収層に応用した太陽電池の作製には，光生成した正孔の輸送を担うホール輸送層（HTL）が不可欠である。先行研究では MoO_x を HTL として n-$BaSi_2$ 膜とのヘテロ接合を検討し，太陽電池動作を実証したが，高効率動作には至っていない [2]。$BaSi_2$ は酸素と非常に結びつきやすいため，MoO_x の酸素組成が減少し，MoO_x 膜の仕事関数も低減すると予想される [3]。MoO_x の仕事関数が減少すると $BaSi_2$ との内蔵電位が減少し，太陽電池特性の劣化に直結する。本研究では HTL 材料である MoO_x 膜の酸素組成を制御するため，MoO_x / $BaSi_2$ 界面に a-Si:H 層の挿入を検討した。

【実験手法】Si（111）基板上に MBE 法により $BaSi_2$ を 500 nm エピタキシャル成長した後，in situ で 3 nm の a-Si を堆積した。その後，RF プラズマを用いて a-Si 層へ原子状水素を照射した。このときの水素供給時間 $t_{a\text{-}Si:H}$ を 0 – 30 min の間で変調した。また，RF 投入電力は 70 W，水素供給量は成長チャンバー内の真空度により制御し，1.0×10^3 Pa に設定した。その後，蒸着法により 1 nm min^{-1} の成長速度で 10 nm の MoO_x を堆積した。比較として，同条件で MoO_x（10 nm）/ a-Si:H（3 nm）/ Si（111）基板の構造を作製した。本研究では，XPS 測定を用いて MoO_x 膜の酸素組成を評価した。

【結果・考察】Figure 1（a），（b）に各構造における Mo 3d 軌道の XPS スペクトルを示す。これらの XPS スペクトルを Mo^{6+}（236.2, 233.1 eV），Mo^{5+}（235.1, 231.9 eV）のピーク [4]によりフィッティングを行い，MoO_x 膜の酸素組成を算出した。MoO_x 膜の酸素組成を $t_{a\text{-}Si:H}$ の関数として Fig. 1（c）に示す。どちらの構造においても $t_{a\text{-}Si:H}$ が増加するにつれ酸素組成が増大した。よって，水素供給により MoO_x 膜内から外への酸素拡散を抑制したと言える。一方，$BaSi_2$ 層を挿入すると，酸素組成は著しく低下した。これは，$BaSi_2$ 膜が酸素と非常に結合しやすいためであると考えられる。

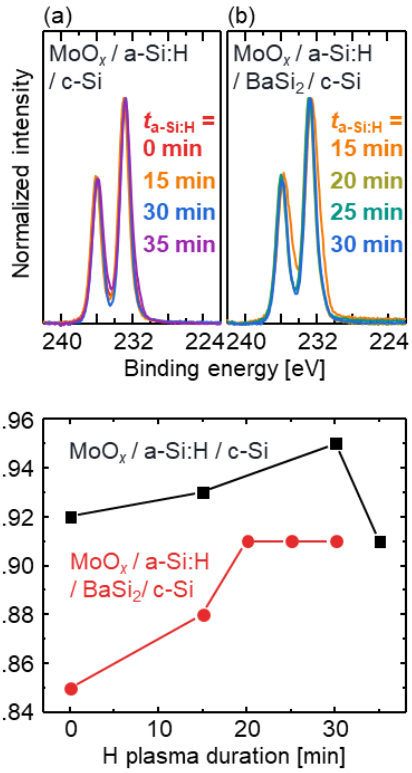


Fig. 1 Normalized Mo 3d core level XPS spectra of the MoO_x / a-Si:H / c-Si (a) with or (b) without $BaSi_2$ films. (c) Oxygen composition x in MoO_x films of each structure as a function of H plasma duration.

【参考文献】

1) T. Suemasu and D. B. Migas, Phys. Status Solidi A **219**, 2100593 (2022).
2) W. Du *et al.*, Appl. Phys. Lett. **106**, 122104 (2015).
3) L. Cao *et al.*, Prog. Photovolt. **31**, 1245 (2023).
4) T. Zhang *et al.*, AIP Conference Proceedings **1999**, 040027 (2018).

© 2024年 応用物理学会

短波赤外イメージセンサに向けた Mg_2Si-PD リニアアレイの試作

Fabrication of Mg_2Si-PD linear-array for SWIR image sensor

茨城大院　理工学研究科　今泉尚己、尾嶋海人、武井日出人、坂根駿也、○鵜殿治彦*

Ibaraki Univ.,　N. Imaizumi, K. Ojima, H. Takei, S. Sakane, °H. Udono*

*E-mail: udono@vc.ibaraki.ac.jp

【はじめに】我々は、安価で汎用普及可能な短波赤外波長（SWIR）域（波長 0.9-2.5μm）のイメージセンサの開発に向けて、マグネシウムシリサイド（Mg_2Si）基板を利用したフォトダイオード(PD)アレイの開発を進めている[1-3]。これまで、Mg_2Si の反応性イオンエッチング(RIE)[4]やイオン注入[5]などの要素プロセスについて報告し、これらプロセスを組み合わせて作製した受光領域が 50-100μm 角の Mg_2Si-pn 接合 PD の電気的特性について報告した[6]。今回、リニアイメージセンサへの適用を目指して Mg_2Si -PD リニアアレイを試作したので報告する。

【実験方法】Mg_2Si 基板は、グラファイトるつぼを用いて垂直ブリッジマン法によって成長した n 型単結晶（$n=1\times10^{15}\sim1\times10^{16}\ cm^{-3}$）から切り出して準備した[2,3]。裏面の n 側オーミック電極は Al を熱拡散して形成し、基板表面にプラズマ CVD 装置によって SiO_2 を成膜した後、フォトリソグラフィーによってパターニングを行い、拡散源の Ag を電子ビーム蒸着またはスパッタによって堆積した。その後、熱拡散によって pn 接合を形成し、リフトオフプロセスと CF_4 エッチングガスを用いた RIE により、p 層上に Au/Ni リング電極を形成して PD アレイを作製した。

【実験結果と考察】 一例として Fig.1 に画素サイズ 80μm 角、ピッチ 200μm で試作した 8 画素/列の PD リニアアレイの一部光学顕微鏡写真を示す。均質な PD アレイが試作できている。個々の PD を *I-V* 測定および分光感度測定により評価したところ、単一 PD と同様な暗電流密度と整流性、分光感度特性が得られる事がわかった。

以上の様に、Mg_2Si 基板上に熱拡散と汎用の微細加工プロセスを使って SWIR 域に感度をもつ Mg_2Si-PD リニアアレイを初めて試作することに成功した。

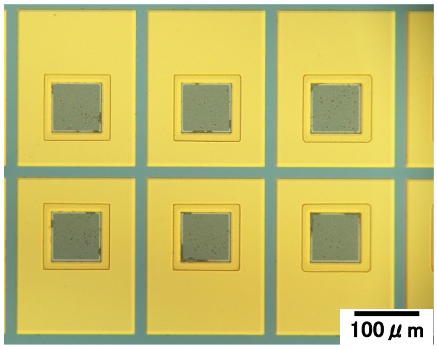


Fig. 1. Microphotograph of Mg_2Si pn-junction PD array with 80 μm square pixels.

【謝辞】本研究の一部は、科学研究費補助金(23H01440)、JST A-STEP (JPMJTR21RB, JPMJTR22R3)、文部科学省「マテリアル先端リサーチインフラ」事業の支援を受けた。

【参考文献】[1] H. Udono et al., J. Phys. Chem. Sol.,74(2013)311. [2] 鵜殿、応用物理 88(2019)797. [3] 鵜殿、レーザー研究 50(2022)570. [4] 中村他 2021 年秋季応物 11p-N304-3, R. Nakamura et al., SSRN-3972607 (Preprint, Unpublish). [5]中村他 2022 年春季応物 23p-F308-11. [6]今泉他 2023 年秋季応物 22a-B202-4.

© 2024年 応用物理学会

Mg_2Si-PD アレイの窒化シリコン絶縁膜の暗電流への影響

Effect of SiN_x passivation layer on the dark current of Mg_2Si PD arrays

茨城大学　○武井日出人，尾嶋海人，坂根駿也，鵜殿治彦*

Ibaraki Univ. ○Hideto Takei, Kaito Ojima, Syunya Sakane, Haruhiko Udono*

E-mail: *udono@vc.ibaraki.ac.jp

【はじめに】我々は、Mg_2Si を用いた短波赤外（SWIR）域の受光素子の開発を進めており[1,2]、これまでに作製した単一の pn 接合フォトダイオード（PD）素子で高い受光感度を実現している[3]。今後 Mg_2Si を用いた短波赤外イメージセンサへと応用するため、PD アレイの作製プロセスの開発を進めている[4]。これまで、Mg_2Si 上の絶縁膜として SiO_2 を用いていたが、今後のプロセスの汎用性を高めることを考えると他の絶縁膜についても検討を進める必要がある。そこで本研究では絶縁膜として広く利用されている窒化シリコン（SiN_x）を絶縁膜に用いて Mg_2Si 基板上に pn 接合 PD を作製し、その電気的特性を評価し SiO_2 絶縁膜と比較したので報告する。

【実験方法】Mg_2Si-PD アレイを作製する n 型 Mg_2Si 基板は、垂直ブリッジマン法によって成長した結晶から準備した。基板裏面の n 側オーミック電極は Al を熱拡散して形成した[1,2]。基板表面は、プラズマ励起化学気相成膜（CVD）装置（PD-220NL, サムコ）によって SiO_2 または SiN_x を成膜した後、フォトリソグラフィーによって、微細なパターニングを行い、Ag をスパッタ装置（CFS-4EP-LL, 芝浦メカトロニクス）を用いて堆積後、熱拡散を行うことで、pn 接合を形成した。その後、リフトオフプロセスにより、p 層上に Au/Ni 電極を形成して PD アレイ構造を作製した（Fig. 1）。

【結果と考察】

絶縁膜として SiN_x を堆積させた場合でも SiO_2 膜を用いた場合と同様に pn 接合 PD アレイを作製できた。絶縁膜が SiO_2 及び SiN_x それぞれの PD アレイの各素子の I-V 特性を評価した結果、既報の SiO_2 を用いた素子と同様に明瞭な整流性と暗電流が得られた。このことから、SiN_x 膜も Mg_2Si に対して良質な絶縁膜として機能することがわかった。

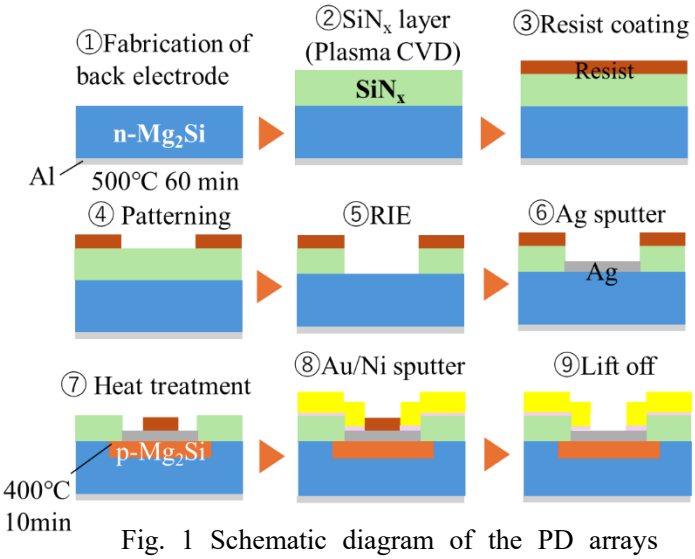


Fig. 1 Schematic diagram of the PD arrays fabrication process.

【謝辞】

本研究の一部は、科学研究費補助金（23H01440）、JST A-STEP （JPMJTR21RB, JPMJTR22R3）、文部科学省「マテリアル先端リサーチインフラ」事業（JPMXP1223NM0031）の支援を受けた。

【参考文献】 [1] H. Udono *et al., J. Phys. Chem. Solids* **74**, 311 (2013). [2] 鵜殿、応用物理 **88**, 797 (2019). [3] 鵜殿、レーザー研究 **50**, 570 (2022). [4] 今泉他 2023 年春季応用物理学会 22a-B202-4.

© 2024年 応用物理学会

メサ型 β-$FeSi_2$ *pn* ホモ接合素子の作製と電気特性評価

Fabrication and electrical characterization of mesa-type β-$FeSi_2$ *pn* homojunction devices

九工大情報工，○田中光太，長友颯一朗，寺井慶和

Kyushu Inst. of Tech. , ○K. Tanaka, S. Nagatomo, and Y. Terai

E-mail: terai@phys.kyutech.ac.jp

【はじめに】β-$FeSi_2$ では間接遷移吸収端が 0.8 eV 付近に位置するため，近赤外領域の光電変換材料として期待されている．これまで我々は，β-$FeSi_2$ *pn* ホモ接合素子を作製し，近赤外領域での光検出に成功してきた[1]．しかし，得られた分光感度は小さく，感度向上に向けた素子構造の検討が必要である．β-$FeSi_2$ *pn* 接合界面には欠陥準位が存在するため，その準位を介した暗電流が逆バイアス下で発生してしまう．しかし，これまでのプレーナ型素子では，電極間での電流広がりを抑制できず，暗電流の低減が困難である．そこで本研究では，メサ型構造の β-$FeSi_2$ *pn* ホモ接合素子において，暗電流の低減を観測したので報告する．

【実験方法】MBE 法により，CZ-*p*-Si(111)基板 ($\rho = 3-6\ \Omega\cdot$cm)上に，Sb 添加 n^+-β-$FeSi_2$(50 nm) / 無添加 *n*-β-$FeSi_2$(150 nm) / Al 添加 p^+-β-$FeSi_2$(50 nm)の β-$FeSi_2$ *pn* ホモ接合構造をエピタキシャル成長した．成長後，ドーパント活性化のために 500 °C，1 h の熱処理を行った．その後，β-$FeSi_2$ 側にドット状 Al (φ = 0.8 mm)，Si 基板側に正方状の Al (3 × 3 mm)を蒸着し，500 °C，15 min の熱処理によりオーミック電極を作製した．メサ構造は，BHF (NH_4HF_2 : NH_4F : H_2O = 12.8 : 28.1 : 59.1)溶液を用いたウェットエッチングにより作製した．その際，ドット状 Al 電極を保護膜としてウェットエッチングを行った．Fig. 1 挿入図に作製した(a)プレーナ型と(b)メサ型素子の構造を示した．作製した素子において，78 K，暗闇下での *I*–*V* 測定により暗電流値を評価した．

【結果】事前実験として，38 °C の BHF 溶液に対する β-$FeSi_2$ のエッチングレートを求めた結果，0.88 nm/s のレートが算出された．この結果より，5 min で 266 nm の β-$FeSi_2$ がエッチングされ，Fig. 1(b)に示した p^+-β-$FeSi_2$ 層までエッチングされたメサ型構造が形成されると考えられる．実際に 5 min のエッチングを施したメサ型素子と，エッチングなしのプレーナ型素子を作製し，電気特性の比較を行った．Fig. 1 にプレーナ型素子とメサ型素子で測定した *I*–*V* 曲線を示す．順方向バイアス時の電流値はエッチング前後で変化が見られないのに対して，逆バイアス時の電流値は約 1 桁低減された．メサ型構造では電極間での電流広がりが抑制され，*pn* 接合界面の欠陥準位を介したリークパスが減少したため，暗電流値が減少したと解釈できる．今後は，メサ型素子での分光感度を測定し，暗電流の抑制による分光感度の向上が達成できるか検証する．また，メサ型構造素子の作製プロセスについても報告する予定である．

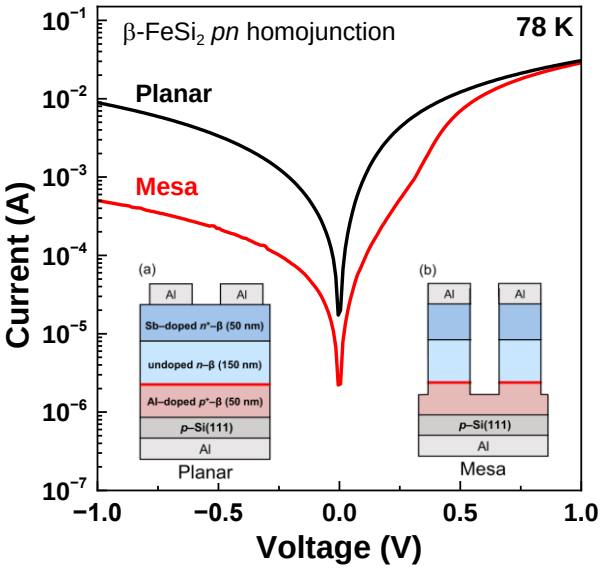


Fig. 1 *I*–*V* curves of β-$FeSi_2$ *pn* homojunction devices. Inset : device structures of (a) planar, (b) mesa types.

[1] 田中 他，第 84 回応用物理学会秋季学術講演会，23p–B205–4

Ge/β-FeSi$_2$ 薄膜における PL, PR スペクトルの Ge 面内ひずみ量依存性

Dependence of PL and PR spectra on Ge in-plane strain in Ge/β-FeSi$_2$ thin films

九工大情報工，○長友 颯一朗，石飛 新太郎，寺井慶和
Kyushu Inst. of Tech., °S. Nagatomo, S. Ishitobi, Y. Terai
E-mail: terai@phys.kyutech.ac.jp

【はじめに】Ge は間接遷移型半導体であるが，2%の面内引張ひずみ導入により直接遷移型となることが予測される[1]．我々は Ge と β-FeSi$_2$ の熱膨張係数差が大きいことに着目し，β-FeSi$_2$ 上の Ge 薄膜で Ge 面内引張ひずみの導入を目指している．これまでに 2 段階成長法（低温での Ge 初期成長＋Ge 高温成長）により，Ge(001)/β-FeSi$_2$(100)薄膜を作製してきた．その結果，as-grown 試料では面内圧縮ひずみ($\varepsilon_{//} = -0.21$)，成長後のポストアニールにより引張ひずみ($\varepsilon_{//} = +0.75$)が導入されることを報告してきた[2]．さらに Ge 初期成長温度($T_{\text{ini-Ge}}$)を低下させることで，引張ひずみが増加($\varepsilon_{//} = +0.89$)することを見いだした [3]．今回は，これら試料で発光(PL)，光変調反射率(PR)スペクトルを測定し，ひずみに依存した Ge の電子構造変化について検証した．

【実験方法】MBE 法により，Ge(150 nm)/β-FeSi$_2$(70 nm)/CZ-*n*-Si(001) sub.構造を作製した．Ge 初期層(約 20 nm)の成長温度を $T_{\text{ini-Ge}} = 250$ ℃ とし，その後 130 nm の Ge 薄膜を 300 ℃ で成長した．成長後，急速冷却による面内引張ひずみの導入を目的に，RTA 装置を用いて 800 ℃，10 min のポストアニールを真空中で行った．PL 測定では 532 nm のレーザー光で試料を励起し，Ge-PIN 検出器を用いて室温で発光スペクトルを測定した．PR 測定では，タングステンランプと 532 nm のレーザーを光源に用い，40 K にて光変調反射率(ΔR/R)を InGaAs フォトダイオードで測定した．

【結果】 XRD 測定によるひずみ評価の結果，as-grown 試料では $\varepsilon_{//} = -0.21$ の圧縮ひずみが Ge 層内に残留していた．一方，ポストアニール後は $\varepsilon_{//} = +0.89$ の最大引張ひずみが Ge 層へ導入されていた．Fig. 1 に示した as-grown と annealed 試料の室温 PL スペクトルでは，両者ともブロードな発光スペクトルを示した．この発光は Ge の Γ 点における直接遷移発光と報告されている．ピークエネルギーに着目すると，as-grown 試料は 0.86 eV 付近であるのに対し，annealed 試料は 0.83 eV 付近にピークを示した．Fig. 2 に 40 K で測定した PR スペクトルを示す．Aspnes の 3 次微分形の光変調反射率スペクトルが観測され，Ge の Γ 点における直接遷移に起因する信号と同定される．as-grown 試料に対し annealed 試料のスペクトルは低エネルギー側にシフトした．以上の結果より，$\varepsilon_{//} = -0.21$ (as-grown)と $\varepsilon_{//} = +0.89$ (annealed)のひずみに依存して，Ge の電子構造変化が生じていることが明らかとなった．引張ひずみ導入により Γ 点の伝導帯が低エネルギー側にシフトすることから，更なる引張りひずみ導入により直接遷移化が可能であると示唆される．

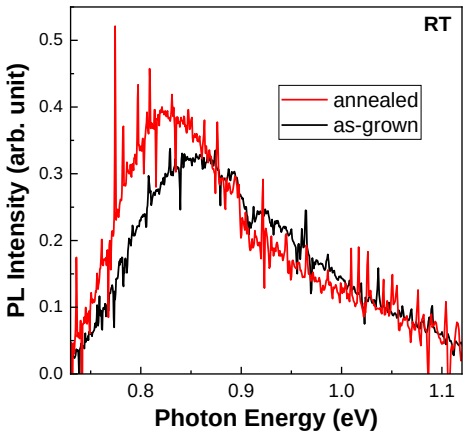


Fig. 1 PL spectra of Ge on β-FeSi$_2$.

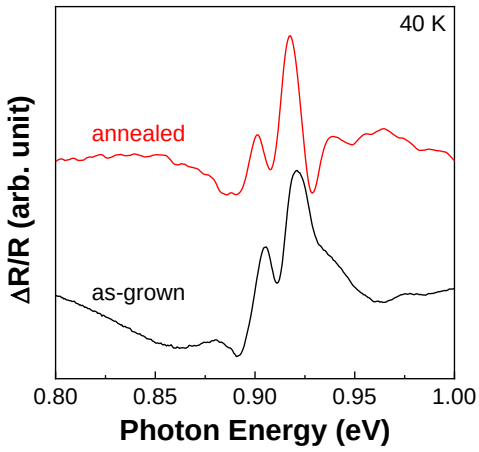


Fig. 2 PR spectra of Ge on β-FeSi$_2$.

[1] Y. Hoshina, *et al*., Jpn. J. Appl. Phys. **48**, 04C125 (2009).
[2] 石飛他，第 84 回応用物理学会秋季学術講演会, 23p-B205-3.
[3] 石飛他，第 71 回応用物理学会春季学術講演会,24p-12K-7.

© 2024年 応用物理学会

鉄シリサイドの狭帯域フィルターを用いた波長選択乾燥に関する研究

Study on wavelength-selective drying using ironsilicide narrow-band filters

京大院工[1]　°(D)Xuanwei Zhang[1]，名村 今日子[1]，鈴木 基史[*1]

Kyoto Univ.[1], °Xuanwei Zhang[1], Kyoko Namura[1], Motofumi Suzuki[*1]

*E-mail: m-snki@me.kyoto-u.ac.jp

分子が吸収する波長の赤外線を照射する波長制御赤外線乾燥技術は食品、薬品、工業製造など多くの分野で応用されている。例えば，リチウムイオン電池の電極の作製プロセス中に、N-メチル-2-ピロリドン（NMP）溶媒の吸収帯の波長に一致する赤外線を用いて選択的に照射すれば、システム全体が低温を維持し、電池電極の品質の向上が期待される。いくつかの研究では、対象とする分子の吸収ピーク付近の波長を選択的に照射することで、乾燥中に基材へ熱ダメージを抑制し、効率的に乾燥を実現できると報告している[1]。しかし、照射された赤外線の波長は、分子吸収域に比べて広く、効率向上のためには光源スペクトルの狭帯域化が望まれる。

本研究ではNMPの赤外吸収帯の波長によく合う狭帯域のフィルターを用いて、乾燥速度および試料の温度の評価を行った。我々はFT-IRを用いて厚さ0.3mmのNMPの赤外透過スペクトルを測定した。乾燥実験はドラフトチャンバー内で行われ、フィルターを用いてハロゲンヒーター光源からの光を選択的に、アルミ容器の中の1 g のNMP液体に照射した。天秤と熱電対を使用して試料の温度と重量を計測した。本研究で使われたフィルターはβ-$FeSi_2$とSiO_2の多層膜構造により作製した。Filter1とFilter2はそれぞれ波長2 μmと3.3 μmのピークを持つ狭帯域のフィルターである(Fig. 1)。図１のようにNMPの伸縮振動より波長3.3 μmの近傍に大きな吸収があるが、少しずれている2 μmのところにはほぼ吸収しない。図２は二つのフィルターの作用の下で５分間の赤外線乾燥でNMP試料の重量と温度の変化である。二つの試料の温度の変化がほぼ同じであるが、NMPの吸収に合う赤外線が照射される場合、蒸発速度が速いことが分かった。

[1] Y. Kondo, Journal of The Surface Finishing Society of Japan. 66, 300, (2015).

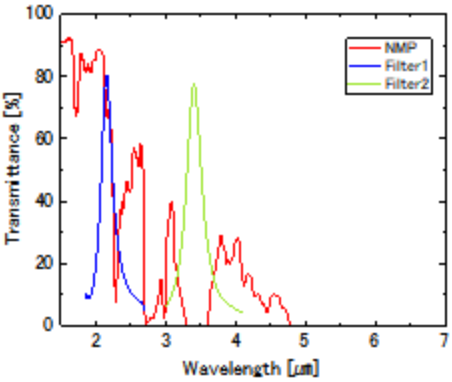


Fig.1. Transmittance spectrum of NMP, Filter1,2.

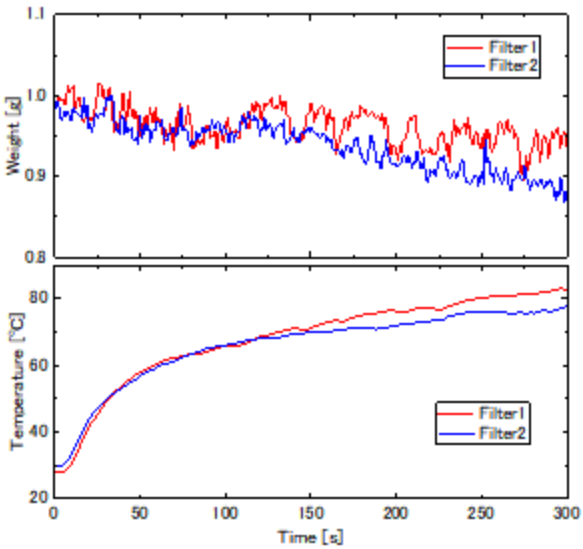


Fig.2.Changes in weight and temperature of NMP under different filter.

酸窒化物蛍光体の構造生成 AI とナローバンド蛍光体への応用

Exploration of novel oxide/nitride crystal structures of narrow band phosphors by deep learning generative model

工学院大院工 [1]，工学院大先進工 [2]　○(M2)阿部 仁哉 [1]，宮川雅矢 [2]，高羽洋充 [2]

Kogakuin Univ. [1], Dept of Env. Chem＆Chem.Eng., Kogakuin Univ. . [2],

°(M2) Masaya Abe[1], Hiromitsu Takaba[2], Masaya Miyagawa[2]

E-mail: bm23004@ns.kogakuin.ac.jp

1. 緒言

近年、注目されるナローバンド蛍光体は、発光バンドの半値幅が小さく高い色純度で発光を示すため、ディスプレイ分野での応用が期待されている。しかしながら、開発されたナローバンド蛍光体は限られており、試行錯誤的な実験で新しい蛍光体を開発するには多大な労力と時間がかかる。一方、実験で得られたデータベースを利用した機械学習による材料設計が注目されているが、蛍光体のような結晶系への応用例はほとんど報告されていない。そこで、本研究では、結晶構造の特徴量の算出方法を工夫した生成モデルを構築し、結晶構造データベースの学習から新規ナローバンド蛍光体の探索を試みた。

2. 計算方法

結晶構造生成モデルとしては、2 つのニューラルネットワークをトレーニングして互いに競合させ、特定のトレーニングデータセットからより本物に近い、新しいデータを生成する敵対的生成ネットワーク(GAN)を改良したモデル Physics Guided Crystal Generative Model(PGCGM)[1]と Cubic GAN[2]の 2 種類の生成モデルを用いた。

生成モデルによって生成された結晶構造の半値幅を推定するために、回帰モデルを構築した。回帰モデルでは、報告されている文献から採取した蛍光体結晶構造を対象として、説明変数を蛍光体の母体結晶を表す記述し、目的変数を半値幅とした。探索の全体のイメージを Fig.1 に示す。

3. 結果及び考察

構築した PGCGM と Cubic GAN から Eu^{2+}付活を想定し、Sr を組成に含む結晶構造を生成した。結晶構造データベース(ICSD)で報告されていない構造が多数生成されていることを確認した。次に、生成した結晶構造を対象に半値幅の予測を行った。生成した結晶構造の半値幅と結晶密度の相関を Fig.2 に示した。さらに、半値幅が 60 nm 以下のものを対象としたところ PGCGM では全体の 63.1 %、Cubic GAN では全体の 92.0 %が範囲内となった。さらに、ICSD で報告されていない結晶構造に絞り込み、現実的な密度を持つ結晶を求めた。それらの構造の組成から、価数が 0、または水素原子を削除することで価数を 0 に合わせられるものに絞り、第一原理計算（DFT 計算）で構造緩和シミュレーションを実施した。結果の詳細は発表にて説明する。

[参考論文]
[1] Y Zhao *et al* . , *arXiv :2203.14352v3*　(2022)
[2] Y Zhao *et al* ., *Adv. Sci.* (2021)

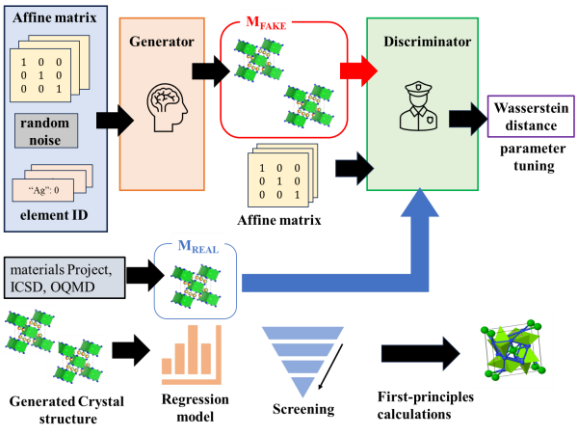


Fig.1 Schematic figure of phosphor crystal structures.

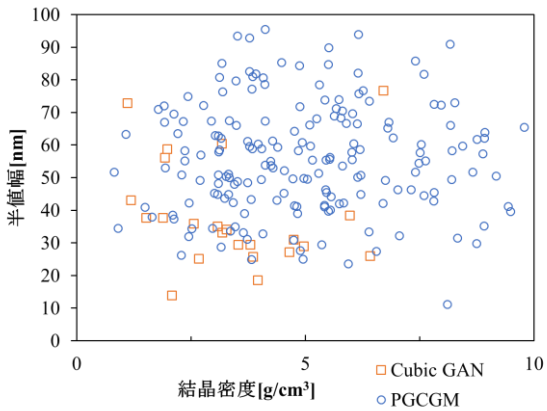


Fig.2 Relationship between generated crystal density and half-width of emission peak.

13 半導体 | 一般セッション(口頭講演)：13.2 探索的材料物性・基礎物性

[18a-A24-1~9] 13.2 探索的材料物性・基礎物性

[18a-A24-1]
c-Al_2O_3基板上エピタキシャルMg_3Bi_2薄膜の成長条件の探索

〇(D)鮎川 瞭仁[1]、栗山 武流[1]、鵜殿 治彦[1]、坂根 駿也[1] (1.茨城大工)

[18a-A24-2]
同時蒸着によるSi(001)基板上エピタキシャルMg_3Sb_2薄膜の作製

〇切通 望[1]、鮎川 瞭仁[1]、山本 若葉[2]、安原 聡[2]、佐藤 康平[2]、鵜殿 治彦[1]、坂根 駿也[1] (1.茨城大、2.日本電子)

[18a-A24-3]
熱電応用に向けた$AgBa_2Si_3$の成膜と第一原理計算によるドーパントの探索

〇梶原 君円[1]、石山 隆光[1]、都甲 薫[1]、幸田 陽一郎[2]、召田 雅美[2]、本多 周太[3]、末益 崇[1] (1.筑波大院、2.東ソー株式会社、3.関西大学)

[18a-A24-4]
Synthesis of Na-Cu-Ge ternary clathrates in film form

〇(D)Tun Naing Aye[1], Koji Yasuoka[1], Kumar Rahul[2], S. Himanshu Jha[1], Fumitaka Ohashi[1], Tetsuji Kume[1] (1.Gifu University, 2.Nationational Institute ofTechnology, Gifu)

[18a-A24-5]
メカノケミカル効果を活用した近接蒸着法による$CaSi_2$薄膜の作製

〇高垣 僚太[1]、有元 圭介[1]、山中 淳二[1]、原 康祐[1] (1.山梨大クリスタル研)

[18a-A24-6]
InGaO3(ZnO)n 大型単結晶のアニール処理による電気伝導度の変化

〇加瀬 直樹[1]、井上 禎人[1]、漆間 由都[1]、田中 啓太[1]、河村 優介[1]、宮川 宣明[1] (1.東理大先進工)

[18a-A24-7]
$(InGaO_3)_m(ZnO)_n$単結晶への Sn 置換効果

〇小海 稜太郎[1]、井上 禎人[1]、漆間 由都[1]、加瀬 直樹[1]、宮川 宣明[1] (1.東理大先進工)

[18a-A24-8]
Mg_2Si単結晶成長に及ぼす坩堝形状の影響

〇朝倉 康太[1]、劉 鑫[1]、鵜殿 治彦[2]、宇佐美 徳隆[1] (1.名大院工、2.茨大院理工)

[18a-A24-9]
不純物ドープしたMg_2Si単結晶のラマン分光測定

〇島野 航輔[1]、鵜殿 治彦[1]、坂根 駿也[1] (1.茨大院)

c-Al_2O_3基板上エピタキシャルMg_3Bi_2薄膜の成長条件の探索

Exploration of growth conditions for epitaxial Mg_3Bi_2 thin films on c-Al_2O_3 substrates

茨城大工　○(D)鮎川 瞭仁，栗山 武流，鵜殿 治彦，坂根 駿也

Ibaraki Univ. ◦Akito Ayukawa, Takeru Kuriyama, Haruhiko Udono, Shunya Sakane

E-mail: 23nd255s@vc.ibaraki.ac.jp

【背景】熱電変換材料は廃熱を電気エネルギーに変換可能な材料であり、特に薄膜型材料は省スペースであることから IoT デバイス等に向けた小型独立電源への応用が期待されている。近年、室温で高い熱電性能を誇る材料として、Mg_3Bi_2系材料が注目を集めている[1]。Mg_3Bi_2は三方晶の Zintl 相化合物に属し、半金属であるにも関わらず、c 軸方向の特徴的な層状構造に由来する効果的なフォノン散乱により、非常に低い熱伝導率をもつ特徴がある。Bi を Sb に置換ドーピングした Mg_3SbBi 系では、バンドギャップが生じることで特に n 型で高い熱電性能を示し、その性能は室温で最大級を誇るとされてきた Bi_2Te_3 系に匹敵する[2]。我々はこれまで、同様の結晶構造をもつ Mg_3Sb_2 薄膜のエピタキシャル成長を行なってきた。そして、c 面 Al_2O_3 基板に熱処理を施し超平滑面を得ることで、ダイレクトで歪みがほとんどなく、高いキャリア移動度のため従来よりも高い熱電性能を示す Mg_3Sb_2 薄膜のエピタキシャル成長を報告している[3]。Mg_3Bi_2 薄膜においてもエピタキシャル成長薄膜の報告は存在する[4]が、その成長条件については議論されていない。

本研究では、高性能な熱電材料への応用に向けて分子線エピタキシー法を用いたエピタキシャル Mg_3Bi_2 薄膜の成長条件を探索し確立することを目的とした。

【実験手法】試料は分子線エピタキシー（MBE）装置を用いて作製した。洗浄および熱処理した c 面サファイア（c-Al_2O_3）基板を MBE 内に導入し、Mg と Bi を同時蒸着した。また、基板ヒーター温度を変更していくつかのエピタキシャル薄膜を作製した。反射高速電子回折法（RHEED）を用いてエピタキシャル成長を確認し、走査型電子顕微鏡（SEM）により薄膜断面を観察した。また、結晶構造は X 線回折法を用いて評価した。

【実験結果】成長後の RHEED 図形には Mg_3Bi_2 由来のストリーク状の回折パターンが見られ、Mg_3Bi_2 薄膜のエピタキシャル成長を確認した。また、SEM による断面観察では膜厚は約 150 nm であると観察できた。XRD では Mg_3Bi_2 の c 面由来のピークが確認されたことから、c 面に配向した Mg_3Bi_2 薄膜が得られたことが分かった。Mg_3Bi_2 薄膜は、同じレートで成長させたとき、成長基板温度 400 ℃, 450 ℃では薄膜が形成されたが、500 ℃では再蒸発の影響が大きく薄膜が形成されなかった。我々が報告した Mg_3Sb_2 薄膜成長において同様のレートでは 550 ℃での薄膜形成に成功していることから、Mg_3Bi_2 は Mg_3Sb_2 と比較して再蒸発の影響が大きいことが分かった。

【参考文献】[1] Z. Liu *et al*. *Nat Commun* **13**, 1120 (2022)

[2] F. Zhang *et al*. *Adv. Funct. Mater.* **30**, 1906143 (2020)

[3] A. Ayukawa *et al*. *Appl. Phys. Express*, **17**, 065501 (2024)

[4] S. Xie et al. Adv. Mater. 2400845 (2024).

© 2024年 応用物理学会

同時蒸着による Si(001)基板上エピタキシャル Mg_3Sb_2 薄膜の作製

Fabrication of epitaxial Mg_3Sb_2 thin films on Si(001) substrates by codeposition

茨城大 [1]，日本電子 [2]　○(M1)切通 望 [1]，鮎川 瞭仁 [1]，山本 若葉 [2]，安原 聡 [2]，佐藤 康平 [2]，
鵜殿 治彦 [1]，坂根 駿也 [1]

Ibaraki Univ. [1]，JEOL[2], ○Nozomu Kiridoshi[1], Akito Ayukawa[1], Wakaba Yamamoto[2],
Akira Yasuhara[2], Kohei Satou[2], Haruhiko Udono[1], Shunya Sakane[1]

E-mail: shunya.sakane.sz12@vc.ibaraki.ac.jp

【背景】Mg_3Sb_2 は、Mg^{2+}層と $Mg_2Sb_2^{2-}$層からなる Zintl 相化合物であり、熱伝導率が低いことから、室温近傍で駆動する熱電変換材料として期待されている[1]。我々はこれまで c 面サファイア基板上に極薄い遷移層で歪みが緩和した c 面配向 Mg_3Sb_2 のエピタキシャル成長を実現し、さらにこれまで報告されてきた Mg_3Sb_2 薄膜を上回る高い熱電特性を示すことを報告した[2]。数層での歪み緩和が Zintl 相の Mg_3Sb_2 の特徴であれば、エピタキシャル成長において様々な基板の選択が可能であると考えられる。しかしながら、Si 基板上に Mg_3Sb_2 をエピタキシャル成長させた例はない。そこで本研究では、分子線エピタキシー(MBE)法を用いて同時蒸着により Si(001)基板上エピタキシャル Mg_3Sb_2 薄膜を作製することを目的とした。

【実験手法】有機処理及びフッ酸処理、酸処理を施した Si（001）基板を MBE チャンバーに導入した後、Si バッファ層を形成し、清浄表面（2×1 表面再構成構造）を取得した。その後、様々な基板温度（室温-550℃）に維持しながら、Si (001) 基板上に Mg と Sb を同時に蒸着した。結晶構造は、反射高速電子回折 (RHEED)、X 線回折 (XRD)、走査型電子顕微鏡 (SEM)、走査透過電子顕微鏡 (STEM) により評価した。

【実験結果】基板温度を室温に維持した試料では、RHEED パターンからはデバイリング状の回折像が観察され、多結晶 Mg_3Sb_2 の形成が示唆された。また基板温度 550℃の試料では Si と同様の回折パターンが見られ、Mg_3Sb_2 が形成できていないことが分かった。一方、500℃の試料ではストリーク状の回折パターンが見られ、エピタキシャル Mg_3Sb_2 薄膜の形成が示唆された。XRD パターンを確認すると、基板温度 500℃で作製した試料において、Mg_3Sb_2 の 000*l* 回折パターンが優先的に得られ、c 軸配向したエピタキシャル Mg_3Sb_2 薄膜が形成されていることが分かった。本講演では、さらに詳細な薄膜の形成メカニズムと結晶性について議論を行う。

【謝辞】本研究の一部は、公益財団法人カシオ科学振興財団の支援により行われた。

【参考文献】

[1] J. Zhang, *et al., Nat. Commun.* **8**, 13901 (2017).

[2] Akito Ayukawa, *et al., Appl. Phys. Express* **17** 065501 (2024).

© 2024年 応用物理学会

熱電応用に向けた $AgBa_2Si_3$ の成膜と第一原理計算によるドーパントの探索

Deposition of $AgBa_2Si_3$ films for thermoelectric applications and search for dopants by first-principles calculations

筑波大院 [1], 東ソー株式会社 [2], 関西大学 [3]
°梶原君円 [1], 石山隆光 [1], 都甲薫 [1],幸田陽一朗 [2], 召田雅実 [2], 本多周太 [3], 末益崇 [1]
Univ. of Tsukuba[1], Tosoh Corporation[2], Kansai Univ[3]
°K. Kajihara[1], T. Ishiyama[1], K. Toko[1], Y. Koda[2], M. Mesuda[2], S. Honda[3], and T. Suemasu[1]
E-mail: s2320265@u.tsukuba.ac.jp

【はじめに】 IoT 用センサーの普及に向けて、熱電材料を薄膜合成した独立電源の開発が期待されている。しかし、Bi_2Te_3など主流の熱電材料には毒性の強い元素が含まれている。よって、環境負荷の小さい熱電材料の探求が行われている。環境調和型材料である$AgBa_2Si_3$は組成比に応じた伝導型変調が報告されており、50 ℃において p 型伝導を示したバルク試料はゼーベック係数 S = 398 μV K^{-1}、無次元性能指数 ZT ＝ 0.52[1]という、他材料[2-5]と比較して突出した性能が報告されている（Fig. 1）。しかし、$AgBa_2Si_3$の薄膜作製例は未だない。また、熱電発電デバイスは不純物ドーピングにより伝導型変調可能であることが望まれる。我々はこれまで B や P がドーパント元素として振る舞うことを見出してきたが、更に適したドーパントが存在する可能性は十分にある。よって、本研究では $AgBa_2Si_3$ の薄膜作製と第一原理計算を用いて、本材料の新たな元素添加による伝導型制御を検討した。

【試料作製と計算方法】 分子線エピタキシー法を用いて Ag, Ba, Si の三元素堆積を行い、試作サンプルを作製した。第一原理計算には Vienna Ab initio Simulation Package (VASP)を採用し、$AgBa_2Si_3$ 単位胞対して計算を行った。ポテンシャル計算には混成汎関数 Heyd-Scuseria-Ernzerhof (HSE06) 型を採用した。

【結果・考察】 Fig.2 は構造最適化を行った $AgBa_2Si_3$ の単位胞を c 軸方向からの見た構造である。Si は六員環を形成し、すべての Si/Ag はハニカム構造上に配列することが判る。すなわち、六員環構造を有する Si(111)基板上に三元堆積を行うことでエピタキシャル成長が可能であると考えられる。当日は試作サンプルの XRD や電気特性も含めて議論する。Fig.3(a)は Al を Si サイトへ単位胞あたり一つ置換した DOS である。価電子帯上端 E_V とフェルミ準位 E_F の差は 0.076 eV となり Al 添加により p 型伝導を示し得る結果を得た。Fig.3(b)は Si サイトに As を添加した DOS である。E_F と伝導帯下端 E_C の差は 0.156 eV となり、n 型伝導を示す結果を得た。特に E_F の振れ幅より、n 型伝導の可能性は高いと考えられる。

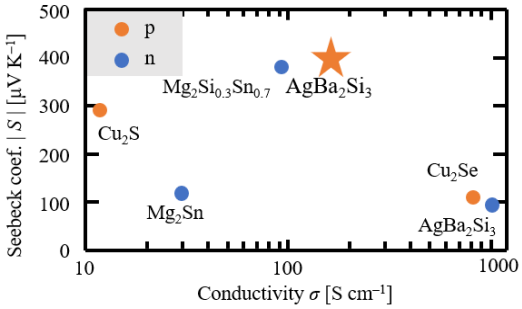


Fig.1 Positioning of $AgBa_2Si_3$ in environmentally friendly materials.

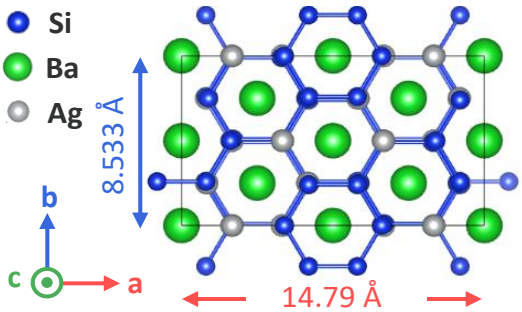


Fig.2 Structure of the unit cell of $AgBa_2Si_3$ from the c-axis direction.

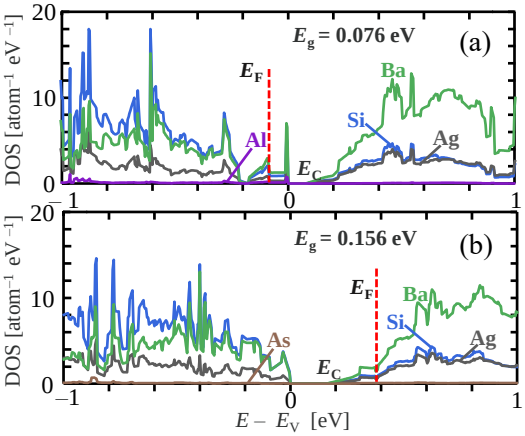


Fig.3 Atomically resolved DOS with one impurity per unit cell at the Si site (a) doped with Al (b) doped with As

[1] Y. Koda *et al.,* TOSOH Res. Technol. Rev **65**, 63-67 (2021).
[2] Y. He *et al.*, Advanced Materials **26**, 3974 (2014).
[3] Z. Zhou *et al.*, Nat Commun **14**, 2410 (2023).
[4] W. Saito *et al.*, Sci Rep **10**, 2020 (2020).
[5] G. K. Goyal *et al.*, ACS AEM **2**, 2129 (2019).

© 2024年 応用物理学会

Synthesis of Na-Cu-Ge ternary clathrates in film form

Tun Naing Aye[1], Koji Yasuoka[2], Rahul Kumar[3], Himanshu S. Jha[2], Fumitaka Ohashi[2], Tetsuji Kume[2]

[1]Intl. Joint Dept. of Integrated Mechanical Eng., Gifu university

[2]Dept. of EEC Eng., Fac. of Eng., Gifu University, 1-1 Yanagido, Gifu 501-1193, Japan

[3]Department of Electrical and Computer Eng., National Institute of Technology, Gifu College, 501-0495

***Email*: a3922001@edu.gifu-u.ac.jp**

Clathrate materials have been attractive due to their rich properties and potential for the device application in thermoelectric and semiconductor products. The crystal structures are formed by atomic cages based on group IV elements such as Si and Ge. Each cage can accommodate guest metallic atom (M), such as alkali or alkaline earth elements which act as the donor. Therefore, the properties of clathrates depend on the guest atoms and the dopants. Especially, type II clathrate M_xIV_{136} ($0 < x < 24$) and type I clathrate M_8IV_{46} are well-know because of their properties among the clathrates.[1,2] In this paper, we report films of Na-Cu-Ge ternary clathrates in which Cu atoms are partially substituted for Ge, prepared by using our unique technique.[3,4].

The starting materials were Cu-Ge films prepared on sapphire substrates by using RF co-sputtering method with different Cu/(Cu+Ge) compositions (0 ~ 24%). The clathrate films Na-Cu-Ge were synthesized by using the pVEAS apparatus which is recently developed method in our laboratory and enables to make thermal annealing immediately after the Na evaporation under high vacuum. We placed the starting materials (Cu-Ge films) inside the pVEAS chamber, then deposited Na by vacuum evaporation, and finally annealed them at about 200~230°C by IR lamp for different duration (18 ~ 38 hr). The samples were characterized by XRD, Rietveld analyses, SEM-EDX, Raman, and optical transmission measurements.

According to EDX measurements, the atomic compositions [Cu/(Cu+Ge)] of samples were 0% (Cu-00), 5% (Cu-05) and 24% (Cu-24). Figure 1 shows the XRD patterns of the prepared samples. We can identify the XRD peaks assigned as type I or II clathrate, and Cu_3Ge. For samples Cu-00 and Cu-05, type II clathrate peaks only were observed. Therefore, Cu atoms are highly suggested to be substituted for Ge in the type II clathrate structure such as $Na_x(Cu_yGe_{1-y})_{136}$. On the other hand, for sample C-24, type I clathrate peaks were observed together with strong Cu_3Ge peaks, but no type II peak. Ternary type I clathrate such as $Na_8Cu_zGe_{46-z}$ is considered to be synthesized in film form. The synthesis of single phase of type I and investigations for physical properties are in progress in our laboratory.

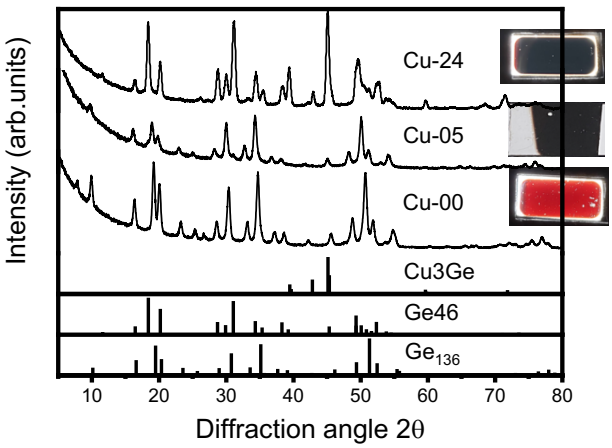


Fig.1 the XRD patterns of Na-Cu-Ge ternary clathrates.

Acknowledgement

This research was funded by the Japan Society of the Promotion of Science (grant numbers JP20K03820 and JP21H01365, 23K20952).

References

[1]. A. Dopilka., et al. ACS Appl. Mater. Interfaces, 10, 37981 (2018).

[2] M. Beekman and G. S. Nolas, J. Mater. Chem. **18**, 842 (2008).

[3] R. Kumar, Y. Hazama, F. Ohashi, H. S. Jha, and T. Kume, Thin Solid Films **734**, 138859 (2021).

[4] Tun Naing Aye *et al.,* Jpn. J. Appl. Phys. 62 SD1018 (2023).

© 2024年 応用物理学会

メカノケミカル効果を活用した近接蒸着法による $CaSi_2$ 薄膜の作製

Mechanochemically assisted close-spaced evaporation of $CaSi_2$ films

山梨大クリスタル研 [1], ○高垣 僚太 [1], 有元 圭介 [1], 山中 淳二 [1], 原 康祐 [1]

Univ. of Yamanashi.[1], ○R. Takagaki[1], K. Arimoto[1], J. Yamanaka[1], K. O. Hara[1]

E-mail: g23tz010@yamanashi.ac.jp

【はじめに】$CaSi_2$ は Si 原子から構成される二次元物質シリセンと Ca 原子が層状に積み重なった構造を有し、層状半導体シリカンの前駆体として利用できる。$CaSi_2$ 薄膜の主流な成膜法は MBE 法であるが、低い基板温度では $CaSi_2$ に CaSi が混在し、高い基板温度では Ca が再蒸発するため狭い温度範囲でしか成膜できない。一方、近接蒸着法は Ca 蒸気を閉じ込めることにより再蒸発抑制が可能なため、広い温度、時間範囲で $CaSi_2$ を成膜できる [1]。しかし、Ca の再蒸発が平坦性悪化を引き起こす課題がある。これは、成膜温度を下げることで再蒸発をさらに抑制すれば解決する可能性がある。$BaSi_2$ の近接蒸着では原料にメカノケミカル処理を行うことで成膜温度を 300 ˚C 低下できた [2]。そこで、本研究ではメカノケミカル効果を活用し近接蒸着法による $CaSi_2$ 薄膜作製の成膜温度の低減が可能であるかを明らかにすることを目的として研究を進めた。

【実験方法】Si ウェハ上に $CaAl_4$+Ni 混合粉末原料を敷き、Ta スペーサーを介して原料の 5 mm 上に Si(111)基板を設置した。原料は予め、メカノケミカル処理として、振動式ボールミリングにより 50 Hz で 60 秒間混合した。そして真空排気（10^{-2} Pa 以下）し 750–800 ˚C で 20 分ランプ加熱することで成膜した。得られた薄膜を X 線回折(XRD)で測定した。

【結果と考察】Fig.1 にボールミリング原料を用いた近接蒸着法により 750–800 ˚C で成膜した試料の XRD パターンを示した。775、800 ˚C の 2 つの試料では 6R 構造の $CaSi_2$ の 006, 0012, 0018 反射が確認されたことから(0001)配向した $CaSi_2$(6R)が生成したと考えられる。一方、750 ˚C の試料では(0001)配向した $CaSi_2$(6R)に加え、CaSi が生成したと考えられる。CaSi が混在した原因として Si 基板に蒸着した Ca 原子が十分に拡散しなかった可能性がある。乳鉢で混合した原料を用いた場合、$CaSi_2$ 単相成膜に 800 ˚C では 30 分必要だったのに対し[1]、本研究ではより低温(775 ˚C)、より短時間(20 分)で $CaSi_2$(6R)の成膜に成功した。この成膜温度低下は、メカノケミカル処理による原料の機械的活性化のためであると考えられる。

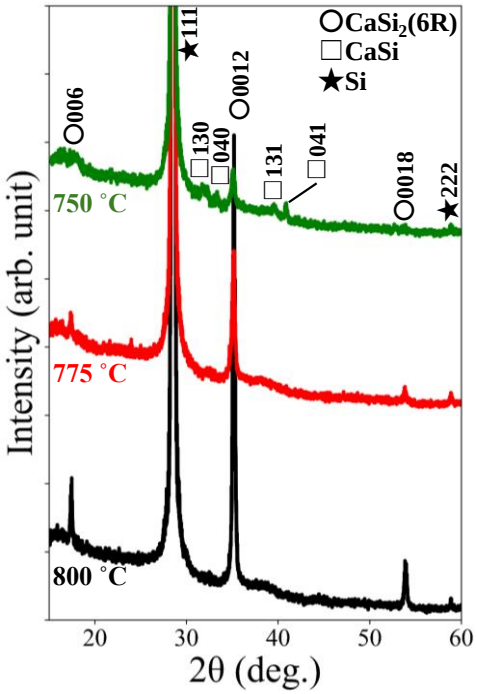


Fig.1 XRD patterns of the films fabricated by close-spaced evaporation.

【参考文献】

[1] 高垣ら、第 70 回応用物理学会春季学術講演会、東京、2023 年 3 月. [2] Kosuke O. Hara, et al., *Mater. Adv.* **2**, 6713-6721 (2021).

$InGaO_3(ZnO)_n$ 大型単結晶のアニール処理による電気伝導度の変化

Annealing effect of the conducting behavior of the bulk single crystals of $InGaO_3(ZnO)_n$

東理大先進工, ○加瀬 直樹, 井上 禎人, 漆間 由都, 田中 啓太, 河村 優介, 宮川 宣明

Tokyo Univ. of Sci. ,°Naoki Kase, Tadahito Inoue, Yuto Uruma, Keita Tanaka, Yusuke Kawamura, Nobuaki Miyakawa

E-mail: n-kase@rs.tus.ac.jp

$InGaO_3(ZnO)_n$ (以下 IGZO-1n と表記)で表される透明酸化物半導体は、高い透明度・電子移動度・極低なリーク電流などの特性から様々な電子デバイスへの応用化が期待されており, 液晶ディスプレイなどに利用される薄膜トランジスタ(TFT)に採用されている。しかし, これらの基礎物性については, Zn の蒸気圧が高いことなどから大型単結晶育成が困難であるため, バルク物性が測定ができずに未解明の部分が残されていた。このような背景のもと、我々の研究グループでは 9 気圧下における Optical Floating Zone (OFZ)法によって $InGaO_3(ZnO)_n$ (n = 1, 2, 3)の大型単結晶の育成に成功した[1-3]。我々はこの単結晶を用いてバルク試料の電気伝導特性を明らかにしてきた。特に電気伝導度の異方性は In, Ga, Zn ブロック層が与える電気伝導への寄与を推測できるため, IGZO の物性解明に大きな役割を果たすと考えている。As-grown 試料では *c* 軸方向の In-In 間の距離によらない電気伝導異方性の値が見られたが、より低キャリア側ではその距離に従う振る舞いが予想できた。本研究では, アニール処理を施した大型単結晶を用いてより低いキャリア帯における $InGaO_3(ZnO)_n$ (n = 1, 2, 3)の伝導異方性を明らかにすることを目的として研究を行った。

As-grown 試料では IGZO-12 は電気伝導異方性σ_{ab}/σ_c ~ 10 程度と最も小さな値を示すが, 酸素アニール処理した試料(n ~ 10^{-18} cm^{-3})では IGZO-11 よりも高い伝導異方性が観測された。IGZO-13 の伝導異方性は as-grown 試料では 150 ほどであるが、アニール処理した試料(n ~ 10^{-18} cm^{-3})では 500 程度となり、この値は絶縁層を有する $La_{2-x}Sr_xCuO_4$ などと比較すると小さいが、n が増えるにつれて上昇する振る舞いが見られた。そのため 10^{-19} cm^{-3} よりも小さなキャリア密度帯では, In-In 間の距離に依存した伝導異方性が観測された。As-grown 試料の異方性の違いは、n の違いによって酸素欠損サイトの違いが生じている可能性などが挙げられる。

また酸素アニールに対する電気伝導率の応答は IGZO-11 とそれ以外では明確に異なった。IGZO-11 では 1000 ℃-24 時間でのアニール処理による室温での値は 600 S/cm から 80 S/cm 程度の減少を示した。それに対し, IGZO-13 では 200 S/cm から 0.2 S/cm と大きく変化し, その温度依存性にも明確な熱活性型の温度依存性が見られた。また IGZO-13 では複雑なギャップ構造に反映されると考えられる 2 段の依存性が観測され, それぞれ 10 meV 程度の励起が見られた。当日は酸素欠損の補償を目的とした酸素アニールだけでなく、還元処理を期待した高真空アニールの結果についても報告する。

[1] Y. Tanaka *et al*, Cryst Eng Comm, **21** 2985-2993 (2019). [2] N. Kase *et al*., Cryst Eng Comm, **24** 4481-4495 (2022). [3] N. Kase *et al*., Submitted in AIP publishing.

$(InGaO_3)_m(ZnO)_n$ 単結晶への Sn 置換効果

Sn substitution effect on $(InGaO_3)_m(ZnO)_n$ single crystals

東理大先進工, ○(M2) 小海 稜太郎, 井上 禎人, 漆間 由都, 加瀬 直樹, 宮川 宣明

Tokyo Univ. of Sci , Ryotaro Kokai, Tadahito Inoue, Yuto Uruma, Naoki Kase, Nobuaki Miyakawa

E-mail: 8423521@ed.tus.ac.jp

【序論】$(InGaO_3)_m(ZnO)_n$ と表記される物質、通称 IGZO は In-O 層と(Ga, Zn) -O 層が積層したホモロガス構造をもつ透明導電性酸化物として知られており、にディスプレイやタッチパネルに応用される薄膜トランジスタの材料として注目されている。最近では Sn を含んだ a-IGZO において高い移動度が報告されているが、結晶性 IGZO の場合においては報告されていない。[1]

Sn を含んだ IGZO 単結晶として、Sn^{4+} と Zn^{2+} による In^{3+} サイトの置換を行った $[In_{1-2x}Sn_xZn_x]GaO_3(ZnO)_m$ という物質が報告されている。しかしこの単結晶は μm オーダーの結晶であるため物性の報告はない。[2, 3]。本研究では加圧式 Optical Floating Zone (OFZ)法による $[In_{1-2x}Sn_xZn_x]GaO_3(ZnO)_m$ (x = 0.15, 0.2, m = 1) および $In[Ga_{1-2x}Sn_xZn_x]O_3(ZnO)_m$ の大型バルク単結晶の育成、並びにバルク物性の測定を試みた。

【実験】SnO_2, In_2O_3, Ga_2O_3, ZnO を原料として多結晶ロッドを作製し、空気中 9 気圧下で Optical Floating Zone (OFZ)法を用いて単結晶育成を行った。その後、電気抵抗測定、ホール測定を行い、キャリア数及び電子移動度の算出を行った。また、光学測定にて透過率からバンドギャップの算出を行った。

【結果及び考察】In サイトの置換を試みた単結晶に関しては、原料の揮発を考慮し原料比を SnO_2: In_2O_3: Ga_2O_3: ZnO = 0.6: 0.6: 1: 1.95, とすることで $[In_{0.6}Sn_{0.2}Zn_{0.2}]GaO_3(ZnO)$ の大型単結晶の育成に成功した。Ga サイトへの置換を試みた単結晶では原料比を SnO_2: In_2O_3: Ga_2O_3: ZnO = 0.5: 1: 0.7: 1.85 とし、結晶の育成を行った。XRD 解析を行ったところ、Sn^{4+}/Zn^{2+} の In サイトの置換では a 軸長の格子定数が小さくなり、先行研究で作られた μm オーダーの単結晶と比較しても矛盾のない結果となった。一方で Ga サイトへの置換ではその値が大きくなり、Sn が In サイトのみならず Ga サイトにも置換可能であることを明らかにした。(図 1) 当日は育成した単結晶を用いたホール効果測定などの結果についても発表し、Sn^{4+}, Zn^{2+} の置換が IGZO の電気輸送特性に与える影響について考察する予定である。

【参考文献】[1]Jixuan Wu *et al*., *TRANSACTIONS ON ELECTRON DEVICES,* VOL. **68**, NO. 12, DECEMBER 2021 [2] S. Eichhorn *et al*., *Solid State Chemistry* **233** (2016) 75-81. [3] S. Eichhorn *et al*. *Solid State Chemistry* **246** (2017) 214-220

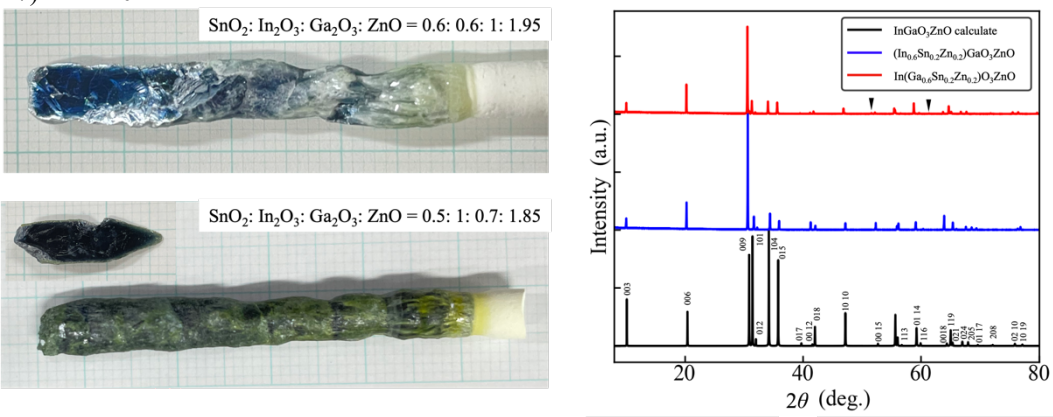


図 1(左)OFZ 法で育成した Sn 置換 IGZO の結晶棒, (右)結晶を粉末状にした際の XRD。記号は不純物。

Mg_2Si 単結晶成長に及ぼす坩堝形状の影響

Effect of crucible shape on Mg_2Si single crystal growth

名大院工 [1], 茨大院理工 [2]
○朝倉 康太 [1], 劉 鑫 [1], 鵜殿 治彦 [2], 宇佐美 徳隆 [1]
Graduate School of Eng., Nagoya Univ.[1], Graduate School of Sci. and Eng., Ibaraki Univ.[2]
○Kota Asakura[1], Xin Liu[1], Haruhiko Udono[2], Noritaka Usami[1]
E-mail: asakura.kota.h4@s.mail.nagoya-u.ac.jp

【背景】 Mg_2Si は構成元素の地殻埋蔵量が豊富であり、無毒という特徴をもつ。そのため安価で無害な半導体として多結晶では熱電発電デバイス、単結晶では赤外線センサへの利用が考えられている。Mg_2Si は低靭性であるため融液成長においてクラックが容易に発生する。最近、底が平らな坩堝により赤外線センサ用の 2 インチ単結晶成長が報告された[1]。坩堝下部を円錐形にすることで、先端で生成する単一の結晶核から成長できるため、単結晶成長の再現性を高めることが期待される。高品質単結晶の実現には、単結晶品質に大きく関わる界面形状の制御と応力低減が重要である。結晶成長シミュレーションでは、実験では不可能である応力や固液界面の観察が可能である。本研究では、結晶成長シミュレーションを用いて結晶成長に及ぼす坩堝形状の影響の解明を試みた。

【実験方法】 Mg_2Si 単結晶成長に用いる垂直ブリッジマン炉を結晶成長解析ソフト CGSim（STR 社）により二次元軸対称回転体として再現し、溶融・成長段階の非定常計算を行った。ヒーター温度、坩堝降下速度は、既存の条件を用いた。

坩堝形状の影響を比較するために懸垂線の式を用いて結晶肩部の高さが 5, 10, 15, 20, 25 mm となるような坩堝形状を作成した。各坩堝を用いた時の成長段階におけるフォンミーゼス応力と固液界面形状推移を評価した。応力については、破壊靭性値などからクラック発生の基準値を 1.4 MPa とした。固液界面形状は、坩堝壁での核生成を抑制するには、代表的な指標である中心での曲率が、僅かに凸形状（曲率が負）であることが望ましい。

【結果と考察】 Fig.1(a)に異なる形状坩堝を用いた時の固液界面中心の高さが 5 から 25 mm における曲率変化を示す。肩部の長い坩堝では肩部成長での曲率が増加しやすいことが分かる。肩部が長い坩堝では炉内側面の高温域からの熱供給が減少、炉内下部の低温域に曝される面積が増加しており、輻射により坩堝壁が冷却されやすいと考えられる。

Fig.1(b)-(d)は異なる坩堝を用いた時のフォンミーゼス応力分布である。Fig.1(b)-(d)の坩堝肩部付近において基準を超える応力が発生し、特に肩部の短い坩堝ほど半径方向の温度差が拡大するため、高い応力が広く分布している。以上の結果より肩部の長い坩堝では坩堝先端からの局所的な抜熱の抑制だけでなく、肩部からの熱拡散抑制の必要性が示唆された。そこで、肩部高さ 25 mm の坩堝において、坩堝先端へ断熱層を導入し、さらに肩部周囲の熱伝導率を低下させるようにモデルを修正した。この Improved case についてシミュレーションを行った。Fig.1(e)より結晶下部において基準値を超える応力は見られなかった。また、Fig.1(a)より肩部成長での固液界面は急激な曲率の変化がなく、凸形状に保たれていることが分かる。

【謝辞】 本研究は、本研究は JSPS 科研費 JP23H01440 の助成を受けたものです。

【参考文献】 [1] Y. Kimura *et al.*, presented at the 24th IUMRS-International Conference in Asia, December 11-16, 2023

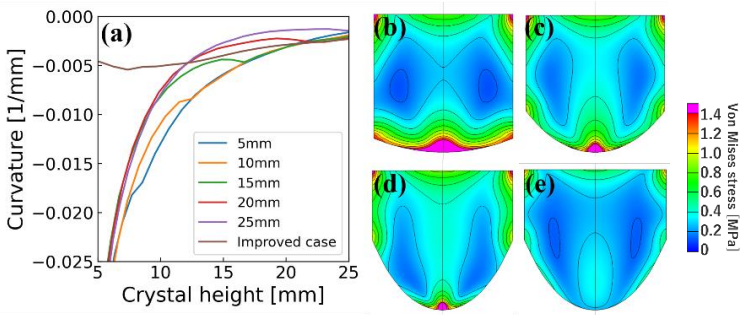


Fig. 1 (a) Curvature of solid-liquid interface in crucibles with different shoulder heights and improved case. Von Mises stress distribution. Shoulder height (b) 5 mm, (c) 15 mm, (d) 25 mm, (e) Improved case.

不純物ドープした Mg_2Si 単結晶のラマン分光測定

Raman spectroscopic measurements of impurity-doped Mg_2Si single crystals

茨大院　○島野航輔，坂根駿也，鵜殿治彦

Ibaraki Univ.　○Kosuke Shimano, Shunya Sakane, Haruhiko Udono

E-mail: 24nm625l@vc.ibaraki.ac.jp

【はじめに】 Mg_2Si は逆蛍石型の結晶構造を持ち、バンドギャップエネルギーが約 0.6 eV の間接遷移型半導体であり、短波長赤外域の受光素子や熱電変換材料として期待される[1-3]。我々はこれまでにキャリア濃度が 10^{15} cm^{-3} 台の高純度 Mg_2Si 単結晶から、P, Sb, Bi などを添加した高不純物濃度の Mg_2Si 単結晶の成長に成功している[2,4]。ラマン分光測定は手軽に結晶格子の変形などを評価できる手法であるが、Mg_2Si 結晶についての報告はあまり多くない[5,6]。本研究では、P、Sb、Bi の不純物添加した Mg_2Si 単結晶のラマン分光測定をおこない、不純物添加に依存したピークシフトがみられたので報告する。

【実験方法】 Mg_2Si 結晶の成長は、石英管にるつぼを Ar 封入した垂直ブリッジマン（VB）法または垂直温度勾配（VGF）法を用いた[2]。P, Sb, Bi 不純物は、成長原料の Mg と Si の仕込み組成 2:1 に対して 0～3.2at%の範囲で仕込んだ。成長結晶を切り出し、鏡面研磨を行ったのち、顕微ラマン分光測定装置（サーモフィッシャーDXR）を用いて励起レーザー波長 532nm でラマン分光測定を行った。得られたラマンスペクトルはローレンツ関数にてピークフィッテイングを行った。

【実験結果と考察】Fig.1 に P, Sb, Bi をそれぞれ添加した Mg_2Si 結晶と高純度 Mg_2Si 結晶の 250 cm^{-1} 付近のラマンスペクトルを示す。ここで、スペクトルの散乱強度は最大強度で規格化しており、P, Sb, Bi の割合は原料に対する mol 比での仕込み量を表している。不純物を添加した結晶では、無添加結晶と比較していずれもピーク位置(F_{2g}: 259 cm^{-1})が低波数側(256 – 258 cm^{-1})にシフトしていた。一方で、X 線回折測定から求めた格子定数は、Sb と Bi では増加し、P では減少するという結果を得ている[4]。$Mg_2Si_xSn_{1-x}$ のラマン分光測定では Sn 組成の増加（Si サイトの置換）に伴う低波数側へのピークシフトが報告されている[6]。これは Si サイトを置換して格子定数が増加する Sb と Bi 添加の場合と一致する。

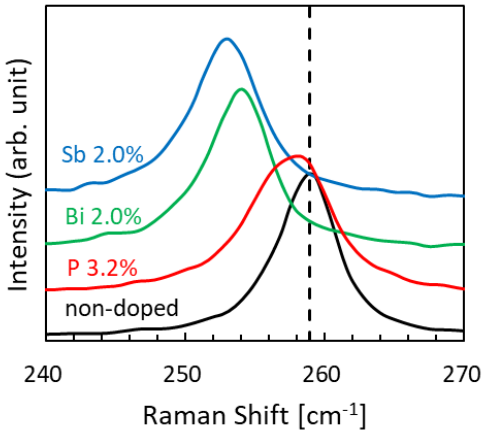


Fig1. Raman spectra of impurity-doped Mg_2Si

【謝辞】本研究の一部は JSPS 科研費 （JP23H01440）の助成により行った.

【参考文献】 [1] H. Udono et al., J. Phys. Chem. Sol., **74**(2013)311. [2] H. Udono et al., Jpn. J. Appl. Phys., **54**(2015) 07JB06. [3] 鵜殿治彦，応用物理 **88**(2019) 797. [4] 宮後他, 2023 年春季応用物理学会, 15p-A403-6. [5] C.J. Buchenauer and M. Cardona, Phys. Rev. B **3**(1971)2504. [6] M. Yasseri et al., Phys.Stat.Sol. RRL, **14**(2020) 1900574.

© 2024年 応用物理学会

13 半導体 | 一般セッション(口頭講演)：13.3 絶縁膜技術

[19p-B1-1~16] 13.3 絶縁膜技術

[19p-B1-1]
[第56回講演奨励賞受賞記念講演] 深層学習型汎用原子間ポテンシャルによる炭素，窒素含有シリコン酸化膜の弾性特性と原子ネットワーク構造の探索
〇榊間 大輝[1]、小川 京悟[1]、宮崎 桜子[1]、泉 聡志[1] (1.東大工)

[19p-B1-2]
Si酸化における界面から酸化膜へのSi放出と欠陥準位
〇影島 博之[1]、秋山 亨[2]、白石 賢二[3] (1.島根大、2.三重大、3.名古屋大)

[19p-B1-3]
Si ウェーハ表面酸化モデル (i) α-Quartz -β-Cristobalite「混晶」モデル
〇神山 栄治[1,2]、末岡 浩治[2] (1.グローバルウェーハズ・ジャパン㈱、2.岡山県立大)

[19p-B1-4]
Siウェーハ表面酸化モデル (ii) 格子間 Si原子の 放出について
〇神山 栄治[1,2]、末岡 浩治[2] (1.グローバルウェーハズ・ジャパン㈱、2.岡山県立大)

[19p-B1-5]
電気容量解析を用いたSiO_2/Si構造に対する電磁波照射効果の検討
〇加藤 寛大[1]、郷矢 崇浩[1]、涌羅 奨平[1]、占部 継一郎[1]、江利口 浩二[1] (1.京大院工)

[19p-B1-6]
Higher-kに向けたHfO_2/ZrO_2/HfO_2超格子MOS構造のアニール指針
〇神岡 武文[1]、右田 真司[1]、松川 貴[1]、岡田 直也[1]、太田 裕之[1] (1.産総研)

[19p-B1-7]
分子動力学計算によるHfO_2/SiO_2界面ダイポール層の再現
〇(M2)平井 健太郎[1]、内藤 真慈[1]、渡邉 孝信[1] (1.早大理工)

[19p-B1-8]
高誘電率材料TiO2を用いたMOS構造に関する研究
〇内田 遥太[1]、岩崎 好孝[1]、上野 智雄[1] (1.農工大院工)

[19p-B1-9]
非加熱ALD法を用いたGe上へのゲートスタック低温形成
〇麻生 大聖[1]、鍬釣 一[1]、王 冬[2]、山本 圭介[2] (1.九大総理工学府、2.九大総理工研究院)

[19p-B1-10]
Ge上ゲートスタックの低温（210 ℃）形成と界面ダイポール解析
〇鍬釣 一[1]、麻生 大聖[1]、王 冬[2]、山本 圭介[2] (1.九大総理工学府、2.九大総理工研究院)

[19p-B1-11]
硫酸加水を用いたGe基板の低温酸化の検討
〇原田 星輝[1]、清水 玄[1]、岩崎 好孝[1]、上野 智雄[1] (1.農工大院工)

[19p-B1-12]

CVD法を用いたGeO_2/Ge構造の作製及び及び評価

〇鈴木 拓光[1]、石塚 啓太[1]、岩崎 好孝[1]、上野 智雄[1] (1.農工大院工)

[19p-B1-13]

Ge基盤の溶液酸化についての検証

〇清水 玄[1]、土屋 雄太[1]、原田 星輝[1]、並木 美太郎[1]、岩崎 好孝[1]、上野 智雄[1] (1.農工大院工)

[19p-B1-14]

GeO_2膜の結合状態と耐水性の相関についての検証

〇石塚 啓太[1]、鈴木 拓光[1]、岩崎 好孝[1]、上野 智雄[1] (1.農工大院工)

[19p-B1-15]

Cu-PMA法のアニール時間変化によるGeO_2/Ge界面特性の変化

〇菅野 航太[1]、岩崎 好孝[1]、上野 智雄[1]、並木 美太郎[1] (1.農工大院工)

[19p-B1-16]

N_2アニール処理を施したGeO_2膜の特性の評価

〇土屋 雄太[1]、岩崎 好孝[1]、上野 智雄[1] (1.農工大院工)

深層学習型汎用原子間ポテンシャルを用いた炭素，窒素含有シリコン酸化膜の弾性特性と原子ネットワーク構造の探索

Exploration of Elastic Properties and Atomistic Networks of C, N-Incorporated Silicon Oxide Films Using a Universal Neural Network Potential

東大工，　°榊間 大輝，小川 京悟，宮崎 桜子，泉 聡志

Univ. of Tokyo, °Hiroki Sakakima, Keigo Ogawa, Sakurako Miyazaki, Satoshi Izumi

E-mail: sakakima.hiroki@fml.t.u-tokyo.ac.jp

概要 半導体デバイスの機械的信頼性において，微細な構造への応力の蓄積，変形が課題となる．そのため，デバイスを構成する薄膜自体の強度向上が期待される．本研究では，層間絶縁膜として使用されるシリコン酸化膜について，炭素含有による材料強度向上に注目する．炭素含有シリコン酸化膜（a-SiOC）はセラミック用途において広く用いられる [1]が，a-SiOC の原子スケールでのネットワーク構造が機械的特性へ与える影響は明らかではない．これは，アモルファス構造の複雑性から，第一原理計算では計算負荷が，古典分子動力学法では精度が課題となるためである．本研究では，近年活用の進む深層学習型汎用原子間ポテンシャル PFP[2]を用いて両者の課題を克服し，組成の異なる a-SiOC の原子ネットワーク構造と機械特性の関係を探索的に明らかにした [3]．

解析手法および結果 構造探索の指標として，炭素原子 1 個が置き換える a-SiO_2 中の酸素原子の数を置換係数 s と定義した．$Si_{30}O_{60-sx}C_x$（s=0, 1, 2）で表される 3 条件について，C 原子数を変化させ組成を決定した．構造作成にはメルトクエンチ法を用いた．Fig. 1 に体積弾性率の C 含有割合（F_c）依存性を示す．F_c が増加するほど体積弾性率は上昇し，また同じ F_c でも C 原子が置換する O 原子の数が多いほど体積弾性率の上昇割合が大きくなることがわかった．Fig. 2 に体積弾性率の体積あたりの結合数への依存性を示す．SiO_2 中への C 添加による体積弾性率の上昇は，高密度な Si-C 結合が形成される事によって，a-SiOC の原子ネットワーク構造が緻密化することによるものであることがわかった．講演当日は，半導体分野でも一般的な a-SiON についての同様の検討の結果 [4]と併せ，元素の違いによる比較を含め議論する．

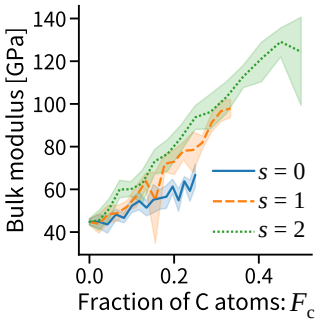


Fig.1 Dependence of the bulk modulus on F_c.

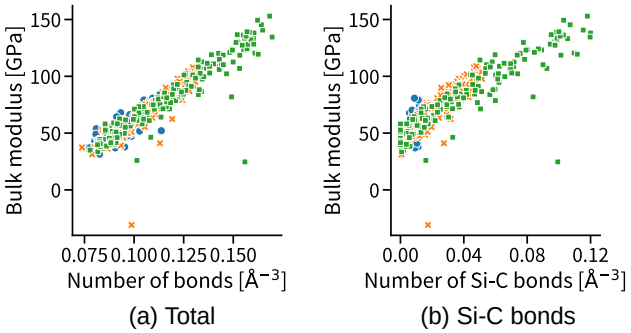


Fig. 2 Dependences of the bulk modulus on (a) total bond density, and (b) Si-C bond density.

謝辞 本研究は JSPS 科研費 JP23K13216 の助成を受けたものです．

1) Stabler et al., J. Am. Ceram. Soc. **101**, 4817 (2018).
2) Takamoto et al., Nat. Comm. **13**, 2991 (2022).
3) Sakakima et al., J. Appl. Phys. **135**, 085104 (2024).
4) 宮崎他，第 71 回応用物理学会春季学術講演会，24p-P12-1，2024 年 3 月

© 2024年 応用物理学会

Si 酸化における界面から酸化膜への Si 放出と欠陥準位

First-principles Study on Defect Levels Related to Silicon Emission from Interface into Oxide during Silicon Thermal Oxidation

島根大 [1]，三重大 [2]，名古屋大 [3]　°影島 博之 [1]，秋山 亨 [2]，白石 賢二 [3]
Shimane Univ.[1], Mie Univ.[2], Nagoya Univ.[3]
°Hiroyuki Kageshima[1], Toru Akiyama[2], Kenji Shiraishi[3]
E-mail: kageshima@riko.shimane-u.ac.jp

Si MOS 界面は、従来型の MOSFET に用いられているにとどまらず、次世代の Si 電子流体効果素子[1]や半導体量子コンピュータの Si 量子ビット[2]にも用いられており、その詳細理解はデバイス品質の一層の向上に不可欠である。我々は、MOS 界面を形成する Si 酸化過程において、界面から酸化膜中へ放出される Si 原子に注目[3]。これが格子間 SiO という構造を持って酸化膜中を酸化膜表面へ向けて拡散する経路を、原子のレベルで同定することに成功した[4,5]。

図 1 に拡散経路上の SiO が取る典型的な原子構造を示す。2 配位格子間 SiO と 4 配位格子間 SiO と呼ぶ構造である。ほとんどの放出 Si は酸化膜中を拡散し切ってしまったり、途中で酸化膜に吸収されて残留することはないと考えられるが、もしなんらかの理由で拡散中の SiO が残留してしまった場合、それは欠陥準位となる可能性がある。そこで今回我々は、これらが残留した時にどのような欠陥準位となるのか、第一原理計算によって検討を加えた。

研究には、第一原理計算プログラム PHASE/0 を用い、GGAPBE と平面波基底、擬ポテンシャルを採用した。検討には酸化膜部分だけ切り出したバルクモデルを用い、2 配位格子間 SiO、4 配位格子間 SiO、および O 空孔を検討対象とした。

図 2 に典型的な計算例を示す。α-quartz 中の O 空孔は、電子に対しても正孔に対しても負の U を持ち、2+、0、2–の状態が安定であることが知られているが[6]、我々の構造でもおおよその傾向は同様であった。つまり、格子間 SiO は O 空孔とは異なる原子構造を持っているものの、欠陥準位の観点からするとほぼ似たような性質を示す。

しかし、詳細を見ると、いくつか異なる特徴がある。一つ目は、2+から 0 に切り替わる電子化学ポテンシャルがよりバンドギャップ中央よりにシフトしていることである。二つ目は 0 と 2–の形成エネルギーが、ずっと不安定であることである。Si のバンドギャップは、酸化物の電子化学ポテンシャルのほぼ中央に位置することから、MOS デバイス動作の観点からすると深刻な影響を与える可能性がある。

本研究の一部は、東京大学物性研究所スーパーコンピュータセンター、および理化学研究所の富岳を利用した。また本研究の一部は科研費(22K18294)の支援を受けている。

[1] H. Firdaus, et al., Nature Commun. **9**, 4813 (2018).
[2] R. M. Jock, et al., Nature Commun. **13**, 641 (2022).
[3] H. Kageshima, et al., Jpn. J. Appl. Phys. **45**, 694 (2006).
[4] H. Kageshima, et al., Mater. Sci. Semicond. Proc. **162**, 107527 (2023).
[5] H. Kageshima, et al., Jpn. J. Appl. Phys. **61**, 04SP08 (2024).
[6] A. Oshiyama, Jpn. J. Appl. Phys. **37**, L232 (1998).

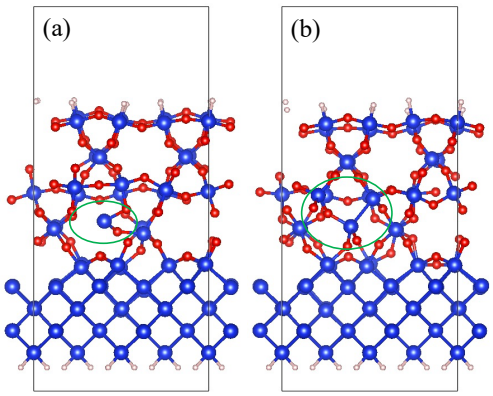


図 1. 放出経路上の典型的な原子構造。(a) 2 配位格子間 SiO、(b) 4 配位格子間 SiO。

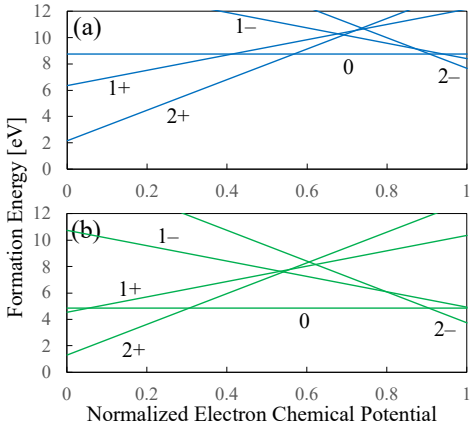


図 2. (a) 2 配位格子間 SiO (図 1 の(a)に対応) と (b) α-quartz 中の O 空孔、の帯電状態。

© 2024年 応用物理学会

Si ウェーハ表面酸化モデル (i) α-Quartz - β-Cristobalite「混晶」モデル

Surface oxidation model for Si wafers: (i) α-Quartz -β-Cristobalite mixed crystal model

[1] グローバルウェーハズ・ジャパン㈱, [2] 岡山県立大情報工 ○神山栄治 [1, 2], 末岡浩治 [2]
[1] GlobalWafers Japan Co., Ltd., [2] Okayama Pref. Univ., °E. Kamiyama[1, 2], K. Sueoka[2]
E-mail: ejkamiyama@aol.com

我々のグループでは，Si 結晶と既知の SiO_2 結晶の原子構造を比較・参照したうえで，Si 結晶の酸化に際し，格子間 Si の放出を伴わずに Si 結晶の構造を引き継いだ β-Cristobalite (C)と，格子間 Si 放出により生成する α-Quartz (Q)[1]の「混晶」モデルを提唱した[2].

この「混晶」モデルにおいて，両者の全率混合を表現する最も単純なものを図 1 に示す [2]．これらのモデルでは， Q と C の領域が Si ウェーハ表面において平面的に分布するものとしている．これらの SiO_2 が Si 結晶に挟まれたモデルを実際に作成し，第一原理計算を用いて構造緩和計算を行い，各モデル中の SiO_2 分子のエネルギーと分子体積を算出した．さらに箱庭法[3]を適用して，各モデルの存在割合を算出した（図 2）．また，それぞれのモデル中の Quartz 化率を存在割合に掛けて平均値を求めたものが図 3 である．熱平衡を仮定した計算であるが，図 2 のように低温に向けて，エネルギー的に最も安定な 4Q 状態に近づくものの，C の混合状態が一定量存在することが示された．また，図 3 に示す Quartz 化率も Si の融点付近で 80%近くまで低下するなど，格子間 Si を放出せずに，Si 原子の配列が Si 結晶に類似した β-Cristobalite 結晶も，実験的に無視できない一定量存在していることが予測された．本モデルでは，この一連の酸化反応の際に起こる格子間 Si の放出が，得られる SiO_2 膜の結晶構造を決定する．従って，格子間 Si の放出がランダムに起これば，得られる SiO_2 膜はアモルファスになると予想される．次講演では，この格子間 Si の放出のトリガーとなる機構について考察する．

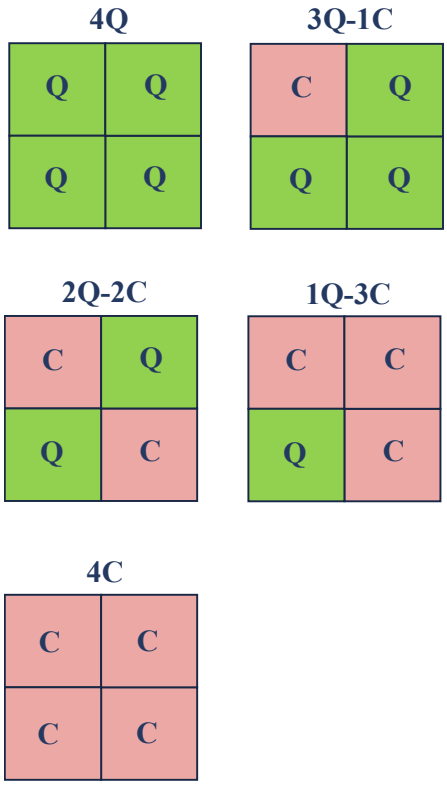


図 1 全率混合 Q-C「合金」モデル [2]

参考文献
[1] E. Kamiyama and K. Sueoka, *ECS J. Solid State Sci. Technol.* **9**, 024013 (2020). [2] E. Kamiyama and K. Sueoka, *J. Appl. Phys.* **134**, 115301 (2023). [3] E. Kamiyama、et. al., *MSSP*, **43**, 209 (2016).

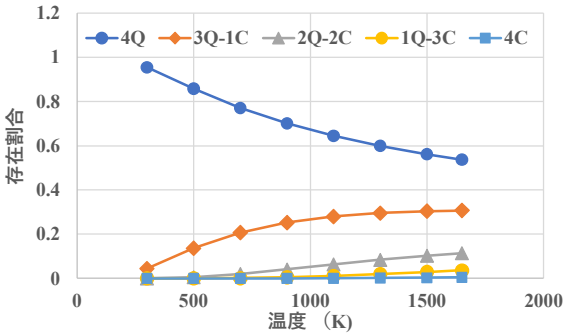


図 2 各混合モデルの存在割合の温度依存性 [2]

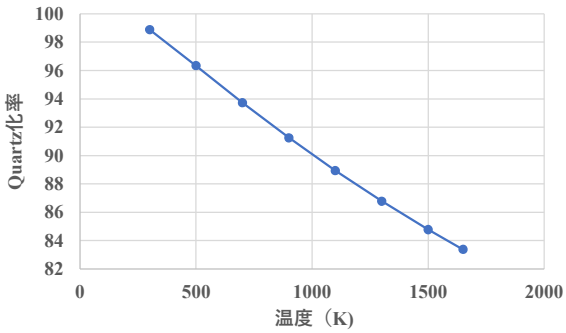


図 3 Quartz 化率の温度依存性 [2]

© 2024年 応用物理学会

Si ウェーハ表面酸化モデル (ii) 格子間 Si 原子の放出について

Surface oxidation model for Si wafers: (ii) Emission of interstitial Si atoms

[1]グローバルウェーハズ・ジャパン㈱，[2]岡山県立大情報工 ○神山栄治[1,2]，末岡浩治[2]
[1] GlobalWafers Japan Co., Ltd., [2] Okayama Pref. Univ., °E. Kamiyama[1,2], K. Sueoka[2]
E-mail: ejkamiyama@aol.com

前講演 [1]に引き続き，Si ウェーハの表面酸化モデルを考える．ここには，Si 結晶中における酸素原子の性質が関与する．すなわち，酸化処理などの熱処理後の降温時に過飽和となった酸素が，過飽和状態を解消するために形成する凝集形態として，800℃以上では正八面体又は板状の酸素析出物，それより低い温度帯では格子間酸素（Oi）が Si の(110)方向の結合中心サイトに 1 次元的に整列する基本構造を持つサーマルドナー（TD）が知られる．また，酸化によって一旦形成された Si/SiO_2 界面においても，後者の性質を持った異方的な Oi の整列状態が安定であることが計算により示されている [2].

以上の結果を受け，図 1 に示すような異方的 Oi の整列を表現可能な大きさの界面を持つ Quartz/Si 接合モデルを用い，複数 Oi の整列を調査した [3]. その結果，Quartz/Si 接合界面に Oi が 1 次元的に整列する傾向があり，さらに，1 次元的に整列し始めた界面付近の Si 原子に大きな歪が発生することが明らかとなった（図 2）．また，図 3 に示すように，その Si サイトに原子空孔が形成するエネルギーがバルク中のエネルギーよりも低下し，Oi が 3 個以上整列では負となることも判明した．このことは，SiO_2/Si 界面において，フレンケルペアが自発的に発生することと，ペアの原子空孔は界面に留まり，酸化に伴う体積膨張を吸収する一方，ペアの格子間 Si は界面から拡散して散逸する可能性を示唆する．なお，整列する Oi の起源として，表面酸化膜を通して拡散してくるものと，基板内部の溶存酸素が拡散して界面に到達するものの両者が存在する [4].

謝辞
モデル作成・計算実行・考察でご協力いただいた，岡山県立大学の永倉博士に感謝いたします．

参考文献

[1] 神山他 2024 年秋応物 前講演. [2] 神山他 2021 年秋応物 10p-N203-1; E. Kamiyama and K. Sueoka, *ECS J. Solid State Sci. Technol.* **9**, 054003 (2020). [3] 永倉他 2021 年秋応物 10p-N203-2, 3; H. Nagakura, E. Kamiyama and K. Sueoka, *ECS J. Solid State Sci. Technol.* **10** (2021) 123003. [4] E. Kamiyama and K. Sueoka, submitted to *AIP Adv.*

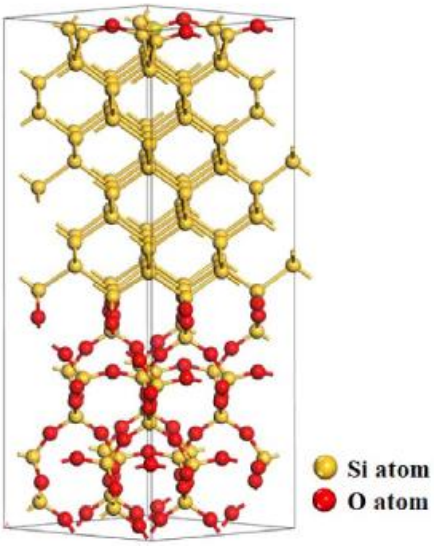


図 1.異方的表現可能な界面モデル

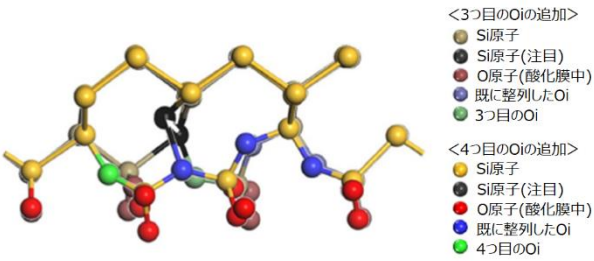


図 2. Oi の整列により生じた Si の歪 [3]

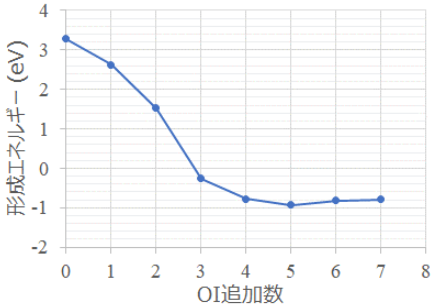


図 3. 原子空孔の形成 E の界面整列 Oi 個数依存性 [3]

© 2024年 応用物理学会

電気容量解析を用いた SiO_2/Si 構造に対する電磁波照射効果の検討

Radiation Effects on SiO_2/Si Systems Analyzed by Capacitance–Voltage Measurement

京大院工，°加藤 寛大，郷矢 崇浩，涌羅 奨平，占部 継一郎，江利口 浩二

Kyoto Univ., °Tomohiro Kato, Takahiro Goya, Shohei Yura, Keiichiro Urabe, Koji Eriguchi

E-mail: kato.tomohiro.24n@st.kyoto-u.ac.jp

【はじめに】半導体デバイス製造に広く用いられているプラズマプロセスでは，プラズマからのイオンや光照射により，被加工材料中に欠陥（プラズマ誘起欠陥：PID）が形成され，材料特性を変化させることが知られている[1]. プラズマからの光照射に着目すると，例えば，真空紫外光（波長 ~100 nm）照射による SiO_2 膜の帯電状態変化（光照射ダメージ：PRD）が報告されている[2]. 一方，PID 形成後の薄膜材料特性を，マイクロ波（波長 ~10 cm）照射により比較的低温で回復させる技術が注目されている[3]. このように，半導体デバイス製造時に被加工材料は光や電磁波に曝され，それぞれの照射効果を理解することは重要である．そこで本研究では，真空紫外光やマイクロ波（MW）を SiO_2/Si 構造に照射し，電磁波（光）照射効果を電気容量解析により考察する．

【実験】p 型 Si 基板上に熱酸化法で SiO_2 膜を約 110 nm 形成させたサンプルに対し，誘導結合型プラズマ（Ar, 2.7 Pa, 投入電力 130 W）によるプラズマ曝露を行った. サンプル上に誘電体窓（MgF_2 他）を設置し，曝露中のイオン照射を防ぎ，光照射（PRD）の影響を評価した（Fig. 1）．先行研究[2]で報告された電気容量–電圧（*C–V*）測定時のフラットバンド電圧の曝露時間依存性から，曝露時間を 1～60 分とした．次に，プラズマ曝露前（Ref.）および曝露（PRD）後のサンプルに対し MW 照射（5.8 GHz，基板温度約 500℃）を 15 分間施した．それぞれのサンプルに対して，水銀を電極とした金属–酸化膜–半導体（MOS）構造で *C–V* 測定（周波数 100 kHz）を暗箱中で行った．

【結果及び考察】Fig. 2 に MgF_2 を誘電体窓とした場合の *C–V* 特性の曝露時間依存性を示す．先行研究[2]と同様，フラットバンド電圧が負にシフトした後，初期値に戻る傾向（“Turnover”）が見られた．これは正に帯電した欠陥が形成（Fig. 4 (a)）された後，負に帯電した欠陥が形成されることを意味する．ここで，*C–V* 特性の空乏領域に着目すると，曝露時間 60 分のサンプルでは深い空乏状態が見られる. これは, より長いプラズマ曝露により SiO_2/Si 界面近傍に形成された欠陥（Fig. 4 (b)）の影響で，少数キャリアの湧き出しが制限されていることを表している．次に Fig. 3 に Ref. と曝露後の各サンプルの MW 照射前後の *C–V* 特性を示す. プラズマ曝露により負にシフトしたフラットバンド電圧が，MW 照射により初期値に近づいた．一方 MW 照射により深い空乏状態が現れている．つまり，MW 照射には SiO_2 中の固定電荷を減少させる効果に加え，光照射ダメージにより形成される SiO_2/Si 界面近傍の欠陥と同様の準位を形成する効果があることがわかった．

【おわりに】SiO_2/Si 構造に対する電磁波（光）照射効果を高周波電気容量解析により評価した．長時間の真空紫外光照射および MW 照射により, SiO_2/Si 界面近傍にキャリアの湧き出しに影響する準位が形成されることが示唆された．今後，電磁波（光）照射によるこれらの欠陥形成の本質的機構の解明が望まれる．本研究で得られた知見は，半導体デバイス製造工程における PRD 形成過程の理解や電磁波を活用した欠陥回復プロセスの設計に貢献すると期待される．

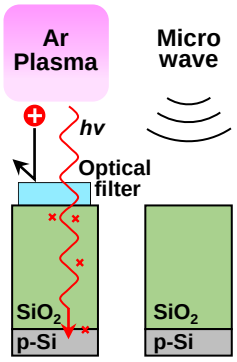


Fig. 1

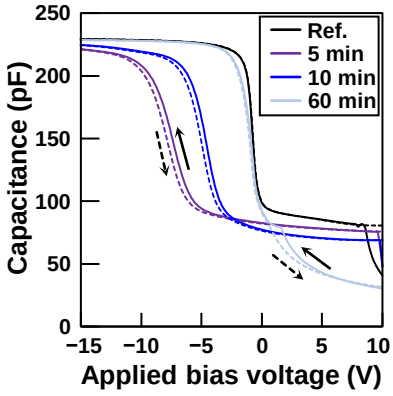


Fig. 2

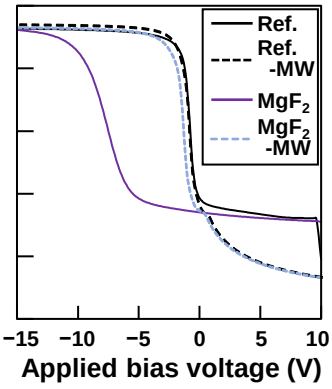


Fig. 3

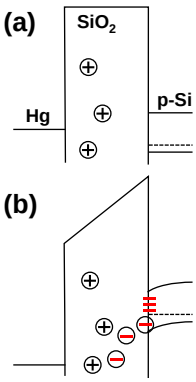


Fig. 4

Fig. 1 Schematics of VUV and MW exposures investigated in this study. Fig. 2 *C–V* characteristics of Ref. and VUV irradiated samples. Solid and dotted curves were measured from depletion and accumulation, respectively. Fig. 3 *C–V* characteristics (swept from depletion) of Ref. and VUV irradiated samples (5 min) before and after MW irradiation. Fig. 4 Energy band diagrams of Hg/SiO_2/p-Si system after (a) 5-min and (b) 60-min VUV irradiation.

参考文献 [1] K. Eriguchi, Jpn. J. Appl. Phys. **60**, 040101 (2021). [2] T. Kuyama *et al.*, Proc. Int. Symp. Dry Process, p. 31 (2021). [3] T. Iwai *et al.*, J. Vac. Sci. Technol. A **33**, 061403 (2015).

© 2024年 応用物理学会

Higher-k に向けた $HfO_2/ZrO_2/HfO_2$ 超格子 MOS 構造のアニール指針

Effects of post-deposition and post-metallization anneal on $HfO_2/ZrO_2/HfO_2$ super-lattice gate-stack

産総研 [1] ○神岡 武文 [1], 右田 真司 [1], 松川 貴 [1], 岡田 直也 [1], 太田 裕之 [1]

AIST [1], ○Takefumi Kamioka[1], Shinji Migita[1], Takashi Matsukawa[1], Naoya Okada[1], Hiroyuki Ohta[1]

E-mail: kamioka-take@aist.go.jp

【背景・目的】今後、さらなる EOT スケーリングが求められる中で、極薄 HfO_2 と ZrO_2 を交互に重ねた超格子膜が有力な higher-k 材料候補として近年注目を集めている。極薄界面 SiO_2 層を挟んだ $HfO_2/ZrO_2/HfO_2$（HZH）超格子膜を有する MOS 構造は、キャリア移動度劣化を引き起こすことなく、界面層があるにもかかわらず EOT < 1 nm が実証されている一方で、500℃以上のアニールで性能の劣化がみられ[1]、プロセスの熱履歴に敏感であることが示唆される。しかし、HZH の MOS 構造評価の報告例は未だ極めて少なく、物性とプロセスの関係の系統的な理解が求められている。そこで本研究では、HZH 超格子膜物性のアニールプロセス依存性を MOS 構造で調べた結果を報告する。

【実験方法・条件】今回は HZH 膜物性を界面層の影響と切り分けて議論できるよう、比較的厚めの SiO_2 層を用いた $HZH/SiO_2/Si$ 構造のキャパシタを作製した。p 型 Si(100)基板を用いて厚さ 4 nm の熱 SiO_2 膜を形成させたのち、ALD 法にて HZH 膜を堆積させた。HZH 層は $HfO_2/ZrO_2/HfO_2$ = 0.4/0.8/0.4 nm を 1 ユニットとして、ユニット数を変えて堆積させた。その後、N_2 雰囲気で 400℃あるいは 600℃にて 10 min アニールした（PDA）。上部 TiN ゲート電極および Al 電極膜を堆積後、すべての試料に対して H_2 雰囲気で 400℃、30 min アニールした（PMA）。作製した試料の C-V 測定を行い HZH 膜の誘電率を抽出した。

【結果・考察】典型的な C-V 特性として HZH×8 ユニットのアニール処理依存性を Fig. 1(a)に示す。容量値は PDA なし（PMA のみ）が最大となり、PDA 温度が高いほど小さくなった。容量値の HZH 膜厚依存性から得らえた HZH 膜の比誘電率とアニール処理条件の関係を Fig. 1(b)に示す。比誘電率は PMA のみで 42 であるが、PDA 400℃処理が入ると 27 に大幅に減少している。PMA は全試料に対して 400℃で処理されていることを考慮すると、PDA の有無による誘電率の減少には、単なる熱履歴の効果だけでなく、一因として HZH 膜に対するキャップ層の有無の効果が現れていると考えらえる。本結果から、HZH 超格子膜は 40 を超える高誘電率を PMA のみで得られることがわかった。

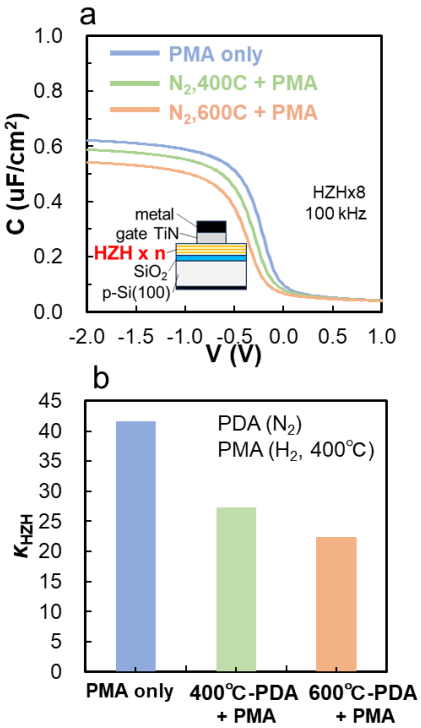


Fig. 1 (a) C-V curves for HZH-MOS capacitors, and (b) dielectric constant of HZH films, for different anneal processes, respectively.

【参考文献】S. S. Cheema et al., Nature **604**, 65 (2022).

分子動力学計算による HfO_2/SiO_2 界面ダイポール層の再現

Dipole Layer Formation at HfO_2/SiO_2 Interface Simulated by Molecular Dynamics

早大理工　°平井 健太郎　内藤 真慈　渡邉 孝信

°K. Hirai, M. Naito, T. Watanabe (Waseda Univ.)

E-mail: kenc71389@akane.waseda.jp

【はじめに】よく知られているように、High-k 絶縁膜と Si 基板との間に形成される SiO_2 層との界面では、High-k ゲートスタックのフラットバンドシフトを引き起こす電気的ダイポール層が生じる [1]。ダイポール層の起源には諸説あるが、異種酸化物間の O 原子の面密度差を緩和するように O イオンが移動することで界面ダイポールが生じるとする、いわゆる酸素密度差緩和モデル[2]が、様々な High-k 材料に適用できるモデルとして注目されてきた。志村ら[3]は、Al_2O_3、MgO、SrO の 3 種類の High-k 材料と SiO_2 の界面の分子動力学（MD）計算を実施し、単純な 2 体イオン相互作用モデルによって界面ダイポールの再現に成功した。この MD 計算では、正負両方向のダイポール層の起源は O イオンの移動だけでなく、High-k、SiO_2 双方のカチオンの移動も重要であることが示された。

しかし、現在主要な High-k 材料である HfO_2 の界面ダイポールも同様に MD 計算で再現可能かどうかは未検証のままであった。それは、志村らが MD 計算に採用した Born - Mayer-Huggins (BMH) 型ポテンシャル[4-6]で、Hf イオンを表現する公開パラメータが存在しなかったためである。

本研究では、HfO_2/SiO_2 系に適用可能な BMH ポテンシャルを用意し、HfO_2/SiO_2 界面の MD 計算を行った。その結果、期待通り O イオンの移動によって界面ダイポール層が形成される様子が再現された。

【計算方法】MD 計算に用いた HfO_2/SiO_2 界面モデルを Fig.1 に示す。結晶を高温で強制的に融解して用意した *a*-HfO_2、*a*-SiO_2 を積層して 3 次元周期的境界条件を適用し、1000K の定温常圧 MD、300K への冷却、300K の定温常圧 MD の 3 段階を経て界面構造を緩和させた。原子間ポテンシャルには、Trinastic らが開発した Hf,Si,O 系用 Morse-BKS ポテンシャル[7]に、BMH ポテンシャルをフィッティングさせたものを用いた。

【計算結果】Fig.2 に界面の法線方向(z 軸)に沿った電荷密度の分布を示す。SiO_2 側から HfO_2 側に向く界面分極が明瞭に確認される。これはフラットバンド電圧 V_{FB} を正にシフトさせる方向であり、実験事実[8]と一致する。

イオン種毎のダイポール層形成への寄与を明らかにするため、各イオンの Charge Migration Moment（CMM）[3] を計算した結果を表 1 に示す。CMM は、各イオン種における界面への侵入量のモーメントを電荷で重み付けした量である。表 1 より、HfO_2 側の O イオン(O_{Hf})の CMM が最も大きく、界面ダイポールの主成分が HfO_2 側から SiO_2 側に移動する O イオンによるものであることがわかる。本シミュレーションでは、*a*-HfO_2、*a*-SiO_2 の O イオン密度はそれぞれ、5.8×10^{22} cm^{-3}、4.6×10^{22} cm^{-3}であり、O 原子の面密度差を緩和する方向と一致する。HfO_2/SiO_2 界面の MD 計算でも、酸素密度差緩和モデルと一致する結果が得られることが本研究で明らかとなった。

【謝辞】本研究はおよび科研費・基盤研究(B)(23K22800)の助成を受けて実施した。

【参考文献】[1] Kar S, ed. High Permitt. Gate Dielectr. Mater. Vol. 43. Heidelberg: Springer; 2013. [2] Kita K, Toriumi A. Appl. Phys. Lett. 2009;94(13). [3] Shimura K, et al. Jpn. J. Appl. Phys. 2016;55(4S):04EB03. [4] Fumi FG, Tosi MP. J. Phys. Chem. Solids. 1964;25(1):31-43. [5] Tosi MP, Fumi FG. J. Phys. Chem. Solids. 1964;25(1):45-52. [6] Matsui M. Phys. Chem. Miner. 1996;23(6):345-353. [7] Trinastic JP, et al. J. Chem. Phys. 2013;139(15). [8] Kamimuta Y, et al. 2007 IEEE Int. Electron Devices Meet. IEEE; 2007.

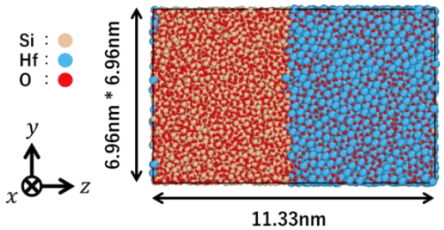


Fig. 1 HfO_2/SiO_2 interface structure.

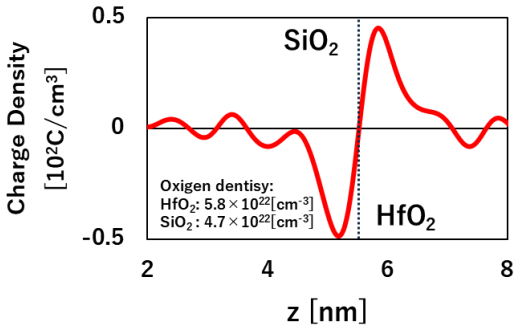


Fig. 2 Charge density profile across the HfO_2/SiO_2 interface.

Table. 1 CMM for each species of the HfO_2/SiO_2 interface.

Oxide	Species	CMM [(C/cm^3)・nm]
SiO_2	Si^+	31.9
	O_{Si}^-	-36.9
HfO_2	Hf^+	-45.0
	O_{Hf}^-	55.6

高誘電率材料 TiO_2 を用いた MOS 構造に関する研究

Research on MOS structure using high dielectric constant materials TiO_2

東京農工大学大学院　○内田遥太、岩崎好孝、上野智雄
Tokyo univ. of Agri & Tech. ○Yota Uchida, Yoshitaka Iwazaki, Tomo Ueno
E-mail：s245401y@st.go.tuat.ac.jp

1. 研究背景

これまで LSI の性能向上は、主にトランジスタの微細化によって達成されてきた。しかし、微細化の限界が近づくにつれ、ゲートリーク電流の増大や短チャネル効果などの問題が顕在化し、微細化のみに頼った性能向上が困難になりつつある。

このような背景のもと、微細化に頼らない高性能化の手法として高移動度(High-μ)材料と高誘電率(High-k)材料を用いることが検討されている。High-μ 材料を用いることでより高速なスイッチング動作を期待でき、High-k 材料を用いることで絶縁膜厚を維持しながら容量値を増大させることが期待できる。

本研究では High-μ 材料としては Si よりもキャリア移動度の高い Ge を用いる。一方、High-k 材料としては誘電率が 60~80 と大きな値を持つ TiO_2 を用いる。しかし、TiO_2 はバンドギャップが 3.2[eV]と小さく、また、TiO_2 のコンダクションバンドと Ge のそれとのバンドオフセットが非常に小さいため直接接合するだけでは絶縁膜としての機能を十分に果たせないと考えられる。そのため、本研究では High-k 材料の積層構造を提案し、TiO_2 とバンドギャップが大きい Al_2O_3 を用い、$Al_2O_3/TiO_2/Ge$ 構造を作製することで絶縁膜としての機能を果たしつつ、高誘電率を維持することを目標としている。我々はこの積層構造に対して N_2 アニールを行うことで良好な界面特性が得られることを確認している。しかし、先述したように TiO_2 と Ge のコンダクションバンドのバンドオフセットが小さいためキャリアがどこに蓄積しているのかという疑問が生じた。

そこで $Al_2O_3/TiO_2/Ge$ 構造におけるキャリア蓄積サイトの検証を行うために以下の実験を行った。

2. 実験方法

Table.1 に実験手順を示す。n-Ge 基板を洗浄後、反応性スパッタを用いて $Al_2O_3/TiO_2/Ge$ 構造を作成した。このとき、TiO_2 の堆積時間を 120 [s]、100[s]、80[s]、60[s]の 4 パターン用意した。その後、300℃で 30 分間 N_2 アニールを行った。

Table.1　Experimental procedure

Sample number	1	2	3	4
洗浄	アセトン、HF洗浄			
TiO_2堆積	反応性スパッタ (Ar流量 50[sccm] O_2流量 50[sccm] DCターゲット電力 50[W])			
	120[sec](~6[nm])	100[sec](~5[nm])	80[sec](~4[nm])	60[sec](~3[nm])
Al_2O_3 堆積	反応性スパッタ (~10[nm]) (Ar流量 30[sccm] O_2流量50[sccm] DCターゲット電力 50[W] 時間 60[sec])			
N_2 アニール(温度、時間)	300[℃],30[min]			

3. 実験結果・考察

各サンプルの C-V 測定結果を Fig.1～Fig.4 に示す。図中の四角い枠の中の数値は測定周波数が 1000 [kHz]のときの蓄積容量値[μF/cm²]を表している。Fig.1～Fig.4 から Al_2O_3 膜厚を固定したまま TiO_2 膜厚のみを変化させると膜厚の減少に従って蓄積容量値が増加していることが分かる。この結果から電荷が TiO_2 の伝導帯中に入り込み Al_2O_3/TiO_2 の界面に蓄積しているのではなく、TiO_2/Ge 界面に蓄積していることが分かった。また、TiO_2 を薄膜化していった場合でも界面特性を悪化させることはなく良好な特性が得られることが分かった。

これらの結果から N_2 アニールを行うことで Al_2O_3 と TiO_2 のミキシングが生じているのではないかと考える。この 2 材料のミキシングが生じた結果として TiO_2 のバンドギャップに広がりが生じ、TiO_2 と Ge のコンダクションバンドのバンドオフセットも拡大し、TiO_2/Ge 界面に電荷が蓄積することができるようになったのではないかと結論付ける。

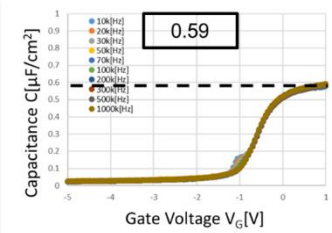


Fig.1　sample1

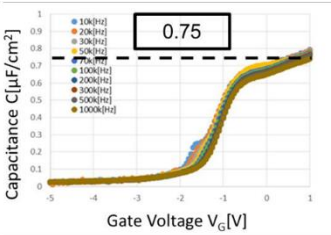


Fig.2　sample2

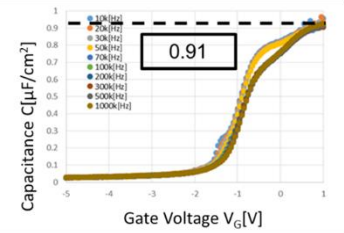


Fig.3　sample3

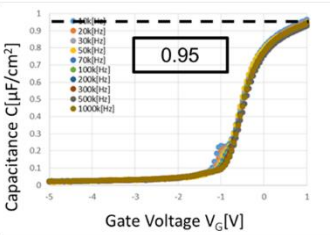


Fig.4　sample4

4．今後の展望

今回の実験結果から N_2 アニールによって Al_2O_3 と TiO_2 にミキシングが起こっていることが示唆された。今後は Al_2O_3 を薄くしていくことで容量値をさらに増加させること、成膜順を入れ替えた $TiO_2/Al_2O_3/Ge$ 構造でサンプルを作成することを中心に実験を行っていきたい。

© 2024年 応用物理学会

非加熱 ALD 法を用いた Ge 上へのゲートスタック低温形成

Fabrication of Germanium Gate Stack at Low Temperature using Nonheated Atomic Layer Deposition

九州大学大学院総合理工学府 [1]/研究院 [2] ○麻生 大聖 [1]、鍬釣 一 [1]、王 冬 [2]、山本 圭介 [2]
IGSES [1]/FES [2], Kyushu Univ.: ○Taisei Aso[1], Hajime Kuwazuru[1], Dong Wang[2], Keisuke Yamamoto[2]
E-mail: aso.taisei.564@s.kyushu-u.ac.jp

1. はじめに Ge および GeSn は、高いキャリア移動度、近中赤外域に対応するバンドギャップ、強磁性金属の高品質エピタキシーなどが可能、等の特徴を有するため、広範な応用が期待されている。デバイス応用に向けては、Sn 析出や強磁性金属/Ge 界面での原子相互拡散等を防ぐために、低温のデバイスプロセス (<200 °C) が必要であり、当グループでは高品質絶縁膜の低温形成に取り組んでいる[1]。原子層堆積法(ALD)は絶縁膜形成に広く応用・研究されているが、一般的な ALD 温度は約 300-400 °C であり、上記のデバイス応用には適さない。一方で、ポリマーへのコーティング膜等への応用を目的とした非加熱あるいは室温(RT)ALD も研究されているが[2]、電子デバイスへの応用を前提とした包括的な研究は少ない。以上の背景の下、本研究では Ge(Sn)デバイスへの応用を前提として、非加熱 ALD 法による Al_2O_3 ベースの Ge 上低温ゲートスタック作製を検討した。

2. 試料作製 ALD には前駆体としてトリメチルアルミニウム (TMA, $Al(CH_3)_3$)、酸化剤として H_2O を使用した。p 型 Ge (100) 基板の HF 洗浄および純水リンス後に、基板加熱を行わない非加熱 ALD にて Al_2O_3 を成膜した。このとき、Al_2O_3 の下地膜として電子サイクロトロン共鳴 (ECR)プラズマ酸化による GeO_2 層(3 nm)を有する試料も用意し、下地膜の有無による Al_2O_3 表面様態の違いを AFM によって観察した。この結果を踏まえ、下地 GeO_2 膜を有し、Al_2O_3 を 100 サイクル堆積させたゲート絶縁膜を有する MOS キャパシタ (MOSCAP) を作製した。Al_2O_3 成膜後の PDA は 100-250 °C で 30 min 行い、電極はメタルマスクでパターニングした Al (200 nm) を用いた。

3. 結果と考察 Fig. 1 に非加熱 ALD（GeO_2 下地膜なし）の Growth per Cycle(GPC)グラフ（膜厚－サイクル数）を示す。グラフが線形近似できることおよびその傾き（0.098 nm/cycle）が一般的な ALD の GPC とほぼ同じであることから、Al_2O_3 は Ge 上で非加熱であっても ALD 成長していると言える。Fig. 2 に下地 GeO_2 層(a)なし(b)ありそれぞれの場合の Al_2O_3 表面の AFM 像を示す。下地 GeO_2 層を挿入することで Al_2O_3 表面のくぼみの発生を防ぐことができた。これは GeO_2 層挿入により、ALD における表面反応性が改善されたためと考えられる。Fig. 3 に PDA 温度 100 °C で作製した $Al/Al_2O_3/GeO_2/Ge$ 構造の MOSCAP の *C-V* 特性(1 MHz)を示す。非加熱 ALD および PDA 温度 100 °C という超低温プロセスにも関わらず、典型的な *C-V* 特性が得られた。本非加熱 ALD 法は、Ge(Sn)デバイス応用に向けた低温絶縁膜形成プロセスとして有力な候補であると考えている。

謝辞: 本研究は、JSPS 科研費 (No. 24K07576, 24H00034)、NEDO (P14004)、JST-CREST (JPMJCR21C2)、および東北大学 RIEC の共同研究プロジェクト (No. R06/A06) の支援の下行われた。

参考文献: [1] H. Kuwazuru *et al.*, Mat .Sci. Semicond. Process. 178 (2024) 108427.
[2] 廣瀬, 応用物理 86 (2017) 796.

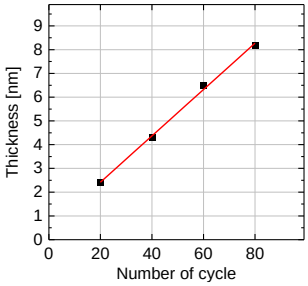


Fig. 1 GPC of nonheated ALD Al_2O_3 on p-Ge (100).

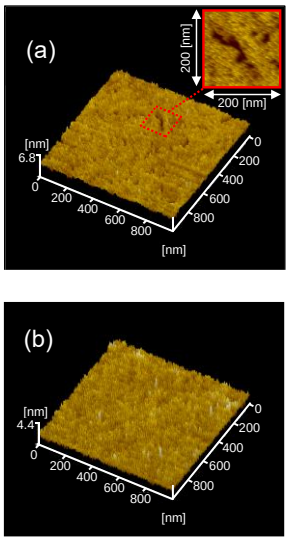


Fig. 2 AFM images of nonheated ALD of Al_2O_3 at 60 cycles (a) without and (b) with GeO_2 plasma oxidation layer.

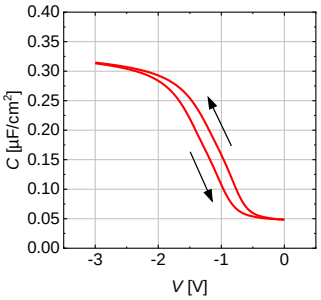


Fig. 3 *C-V* characteristics (1 MHz) of fabricated p-Ge MOSCAP by non-heated ALD and PDA at 100 °C.

© 2024年 応用物理学会

Ge 上ゲートスタックの低温（210 °C）形成と界面ダイポール解析

Low temperature (210 °C) fabrication of Ge gate stack and its interfacial dipole analysis

九州大学大学院総合理工学府/研究院，°鍬釣 一，麻生 大聖，王 冬，山本 圭介

IGSES, Kyushu Univ., °Hajime Kuwazuru, Taisei Aso, Dong Wang, Keisuke Yamamoto

E-mail: kuwazuru.hajime.876@s.kyushu-u.ac.jp

1. はじめに　Ge は、高いキャリア移動度、低温で結晶成長可能、強磁性金属のエピタキシャル成長が可能、といった特徴を有することから三次元集積回路や Ge スピン MOSFET 等の次世代電子デバイスのチャネル材料候補として期待されている。しかし、Ge の優れた物性を最大限引き出した上でこれらのデバイスを実現するためには低温のデバイス化プロセスが必須となる。特に Ge スピン MOSFET においては、250 °C 以上の熱処理により強磁性電極/Ge 接合の界面状態が悪化することでスピン注入/検出効率が著しく劣化することが判明している[1]。そこで今回、スピン MOSFET への応用を視野に、Ge ゲートスタックの低温（< 250 °C）形成を検討した。

2. 試料作製　強磁性金属のエピタキシャル成長面である(111)面 p-, n-Ge 基板上に試料を作製した。基板の化学洗浄後、絶縁膜として SiO_2/GeO_2（20/3 nm）構造を ECR プラズマプロセスにて形成し、PDA 処理（210, 450 °C-30 min）を施した。0.5% HF を用いた時間差エッチングにて SiO_2 膜厚に勾配を形成した後、Al ゲート電極を真空蒸着およびウェットエッチングにより形成し MOS キャパシタ（CAP）を作製した。MOSCAP の *C-V* 特性からヒステリシス（*HT*）、フラットバンド電圧（V_{FB}）および等価容量換算膜厚（*CET*）を算出し、各 *CET* における V_{FB} から固定電荷密度（Q_{fix}）を算出した。また、P ドープ n^+領域を S/D とし、上記構造をゲート絶縁膜とした n-MOSFET も作製した。

3. 結果　Fig. 1 に作製した MOSCAP の *C-V* 特性を示す。PDA 温度 210 °C の低温においても 450 °C と比較して遜色のない良好な *C-V* 曲線が得られた。一方で、V_{FB} が PDA 温度の低下に伴い正方向にシフトしていることが確認された。V_{FB} シフトの原因解明のため、異なる *CET* における V_{FB} を調査した。Q_{fix} がゲート絶縁膜/半導体界面近傍に局在する場合、V_{FB} は式（1）で与えられるため、V_{FB} は *CET* に対して線形的に変化する。従って、V_{FB}-*CET* plot の傾きから Q_{fix} を算出することができる。Fig. 2 に V_{FB}-*CET* plot および Q_{fix} の算出結果を示す（p-MOSCAP のみ記載）。p-, n-MOSCAP ともに Q_{fix}（グラフの傾き）に対する PDA 温度の影響は小さいことが分かる。すなわち、V_{FB} シフトの主要因は界面ダイポール（δ_{dipole}）にあることが示唆された。δ_{dipole} の発生要因として、異種絶縁膜界面での酸素原子面密度差に起因する酸素原子の移動が挙げられる[2]。そこで、XPS により GeO_2 層の化学結合状態を調査した結果（Fig. 3）、PDA 温度の上昇に伴い GeO_2 に起因するピークが減少し GeO_X に起因するピークが増大していることが判明した。これは、高温の PDA では $GeO_2 \rightarrow SiO_2$ の酸素原子の移動が生じて、V_{FB} を負方向にシフトさせるダイポールが生じている可能性を示しており、*C-V* 特性の結果と一致する。従って、PDA 温度の低下に伴う V_{FB} の正方向シフトの原因は δ_{dipole} の変調であり、PDA 温度の低下によって GeO_2 のサブオキサイド化が減少し δ_{dipole} が弱まるためと考えられる。

$$V_{FB} = (\Phi_M - \Phi_{Ge}) - \frac{Q_{fix}}{\varepsilon_{SiO_2}\varepsilon_0} CET + \delta_{dipole} \qquad (1)$$

最後に、210 °C のゲートスタックプロセスにて Ge n-MOSFET を作製した結果（Fig. 4）、典型的なトランジスタの出力特性が得られ、本低温ゲートプロセスによるデバイス応用が可能であることが実証された。講演では、界面欠陥評価結果についても報告する。

謝辞 本研究は科研費 (No. 24K07576, 24H00034)、NEDO (P14004)、JST-CREST (JPMJCR21C2)、および RIEC 共同プロジェクト (No. R06/A06)の支援を受けた。

参考文献 [1] B. Achinuq et al., Phys. Rev. B 98 (2018) 2276. [2] K. Kita et al., Appl. Phys. Lett. 94 (2009) 132902.

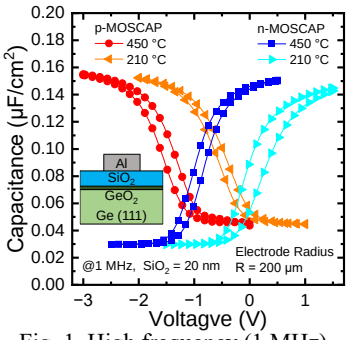


Fig. 1. High frequency (1 MHz) *C-V* characteristics of Ge p- and n-MOSCAPs.

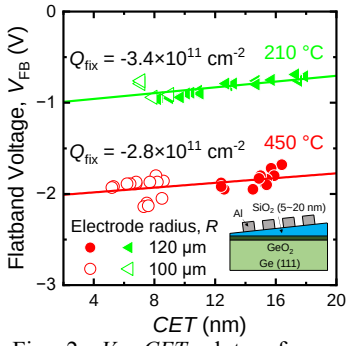


Fig. 2. V_{FB}-*CET* plots of p-MOSCAPs for Q_{fix} estimation.

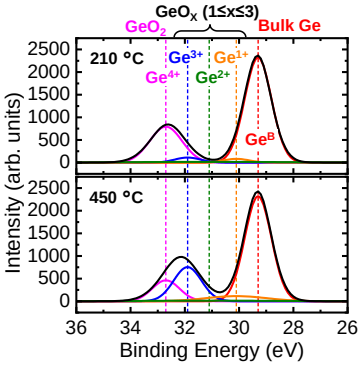


Fig. 3. Ge 3d XPS spectra for SiO_2/GeO_2/Ge stacks.

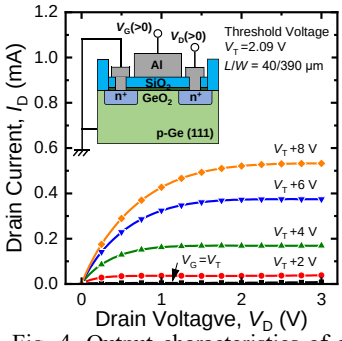


Fig. 4. Output characteristics of a n-MOSFET fabricated at 210 °C.

© 2024年 応用物理学会

硫酸加水を用いた Ge 基板の低温酸化の検討

Investigation of low-temperature oxidation of Ge substrates using sulfuric acid additive

東京農工大学大学院 [1]　○原田星輝 [1]，清水玄 [1]，岩崎好孝 [1]，上野智雄 [1]
Tokyo univ. of Agri. & Tech.[1] ○Hoshiki Harata[1], Gen Shimizu[1], Yoshitaka Iwazaki[1], Tomo Ueno[1]
E-mail: s249041u@st.go.tuat.ac.jp

1. 研究背景

現在，MOSFET のチャネル材料として主に Si が用いられ，ゲート絶縁膜には SiO_2 が用いられている．Si-MOSFET の研究は盛んに行われおり，微細化による高性能は限界を迎えつつある．さらに素子サイズの大きさは原子レベルに到達しており，微細化に頼らない高性能化が可能なチャネル材料が必要である．そこで Si に代わって新たなチャネル材料として注目されているのが Ge である．Ge は Si と比べると電子正孔移動度が大きいといった特徴があり，チャネル長を減少させずに，素子動作の高速化が期待できる．

しかし，Ge の場合では，Ge の酸化物である GeO_2 成膜の際，熱酸化で高温の酸素に晒すと，その熱的不安定性から良好な特性を示す絶縁膜が成膜できないといった問題がある．解決法として，本研究では，比較的低温による酸化手法である化学溶液酸化法を用いた．この手法は，約 70～100℃で Ge 基板を化学溶液内に投入し，酸化を行うものであるため，低温での酸化が可能であり，良好な特性を示す絶縁膜が成膜できる可能性が期待できる．また，GeO_2 は水溶性を有するため，化学溶液として水を含まないものを選択する必要がある．

先行研究では，化学溶液として硫酸加水(硫酸＋過酸化水素)を用いて，硫酸加水内に Ge 基板の酸化を行った結果，MOS 構造の C-V 特性が確認されている．しかし，酸化温度，溶液の混合比率による詳細な酸化レートは解明されていない．本研究では，異なる温度で溶液酸化を行い，作成したサンプルの電気的特性の評価および表面分析を行った．

2. 実験方法

実験条件を Table 1 に示す．p-Ge 基板を Table 1 に示すような 3 種類の条件で GeO_2 膜の成膜を行った．

Table 1 Experimental conditions

条件	条件①	条件②	条件③
使用基板	p-Ge(100)		
洗浄	アセトン，エタノール，フッ酸		
初期溶液	硫酸加水(硫酸＋過酸化水素＋水)		
酸化溶液	硫酸加水(硫酸＋過酸化水素)		
溶液温度	130℃		
酸化時間	5min	10min	15min

初めに，p-Ge(100)基板をアセトンおよびエタノールを用いて，5 分間超音波洗浄を行った．その後，フッ酸洗浄を 10 分間行った．

次に，ビーカーに硫酸，過酸化水素，2 : 1 の割合で混合した水を含んだ溶液を作成し，オイルバス内に入れ，Fig.1 のように溶液を昇温させた．

その際，水が完全に蒸発したことを確認するため，昇温の飽和と再昇温を確認した．溶液の温度を 80℃，70℃にそれぞれ降温させ，温度を一定に保ち，Ge 基板を溶液内に投入し，GeO_2 の成膜を行った．成膜時間は 5,10 分とした．その後，真空蒸着法で Al を蒸着し，MOS 構造の作成を行った．

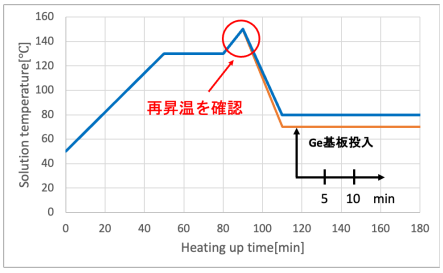
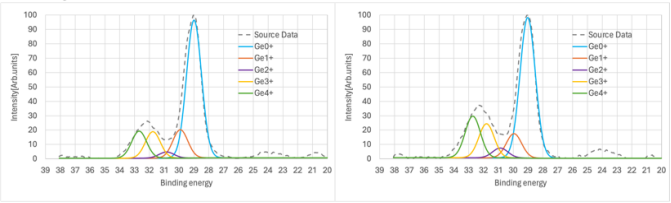


Fig.1 Process of raising the temperature of the solution

3. 実験結果・考察

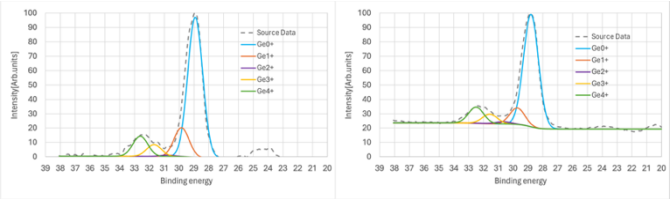
酸化温度 80℃で作成したサンプルの XPS 測定結果を Fig. 2 に示す．



(a) 5min　　(b) 10min

Fig. 2 XPS measurement results (80℃)

Fig. 2 の XPS 測定の結果から酸化時間 5min，10min の膜厚を計算すると，それぞれ 0.94nm，1.26nm となった．次に，酸化温度 70℃で作成したサンプルの XPS 測定結果を Fig. 3 に示す．



(a) 5min　　(b) 10min

Fig. 3 XPS measurement results (70℃)

Fig. 3 の XPS 測定の結果から酸化時間 5min，10min の膜厚を計算すると，それぞれ 0.60nm，1.21nm となった．酸化温度に関わらず，すべてのサンプルにおいて，数 nm 程の非常に薄い膜が成膜されていることが分かった．また，異なる酸化温度での膜質を比較すると 70℃のサンプルの方が Ge4+の割合が多いことが目に取れ，これらと電気的特性の相関について当日，考察を行う予定である．

4. まとめ・今後の展望

本研究では，異なる温度で溶液酸化を行い，作成したサンプルの電気的特性の評価および表面分析を行った．測定結果から酸化温度が高い方が，酸化およびエッチング効果が大きいことがわかった．酸化温度を 60℃，90℃と変化させた際の酸化レート，エッチング効果の検証を行っていきたい．

© 2024年 応用物理学会

CVD 法を用いた GeO_2/Ge 構造の作製及び評価

Preparation and evaluation of GeO_2/Ge structure using CVD method.

農工大院工、○鈴木拓光、石塚啓太、岩崎好孝、上野智雄
Tokyo Univ. of Agri. & Tech. Takumi Suzuki, Keita Ishizuka, Yoshitaka Iwazaki, Tomo Ueno
Email: s241343r@st.go.tuat.ac.jp

1. 研究背景

Ge-MOS は Ge 自体が有する高い電子移動度から、次世代半導体デバイス材料の有力候補と注目されている。そしてその酸化物である GeO_2 は絶縁膜及び High-k/Ge 構造の界面層として期待される一方、GeO_2 の成膜手法として広く用いられる熱酸化法では、FinFET, GAA 等の立体チャネルに応用する際、均一に成膜できない等の問題が挙げられる。

そこで、本研究では GeO_2 作製手法として段差被覆性がよく、均一に成膜できる Chemical Vapor deposition (CVD)法を採用し、良質な GeO_2/Ge 構造の作製と評価を行った。

本稿では、CVD 法を用いて作製した GeO_2/Ge 構造の成膜温度における耐水性比較とアニール処理の効果について述べる。

2. 実験方法

p-Ge(100)基盤にアセトン及びエタノールを用いた超音波洗浄を行い、その後フッ酸による自然酸化膜の除去を行った。基盤洗浄後、tetra-ethyl-germanium(TEGe)と O_2 を供給する CVD 法で GeO_2 膜を成膜した。成膜条件は以下 **Table.1** に示す。

Table.1 CVD Film forming conditions

条件項目	成膜圧力 [Torr]	O_2流量 [sccm]	キャリアガス流量 [sccm]
数値	8	65	10

上記 CVD 成膜条件にて、500℃10min, 400℃45min の両者で GeO_2 膜を成膜し、純水リンス 1min を施した。純水前後での GeO 脱離ピークを TDS にて測定し、成膜温度における耐水性を評価した。

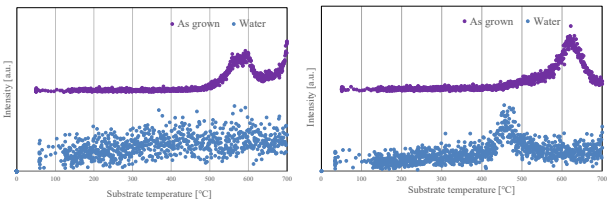
また、500℃5min で成膜した GeO_2 膜に対して、300℃10min の N_2 及び O_2 アニールを施し、Al 電極を真空蒸着後、J-V 測定による絶縁性評価を行った。

3. 実験結果・考察

純水リンス前後の TDS 測定結果を **Fig.1** に示す。また、N_2 及び O_2 アニールを施したサンプルの J-V 測定結果を **Fig.2** に示す。

Fig.1 より、500℃10min で成膜したサンプル 1 では、純水リンス後に GeO_2 膜から発生する GeO 脱離を表すピークが確認できず、400℃45min で成膜したサンプル 2 では純水リンス後にも脱離を示すピークが存在する。低温で成膜したサンプルでは GeO_2 膜が純水によってエッチングされずに残留しているため、低温で成膜することで Ge-O 間の結合を弱体化させ GeO_2 膜の耐水性獲得が可能であると考えられる。しかし、Ge-O 間の結合を不完全になると、膜中の欠陥に電流がリークする可能性があると推察される。そこで我々は、絶縁性の高い 500℃堆積の GeO_2 膜に耐水性の高い 400℃堆積の膜でキャップを施す手法を提案してきており、これらの効果が実証されてきている。

積層構造において、絶縁性を担保している 500℃堆積の GeO_2 膜自体の更なる絶縁性向上のため、N_2 及び O_2 アニール処理を行った。**Fig.2** より、アニール処理によってリーク電流が抑制されている事が確認できる。これは、成膜時にできた結合が再度組み直され、膜がより強固になったことに起因すると考えられる。



Sample 1 [500℃10min] **Sample 2 [400℃45min]**

Fig.1 TDS measurement

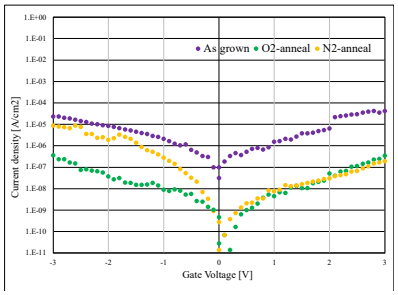


Fig.2 J-V measurement

4. 今後の展望

今回の実験結果より、GeO_2 膜に N_2 及び O_2 アニール処理を施すことでリーク電流が抑制できることが示唆された。今後は、異なる成膜温度でキャップを施したサンプルに対しての影響を調査すると共に、界面欠陥に与える影響について検討を行う予定である。

【謝辞】
本研究の一部、CVD 原料及び供給法に関して、気相成長株式会社の町田氏、石川氏、須藤氏の協力を得た。

Ge 基盤の溶液酸化についての検証

Study of solution oxidation of Ge substrate

東京農工大学大学院 [1] ○清水玄 [1]，土屋雄太 [1]，原田星輝 [1]，並木美太郎[1]，岩崎好孝 [1]，上野智雄 [1]
Tokyo univ. of Agri & Tech. [1] Gen Shimizu[1], Yuta Tsuchiya[1], Hoshiki Harata[1], Yoshitaka Iwazaki[1], Tomo Ueno[1]
E-Mail : s236569z@st.go.tuat.ac.jp

1. 研究背景

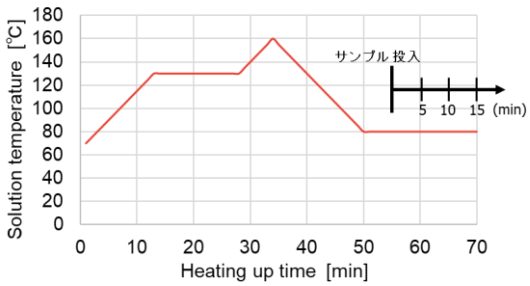
近年，半導体素子単位での製造コスト低下を目的とした半導体ウェハの大口径化が進行している．しかし，現在の主流な絶縁膜製膜手法である熱酸化法および CVD 法では，大口径化に伴いウェハの均熱化が難しく，酸化膜厚の均一性に欠けることが危惧される．酸化膜厚が不均一になることで，MOS デバイスの容量の変動，トランジスタのしきい値電圧のばらつきが生じ，素子特性の劣化につながってしまう．その対策として，我々は気体に比べ熱容量の大きい液体を用いた化学溶液酸化法の研究を行っている．

先行研究により，硫酸加水による SiO_2膜の成膜では，水の蒸発後の溶液により成膜した酸化膜が良好な電気特性を有するという結果が確認されている．本研究では水蒸発後により良好な SiO_2膜が形成される点に着目し，水溶性のある GeO_2膜成膜が可能であることを見出したため，それを報告する．

2. 実験方法

p-Ge(100)基盤に以下の **Table. 1** のような条件で成膜を行い、電気的特性を評価した．硫酸過水の昇温過程を **Fig. 1** に示す．溶液の混合比は H_2O：H_2SO_4：H_2O_2＝1：1 になるように溶液を混合した．本実験ではサンプルの投入時の溶液温度を 80℃に設定した．その際、水の完全な蒸発を確認するために溶液温度の飽和と再昇温を確認した．

Fig. 1 溶液昇温過程



実験条件			
使用基板	p -Ge(100)		
洗浄	アセトン，HF洗浄		
酸化溶液	硫酸加水(硫酸：過酸化水素＝1：1)		
溶液温度[℃]	80		
酸化時間[min]	5	10	15

Table. 1 実験条件

3. 実験結果と考察

各サンプルの C-V 測定結果を **Fig. 2 - Fig. 4** に，J-V 測定結果を **Fig. 5** に示す．

Fig. 2 - Fig. 4 より，いずれのサンプルにおいても MOS 構造特有の C-V カーブが見られたことから，GeO_2膜の成膜が溶液内で発生したことが示唆される．また，C-V 測定結果から算出した膜厚は酸化時間が 5,10,15(min)でそれぞれ 17.5, 18.5, 13.3 (nm) となった．

Fig.5 に示した J-V 測定結果から，5min,10min の参加を行ったサンプルでは成膜された GeO_2膜は得られた膜厚に対し絶縁性の高い結果となった．これは溶液の混合時の反応において，硫酸の残留が少なく膜中欠陥の発生を抑制できたことが起因していると考えられる．また 15min のサンプルでは絶縁性が悪化したが、硫酸加水本来のエッチング効果によるものであると考えられる．

Fig. 2 5min C-V 測定

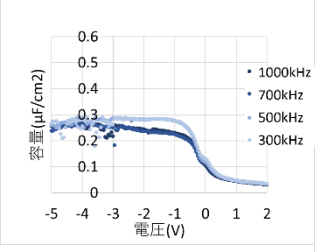


Fig. 3 10min C-V 測定

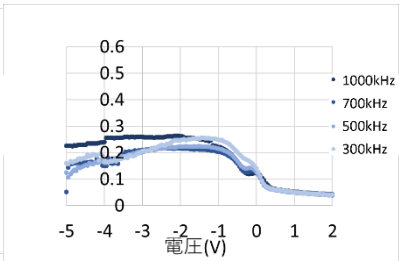


Fig. 4 15min C-V 測定

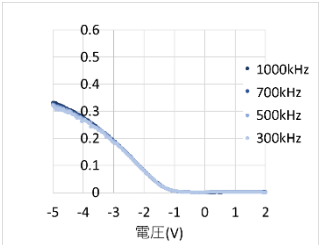
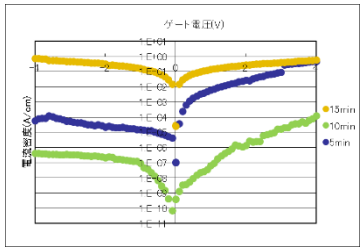


Fig.5 J-V 測定



4. 今後の展望

前節で溶液混合比により，硫酸の残留が膜中欠陥に寄与する可能性を挙げた．これを踏まえて，膜中の結合状態や膜の組成について XPS などを用いた検証を行う．

© 2024年 応用物理学会

GeO_2膜の結合状態と耐水性の相関についての検証

Study of the correlation between the bonding state and water resistance of GeO_2 films

農工大院工[1]，○石塚啓太[1]，鈴木拓光[1]，岩崎好孝[1]，上野智雄[1]

Tokyo univ. of Agri & Tech.[1], ○Keita Ishizuka[1], Takumi Suzuki[1], Yoshitaka Iwazaki[1], Tomo Ueno[1]

E-mail: s237937t@st.go.tuat.ac.jp

１．研究背景

Ge-MOS は, Ge 自体が有する高い電子移動度とバンドギャップの小ささから，高速，低消費電力の次世代半導体デバイス材料の有力候補であるが，その酸化膜である GeO_2 は一般に水溶性を持つことが知られているため，洗浄工程が複雑化してしまうなどの欠点を持つ． この欠点に対し, 低温成膜によるイオン性結合割合の低減化をすることで GeO_2 が耐水性を獲得することがわかっている(1)．しかし，この手法は酸化膜中の欠陥の存在を前提とするために絶縁性が低いという欠点がある．そこで本研究では耐水性と絶縁性の両立を目的とし，異なる温度での二段階堆積を行い検証を行う．

２．実験１　実験方法

p-Ge(100)基板にアセトン, エタノールを用いた超音波洗浄を行い，その後フッ酸による自然酸化膜の除去を行った．基板洗浄後，Chemical Vapor Deposition (CVD)法による GeO_2 膜の堆積を 500℃で 5 分間行った後，400℃で 20 分間行った．CVD 法では基板上表面方向に順次 GeO2 が堆積されていく．そのため，このような二段階堆積を行うことで，表面が 400℃で界面が 500℃で堆積された GeO_2 という構造を作製することができる．この良好な絶縁性をもつ 500℃堆積の膜を耐水性のある 400℃堆積の膜で覆うという構造によって絶縁性と耐水性の両立が可能ではないかと考えた．この二段階堆積を施したサンプルに対し 1 分間の純水リンスを行い, 真空蒸着にて Al 電極を蒸着し，J-V 測定を行うことで耐水性，絶縁性を検証した．

３．実験１　実験結果および考察

二段階堆積の純水リンス前後，500℃堆積の J-V 測定の結果を **Fig. 1** に示す．純水リンス前後での J-V 測定の結果を比較すると，純水リンス後では純水リンス前より一桁ほどリーク電流の値が増大している．しかし，純水リンス後のリーク電流の値は 10^-6[A/cm^2]程度であり，純水リンスによって多少の膜質悪化はあるものの，残留 GeO_2 が確実に存在しており絶縁性が維持できたと考えられる．また，二段階堆積の純水リンス前と 500℃堆積のみを比較すると，同程度の値であることが確認できる．これは，良好な絶縁性をもつ 500℃堆積の膜が膜全体の絶縁性に寄与したものと考えられる．以上の J-V 測定の結果より，二段階堆積による耐水性と絶縁性の獲得がなされた．しかし，耐水性がないと考えられていた 500℃堆積の純水リンス後の結果に注目すると，10^-3[A/cm^2]程度と絶縁性を有していることがわかる．そこで，この絶縁性が残留した GeO_2 なのかを検証するために次のような実験を行った．

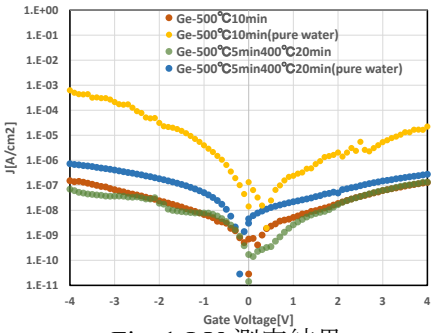


Fig. 1 J-V 測定結果

４．実験２　実験方法

p-Ge(100)基板にアセトン, エタノールを用いた超音波洗浄を行い，その後フッ酸による自然酸化膜の除去を行った．基板洗浄後，CVD 法による GeO_2 膜の堆積を 500℃で 5 分間行った．このサンプルに対して純水リンスを行った後，XPS 測定を行いサンプルに GeO_2 が残留しているか検証した．

３．実験２　実験結果および考察

XPS 測定の結果を **Fig. 2** に示す．GeO_2 のピークが存在することから，耐水性がないと考えていた 500℃堆積の GeO_2 が純水リンス後にも一部残留していると考えられる．今後，この残留した膜の特性や純水リンス前の深さ方向分析による検証を行っていく．

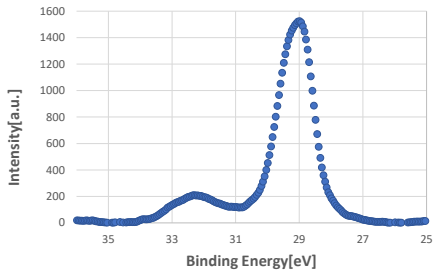


Fig. 2 XPS 測定結果

【謝辞】
本研究の一部，CVD 原料及び供給法に関して， 気相成長株式会社の町田氏，石川氏，須藤氏の協力を得た．

参考文献

1)石塚啓太:GeO_2 膜の耐水性についての検証，応用物理学会，2023

Cu-PMA 法のアニール時間変化による GeO_2/Ge 界面特性の変化

Variation of GeO_2/Ge interface properties with annealing time of Cu-PMA method

東京農工大学大学院○菅野航太、岩崎好孝、上野智雄、並木美太郎
Tokyo univ. of Agri & Tech. ○Kota Kanno, Yoshitaka Iwazaki, Tomo Ueno, Mitaro Namiki
E-Mail：s239279u@st.go.tuat.ac.jp

1. 研究背景

Ge を用いた MOS 構造において、高温熱酸化 500℃で GeO2 を成膜する際、GeO2/Ge 界面から GeO 脱離が発生し、欠陥が生じてしまう。これを解決するため、金属薄膜を堆積し熱処理を行う PMA 法を用いた。先行研究では、PMA 金属種として化学反応が進行しやすい Cu を使用し、アニールガスに酸素を用いることで特性が大幅に改善することが確認された。しかし、従来の実験はアニール処理を 300℃-20 分の条件で行っており、アニール処理の時間、温度と改善効果の関係は明らかではなかった。そこで、本研究では Cu-PMA 法におけるアニール時間変化が Ge/GeO2 界面特性に与える影響を調査した。

2. 実験方法

Table.1 に実験手順を示す。p-Ge 基板を洗浄後、500℃-30min の熱酸化を行い、膜厚 17 [nm]の GeO_2 を成膜した。その後、Table.1 の実験条件の下、真空蒸着法を用いて金属薄膜 Cu の堆積とアニール処理を行なった。その後各サンプルに対して J-V 測定を行い電気的特性を評価した。

Table.1 Experimental procedure

サンプル	as grown	10min	20min	30min
1.洗浄	有機洗浄・HF洗浄			
2.GeO_2成膜	熱酸化（500℃ 30min 17[nm]）			
3.Cu堆積	―	~2[nm]		
4.アニール処理	―	O_2 300℃ 10min	O_2 300℃ 20min	O_2 300℃ 30min

3. 実験結果および考察

各サンプルの J-V 測定結果を Fig.1 に示す。10min から 20min で 3~5 桁ほどの大幅なリーク電流の抑制が確認できた。しかし 30min では 20min に比べてリーク電流が 1 桁ほど大きくなった。アニール処理時間 10min から 20min は特性が良くなることから 10min では補填不足だった膜中の欠陥を 20min では補填していると考え、また 20min から 30min では特性が悪化しており、Cu の拡散が膜中に留まらず Ge 基板まで達しているのではないかと考える。

そこでこの仮説を検証するために XPS による深さ方向分析を行った。深さ方向分析を用いることで元素組成や化学状態の深さ方向の分布などを検証可能で、層構成や膜厚などの情報も評価できる。各サンプルの深さ方向分析の測定結果を Fig.2 に示す。縦軸は原子密度で横軸はエッチングタイムを示している。時間経過に伴い絶縁膜内部～基板となっている。J-V 測定から得られた結果の予想に反して Cu のみの測定結果を見ると 10min、20min、30min いずれのサンプルにも界面付近でピークが確認でき、銅は界面まで到達していることが確認できた。またアニール処理 30min での特性悪化の原因として Ge 基板内部への Cu の拡散と予想したがその様子は確認できず、アニール処理時間による特性改善効果は PMA 金属の拡散度合い以外の別の要因によるものであると分かった。

今後は、アニール処理時間の違いにより生じる絶縁膜中の結合強度や原子の結合状態を検証していく。

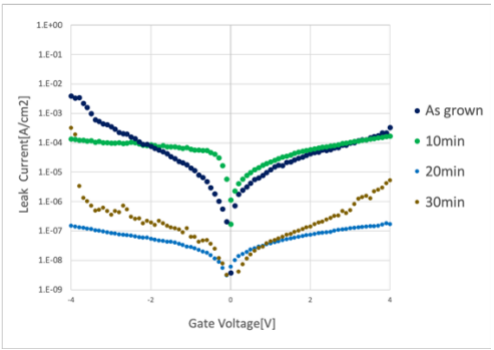
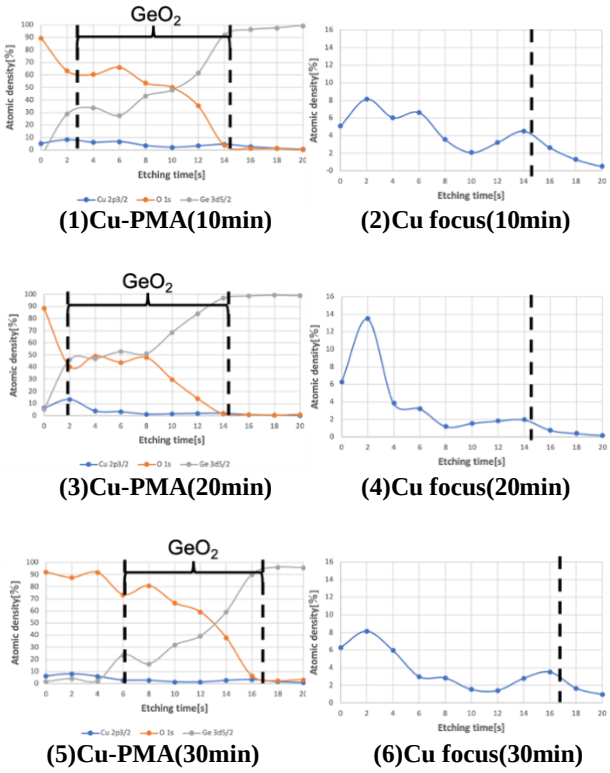


Fig.1 J-V measurement



(1)Cu-PMA(10min) **(2)Cu focus(10min)**

(3)Cu-PMA(20min) **(4)Cu focus(20min)**

(5)Cu-PMA(30min) **(6)Cu focus(30min)**

Fig.2 XPS measurement

N_2アニール処理を施した GeO_2膜の特性の評価
Characterization of GeO_2 film by N_2 annealing treatment

東京農工大学大学院　〇土屋雄太、岩崎好孝、上野智雄
Tokyo univ. of Agri & Tech. 〇Yuta Tsuchiya ,Yoshitaka Iwasaki, Tomo Ueno
E-Mail : s239995v@st.go.tuat.ac.jp

1.研究背景

高移動度を有する Ge による Ge-MOSFET の実現には、酸化膜である GeO_2 膜の作製がキーポイントとなる。Ge/GeO_2 界面での GeO 脱離などが特性に与える影響が実用上の問題となるためである。本研究は、熱酸化によって成膜した GeO_2 膜にアニール処理を施すことによりそうした問題を改善する方法を提案するものである。

これまでの我々の研究により、Ge に対して比較的低温での熱酸化温度である 400℃で成膜を行うと界面特性は比較的良好なものであるが、絶縁性は悪いということがわかっている。しかし、400℃熱酸化により成膜した基板においては、界面特性が不安定であり、まれに良好でない界面特性が得られる場合がある。

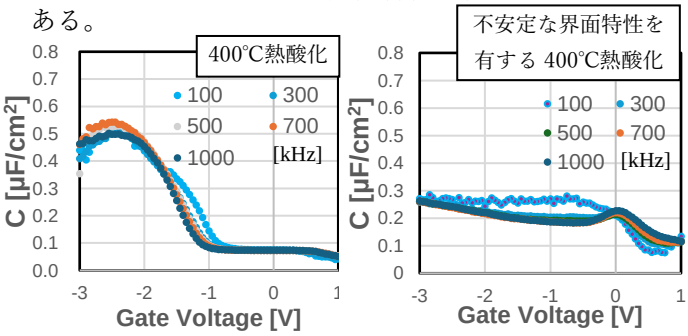


Fig. 1 C-V characteristics

そこで、作製した GeO_2/Ge 構造に、不活性ガスを用いてアニール処理を行うという 2 ステップアニールによって、界面での酸化反応を誘発せずに GeO_2膜中の不完全な GeO 結合の結合が促進され、安定して良好な界面特性を有する酸化膜が得られると考え、次のような実験を行った。

2.実験方法

まず、p-Ge 基板に対し有機洗浄および HF 洗浄を行った。そして、90min の 400℃熱酸化を行ったのち、N_2 を用いて 400℃30min、500℃10min のアニール処理を行った。それぞれの昇温プロファイルを **Fig. 2** に示す。この基板について C-V 測定、XPS 測定を行った。

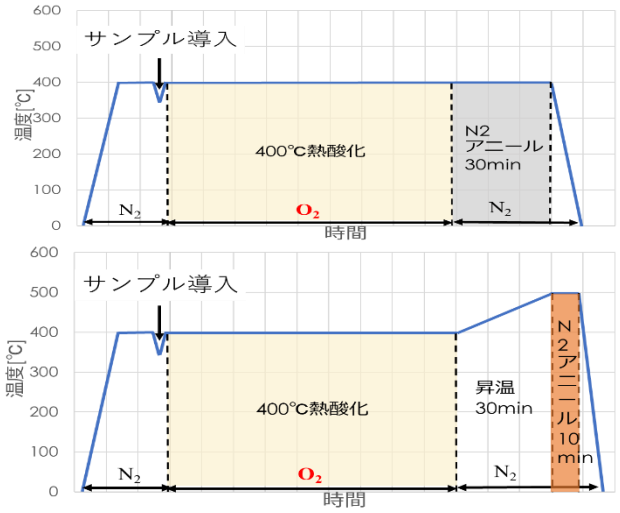


Fig.2 Temperature profile

3.実験結果と考察

アニール処理を行ったサンプルの C-V 測定結果をそれぞれ **Fig. 3** に示す。

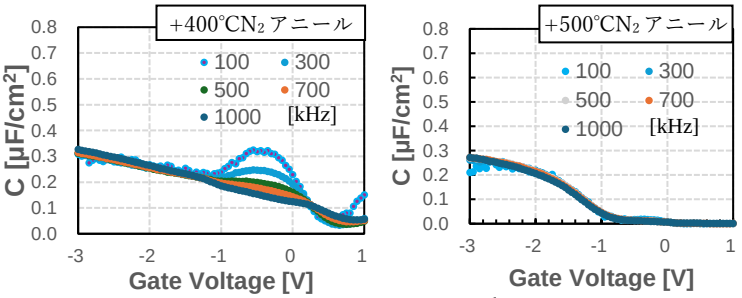


Fig. 3　C-V measurement results

Fig. 1、Fig. 3 より、400℃熱酸化のみを行ったサンプルと比較して 400℃CN_2 アニールを行ったサンプルでは、反転領域での周波数分散があり、界面特性が改善されていないことが分かる。これは成膜温度と同温でのアニールでは GeO_2膜への影響が少なくこのような結果になったと考えられる。対して、500℃CN_2 アニールを行ったサンプルでは周波数分散が非常に小さくなっており良好な界面特性が得られた。これは成膜温度よりも高温でのアニール処理により GeO_2膜の GeO 結合の結合が促進されたためであると推察される。続いて、XPS 測定結果を **Fig. 4** に示す。

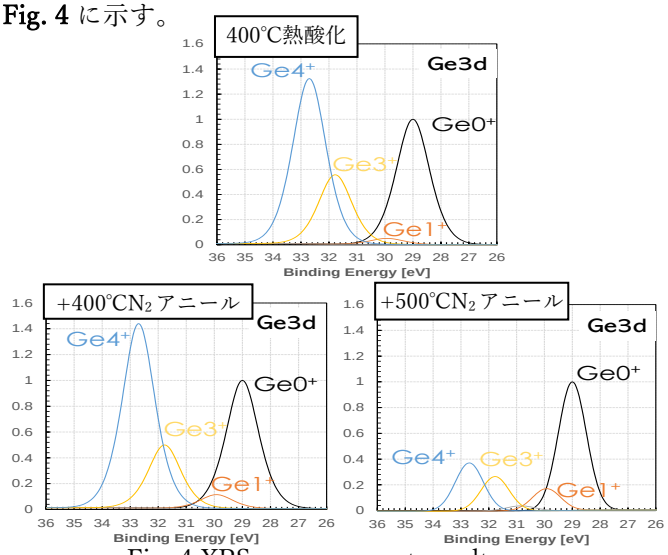


Fig. 4 XPS measurement results

Fig. 4 より、400℃CN_2 アニールを行ったサンプルではほとんど膜質に変化がないのに対し、500℃CN_2 アニールを行ったサンプルでは全体の割合としてサブオキサイドが増加していることが分かる。このことから、N_2 を用いたアニールにおいても GeO 脱離が発生し、膜内に欠陥が生じていると推察される。

以上の結果より、400℃熱酸化により成膜した基板に対する高温アニール処理では、良好な界面特性が得られたにも関わらず、サブオキサイドが増加した。このことから、界面付近では完全な結合が増え、基板表面付近ではサブオキサイドリッチな膜になっていることが考えられる。今後 XPS 測定による深さ方向分析により今回の結果のより詳細な調査を行う。

© 2024年 応用物理学会

13 半導体 | 一般セッション(ポスター講演)：13.3 絶縁膜技術

[20a-P06-1~6] 13.3 絶縁膜技術

[20a-P06-1]

$Al_2O_3/SnO_x/SiO_2$構造における界面ダイポール変調機構の解明

〇桐原 芳治[1]、三河 空斗[1]、三浦 宏太[1]、吉田 智貴[1]、伊藤 俊一[1]、保井 晃[2]、石川 亮佑[1]、野平 博司[1] (1.都市大、2.高輝度光科学研究センター)

[20a-P06-2]

UV-Ozone処理したSiO_2上にALD法で作製した界面ダイポール変調構造の動作実証

〇三河 空斗[1]、桐原 芳治[1]、三浦 宏太[1]、吉田 智貴[1]、保井 晃[2]、石川 亮佑[1]、野平 博司[1] (1.東京都市大学、2.高輝度光科学研究センター)

[20a-P06-3]

ALD法を用いたAl_2O_3/GeO_2膜にUV-Ozone処理が与える影響

〇吉田 智貴[1]、桐原 芳治[1]、三河 空斗[1]、石川 亮佑[1]、野平 博司[1] (1.東京都市大学)

[20a-P06-4]

オゾン酸化によるAl_2O_3/Ge MOS界面についての研究

〇高橋 大輝[1]、青木 伸之[1]、柯 梦南[1] (1.千葉大工)

[20a-P06-5]

SiN_x膜とSiO_x膜中のイオン・分子の移動の障壁

〇奥 友希[1]、戸塚 正裕[1]、佐々木 肇[1] (1.三菱電機)

[20a-P06-6]

水分(H_2O)蒸気を添加したNH_3ガスによる低温酸化Si膜の構造と残留OH基量変化

〇堀田 將[1] (1.北陸先端大)

$Al_2O_3/SnO_x/SiO_2$ 構造における界面ダイポール変調機構の解明

Elucidation of the mechanism of interface dipole modulation in $Al_2O_3/SnO_x/SiO_2$ structures

東京都市大学 [1], 高輝度光科学研究センター[2], °桐原 芳治 [1], 三河 空斗 [1], 三浦 宏太 [1], 吉田 智貴 [1], 伊藤 俊一 [1], 保井 晃 [2], 石川 亮佑 [1], 野平 博司 [1]

Tokyo City Univ. [1], JASRI [2], °Yoshiharu Kirihara [1], Sorato Mikawa [1], Kota Miura [1], Tomoki Yoshida [1], Shunichi Ito [1], Akira Yasui [2], Ryousuke Ishikawa [1], Hiroshi Nohira [1]

E-mail: g2391202@tcu.ac.jp

はじめに　近年、アモルファス HfO_2/原子層厚 TiO_x/SiO_2 スタック構造において界面ダイポール変調(Interface Dipole Modulation: IDM)が観測され[1]、IDM は変調層である TiO_x の Ti-O 結合形態変化により発生することが明らかになった[2]。また、Al_2O_3/原子層厚 SnO_x/SiO_2 スタック構造でも IDM によるスタック内部のポテンシャル変化が観測されているが[3]、変調層の化学結合状態、すなわち Sn-O 結合形態の変化は明らかになっていない。本研究では、変調層にスズの酸化物を用いた $Al_2O_3/SnO_x/SiO_2$ 構造の試料を電圧印加硬 X 線光電子分光法(HAXPES)により測定し、SnO_x 層の化学結合状態変化を直接観測することに成功した。

実験方法　熱酸化法で形成した 6.5 nm-SiO_2 膜に覆われた n-Si(100)基板上に ALD 法により 5.0 nm-Al_2O_3 と 0.3 nm-SnO_x を堆積した。この $Al_2O_3/SnO_x/SiO_2$ 構造の試料に N_2 雰囲気で 350 ℃の後熱処理を施した後、抵抗加熱蒸着法で 10 nm 程度の Ni ゲート電極を蒸着した。この試料(SnO_x-IDM)を、SPring-8 BL09XU [4]を用いて in-situ で電圧印加 HAXPES 測定した。入射光のエネルギーは hv=7933 eV、Take Off Angle は 85°である。測定時は Ni 電極を接地し、n-Si(100)に電圧を印加した。測定光電子は Ni 2*p*, Al 1*s*, Sn 2*p*, Si 1*s* である。C-V 測定は、Al ゲート電極を蒸着した試料に周波数 1 MHz で最大±10 V の掃引電圧範囲で行った。

結果および検討　Fig. 1 に異なる掃引電圧範囲による C-V 測定結果を示す。反時計回りのヒステリシス特性が観測され、この方向は過去の IDM 動作と一致している[1,2]。Fig. 2 に HAXPES 測定した SnO_x のリファレンス試料からの Sn 4*d* 光電子スペクトルを示す。スペクトル形状に変化があり、価数状態が異なることが示唆される。すなわち、Sn^{2+}と Sn^{4+}成分が考えられる。Fig. 3 に Sn 2*p* 光電子スペクトルを示す。Fig. 3(a)は Fig. 2 と同じ試料からの Sn 2*p* 光電子であり、価数状態変化はスペクトル形状に大きな影響を与えないことがわかる。一方で、ピークの結合エネルギー(BE)は異なることが明らかになった。Fig. 3(b)に IDM デバイス構造内の 0.3 nm-SnO_x 層からの Sn 2*p* 光電子スペクトルを示す。IDM の発生によって光電子スペクトルの BE がシフトすることを確認した。これは Sn の価数状態が変化したためと考えられる。以上の結果より、SnO_2 を変調層に用いた IDM メカニズムは、TiO_2-IDM と同様に界面の Sn-O 結合形態変化によることを示唆している[2]。Al_2O_3 からの Al 1*s*, SiO_2 からの Si 1*s* 光電子スペクトルの変化など、詳細は当日報告する。

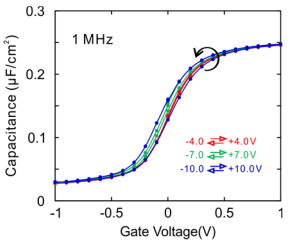


Fig. 1 C-V measurement result. Counterclockwise hysteresis characteristics were observed.

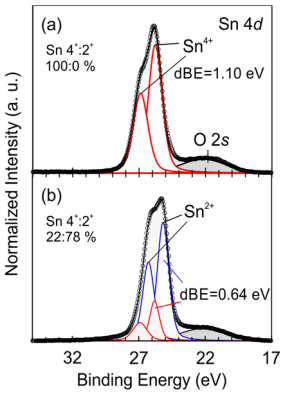


Fig. 2 Sn 4*d* photoelectron spectra, (a) SnO_2 (b) SnO_x sample.

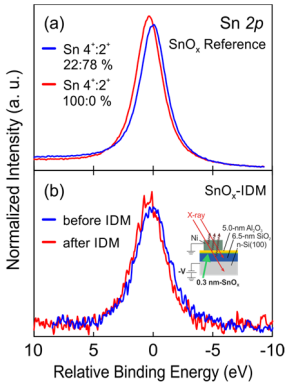


Fig. 3 Sn 2*p* photoelectron spectra, (a) SnO_x reference sample (b) SnO_x-IDM.

謝辞 放射光実験は、大型放射光施設 SPring-8 の BL09XU を用いて、高輝度光科学研究センターの承認(JASRI, Proposal No. 2023B1910, 2023B1932)によって実行されました。

参考文献 [1] N. Miyata, Sci. Rep. **8**, 8486 (2018). [2] Y. Kirihara et al., Appl. Phys. Express **15**, 111003 (2022). [3] Y. Kirihara et al., IWDTF, pp. 17-18 (2023). [4] A. Yasui et al., J. Synchrotron Radiat. **30**, 1013 (2023).

© 2024年 応用物理学会

UV-Ozone処理したSiO_2上にALD法で作製した界面ダイポール変調構造の動作実証

Demonstration of the operation of interface dipole modulation devices fabricated by ALD method on UV-Ozone treated SiO_2

東京都市大学[1], 高輝度光科学研究センター[2]

°三河 空斗[1], 桐原 芳治[1], 三浦 宏太[1], 吉田 智貴[1], 保井 晃[2], 石川 亮佑[1], 野平 博司[1]

Tokyo City Univ. [1], JASRI [2], °Sorato Mikawa[1], Yoshiharu Kirihara[1], Kota Miura[1], Tomoki Yoshida[1], Akira Yasui [2], Ryousuke Ishikawa [1], Hiroshi Nohira [1]
E-mail: g2481278@tcu.ac.jp

はじめに　近年、アモルファスAl_2O_3/原子層厚TiO_x/SiO_2スタック構造において界面ダイポール変調(Interface Dipole Modulation: IDM)が観測された[1]。IDMデバイス作製のためには、原子層レベルの膜厚の均一性と正確な膜厚制御が必要なため、Atomic Layer Deposition (ALD) 法が有利である。最近、熱酸化-SiO_2の表面が化学的に不活性なために生じるALD膜の成膜遅れと不均一性は、UV-Ozone (UVO) 処理により改善されることが報告された[3]。本研究は、UVO処理した熱酸化-SiO_2膜上にALD法でAl_2O_3/TiO_x/SiO_2/n-Si構造の試料を作製し、Capacitance-Voltage (C-V) 測定と硬X線光電子分光法 (Hard X-ray Photoelectron Spectroscopy: HAXPES)測定による評価を行った。

実験方法　Si基板を熱酸化することで形成した~10 nm厚の酸化膜の上に室温大気中でUVO処理を15分施した後、ALD法を用いてAl_2O_3, TiO_2の2種類の酸化膜を成膜した。プリカーサはTrimethylaluminum (TMA), Tetrakis(dimethylamido)titanium (TDMAT)である。酸化剤にはH_2Oを使用した。Al_2O_3/TiO_x/SiO_2/Si構造の作製後、N_2雰囲気下で熱処理を450 °C, 30分行った。最後に、C-V測定用にAl、HAXPES測定用にNiゲート電極を蒸着して熱処理を300 °C, 30分行った。HAXPES測定はSPring-8 BL09XU (hv=7933 eV)で行った。測定光電子はNi 2*p*, Al 1*s*, Si 1*s*, Ti 1*s*でTake Off Angle (TOA) は85deg.である。

結果　IDMは電圧印加によって変調層であるTiO_x層の化学結合状態が変化することで発生すると考えられている[4]。そのため、本研究ではIDMを確認するためにin-situで電圧印加を行いながらHAXPES測定を行った。Fig. 1にTiO_x膜からのTi 1*s*光電子スペクトルを示す。Fig. 1(a)は電圧を印加する前の初期状態で、Ti^{3+}とTi^{4+}の2ピークでフィッティング可能であった。同様に、Fig. 1(b)とFig. 1(c)はそれぞれ+7 Vまたは-5.2 V印加後に0 Vに戻したときのTi 1*s*光電子スペクトルのピーク分離結果である。Ti^{3+}とTi^{4+}のPeakの面積比を求めると、初期状態が0.32、+7 V印加後は0.51、-5.2 V印加後が0.32であった。この結果は、Tiの化学結合状態変化、すなわちIDMの発生を示唆しており、UVO処理によるSiO_2の表面改質がALD法を用いたIDMデバイス作製に有効であることを示している。C-V測定の結果を含む、詳細な解析結果は当日発表する。

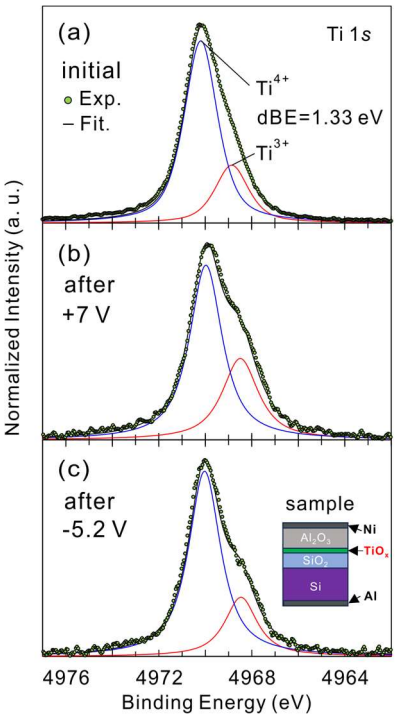


Fig. 1 TiO_x 層からの Ti 1*s* 光電子スペクトルとフィッティング結果 (a) 初期状態 (b) +7 V 印加後 (c) -5.2 V 印加後。なお測定は、すべて 0V の状態で行った。

謝辞　本研究の一部は東京都市大学ナノ科学技術学際研究センター、東京工業大学科学技術創成研究院フロンティア材料研究所共同利用研究を利用して得られたものです。放射光実験は大型放射光施設SPring-8のBL09XUを用いて高輝度光科学研究センターの承認(JASRI, Proposal No. 2023B1910, 2023B1932) によって実行されました。

文献　[1] S. Asanuma et al., Appl. Phys. Express, **16**, 061005 (2023) [2] A.W. Ott et al., Thin Solid Films, **292**, pp. 135-144 (1997). [3] Y. Kirihara et al., ECS Trans., **113**, 35 (2024) [4] Y. Kirihara et al., Appl. Phys. Express, **15**, 111003 (2022)

© 2024年 応用物理学会

ALD 法を用いた Al_2O_3/GeO_2 膜に UV-Ozone 処理が与える影響

Effect of UV-Ozone treatment on Al_2O_3/GeO_2 films using ALD method

東京都市大学 [1]　○吉田 智貴 [1], 桐原 芳治 [1], 三河 空斗 [1], 石川 亮佑 [1], 野平 博司 [1]

Tokyo City Univ. [1]

○Tomoki Yoshida[1], Yoshiharu Kirihara[1], Sorato Mikawa[1], Ryousuke Ishikawa[1], Hiroshi Nohira[1],

○E-mail: g2481289@tcu.ac.jp

はじめに　近年、アモルファス HfO_2/原子層厚 TiO_x/SiO_2 スタック構造において界面ダイポール変調(Interface Dipole Modulation: IDM)が観測され[1]、$Al_2O_3/TiO_x/SiO_2$ スタック構造でも IDM が確認されている[2]。IDM は MOSFET 構造に適用することでニューロモーフィックデバイスが実現できる[3]。デバイスのさらなる高性能化のために、Si よりキャリア移動度の大きい Ge での実現が期待される。デバイスの量産を考えた場合、原子層堆積(Atomic Layer Deposition: ALD)法での成膜がコストの面で有利であるが、熱酸化 SiO_2 上での堆積遅れ等の問題があることが報告されている。最近、ALD 前に UV-Ozone(UVO)処理を行うことで堆積遅れが起こらず、かつ良好な表面ラフネスが得られることが報告された[4]。これらは熱酸化 SiO_2 の場合であり、他の構造ではまだ調べられていない。本研究では Ge 基板を用いての IDM デバイス作製のために、酸化膜 GeO_2/Ge 構造に UVO 処理を行い、ALD 法で Al_2O_3 を堆積した際の堆積レートなどへの影響を調べた。

実験方法　試料は以下の手順で作製した。化学洗浄した Ge 基板を大気圧の O_2 中 500 ℃の熱酸化後に 400 ℃の低温追酸化で形成した約 10 nm 厚の GeO_2 膜に対し、室温、大気圧下で UVO 処理を 1～15 分実施した。その直後に ALD 法を用いて Al_2O_3 膜を成膜し作製した。この試料を分光エリプソメトリー(Spectroscopic Ellipsometry: SE)、原子間力顕微鏡法(Atomic Force Microscopy: AFM)、X 線光電子分光法(X-ray Photoelectron Spectroscopy: XPS)、および電圧-容量測定(Capacitance-Voltage: C-V)測定を行い評価した。C-V 測定の電極には Al を用いた。

結果　UVO 処理を 15 分行った場合の GeO_2 上の Al_2O_3 膜厚のサイクル依存性を Fig. 1 に示す。なお、Al_2O_3 膜厚は、Al 2*p* と Ge 3*d* 光電子の強度比から算出した。Fig. 1 からわかるように、Al_2O_3 膜厚はサイクル数に比例して増加し、その傾き（Growth Per Cycle (GPC)）は 0.10 nm と求まった。GPC の値は文献[5]の値とも概ね一致している。また SiO_2 上では ALD-Al_2O_3 堆積開始時に 1 cycle の遅れが報告されているが[4]、今回の GeO_2 上の成膜では遅れは見られなかった。これは、GeO_2 に水溶性があり、ALD での堆積の際に酸化剤である H_2O との高い反応性に起因すると考えらえる。Fig. 2 に C-V 測定結果を示す。C-V 特性は、低周波特性を含め良好な結果が得られた。XPS による化学結合状態及び、AFM による表面粗さ測定の結果も含めて、詳細は当日報告する。

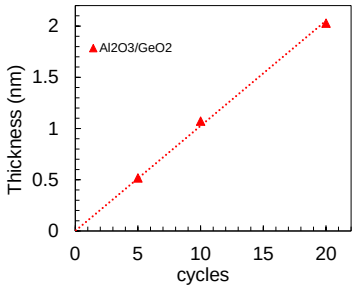


Fig. 1 Dependence of Al_2O_3 film thickness on cycle number.

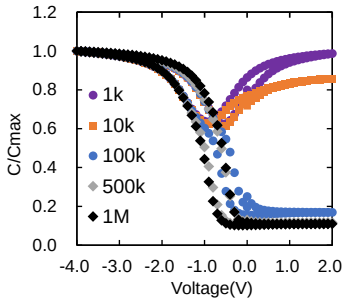


Fig.2 C-V measurement results of each frequency.

謝辞　本研究の一部は、東京都市大学ナノ科学技術学際研究センターの支援を受けたものです。

文献　[1] N. Miyata, Sci. Rep., vol.**8**, pp. 8486, 2018. [2] S. Asanuma et al., Appl. Phys. Express, 16, 061005 (2023). [3] N.Miyata, Electronics, **13**, 726 (2024). [4] Y. Kirihara, et al., ECS Trans., **113**, 35 (2024). [5] A.W. Ott, et al., Thin Solid Films, **292**, (1997).

© 2024年 応用物理学会

オゾン酸化による Al_2O_3/Ge MOS 界面についての研究

Study on Al_2O_3/Ge MOS interface by ozone oxidation

千葉大物質 [1]，°高橋 大輝 [1]，青木 伸之 [1]，柯 梦南 [1]

Chiba Univ. [1], °Daiki Takahashi[1], Nobuyuki Aoki[1], Mengnan Ke[1]

【はじめに】従来の Si を用いた電界効果トランジスタ:Field Effect Transistor(FET)は物理的限界が近い．Ge は Si と比べ高いキャリア移動度を有しており，これを打破する材料として期待されている．また，Ge は Si と同じⅣ族の半導体であり，既存の Si プロセスとの親和性も非常に高いと考えられる．しかし，Ge において高誘電率(high-k)ゲート絶縁膜との界面は SiO_2/Si 界面と比較して界面準位密度(D_{it})が高い．high-k/Ge 界面に界面制御層を導入することで D_{it} が低減されることが知られている[1].

【実験方法】Ge 基板を洗浄後，室温，100℃，200℃，300℃で 2 分間の UV オゾン酸化を行い，GeO_x の界面制御層を導入した．この Ge 基板に原子層堆積:Atomic Layer Deposition(ALD)法を用いて Al_2O_3 を堆積し，400℃で 30 分間の真空アニールを行った．その後，トップ電極に Au とバック電極に Al を蒸着し，C-V 測定と 250K でコンダクタンス法による測定を行った．

【実験結果】Fig2.に各温度でオゾン酸化を行った MOS Capacitor の D_{it} を示す．室温でのオゾン酸化を行った方が 100℃，200℃，300℃でのオゾン酸化を行ったものに比べて低い D_{it} を示している．Fig3.には異なる厚さの GeO_x を持つ MOS Capacitor の D_{it} を示す．GeO_x の厚さが 0.25nm 程度では D_{it} はあまり下がらず，GeO_x の厚さが 0.8nm 程度では $10^{11}eV^{-1}cm^{-2}$ 程度の低い D_{it} を得られた．

【結論】本研究では，異なる温度でオゾン酸化により界面制御層を導入し，室温でのオゾン酸化が他に比べ低い D_{it} を示すことがわかった．また，GeO_x の厚さは薄すぎると D_{it} はあまり下がらず，適切な厚さを導入することで $10^{11}eV^{-1}cm^{-2}$ 程度まで改善された．

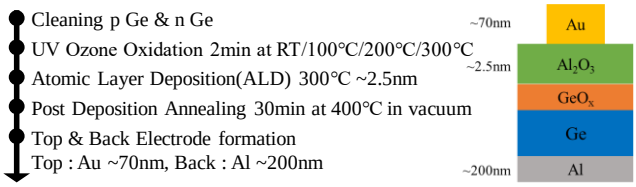


Fig1.Fabrication flow and schematic Ge MOS capacitor

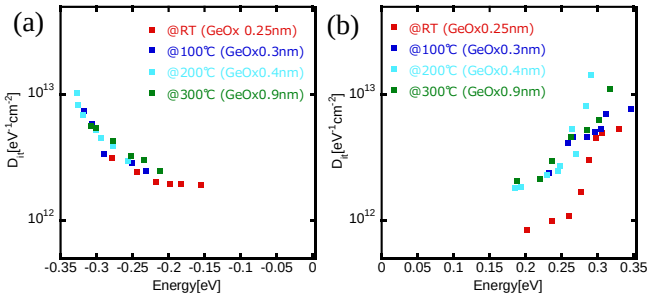


Fig2. Energy distribution of D_{it} at different ozone oxidation temperatures: (a) p Ge, (b) n Ge

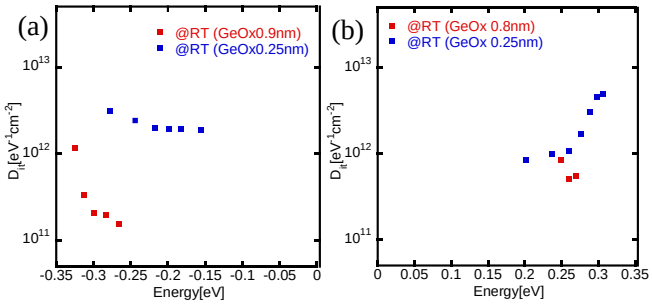


Fig3. Energy distribution of D_{it} with different GeO_x thicknesses: (a) p Ge, (b) n Ge

【謝辞】本研究は JSPS 科研費 JP23K13361，東京エレクトロン(株)，服部報公会及び日本科学協会笹川科学研究助成の支援を受けている．

【参考文献】

[1]Lixing Zhou, *et al*, *Journal of Materials Science:Materials in Electronics*, **34**, 1945, (2023).

SiN_x 膜と SiO_x 膜中のイオン・分子の移動の障壁

Energy barrier for jumping of ions and molecules in SiN_x and SiO_x films

三菱電機(株) ○奥友希, 戸塚正裕, 佐々木肇

Mitsubishi Electric Corporation, Tomoki Oku, Masahiro Totsuka and Hajime Sasaki

E-mail: Oku.Tomoki@ap.MitsubishiElectric.co.jp

はじめに: 保護膜の耐湿性劣化へのイオンの影響を分析するため、前報[1]では SiN_x膜、SiO_x膜中でのイオンと分子の移動の活性化エネルギー(ジャンプ障壁)を半経験的分子軌道法(PM6 法[2])で計算した。その結果、Fig. 1 に示す様に、SiO_x 膜では格子間のジャンプ、SiN_x 膜では空孔間のジャンプがメインと考えられることを示した。しかしながら、膜種とイオン・分子の組み合わせでジャンプ障壁が大きく異なる原因は良く分かっていない。今回はイオン・分子の半径に着目しジャンプ障壁の支配要因を分析する。

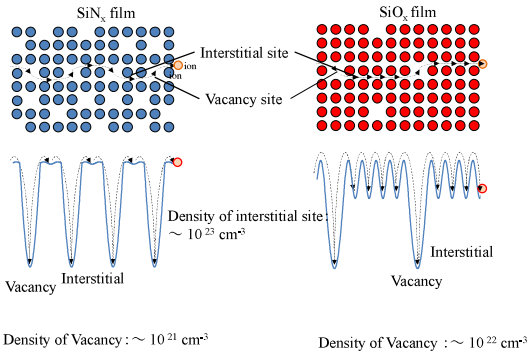


Fig. 1 Energy barrier of jumping for ions and molecules in SiN_x and SiO_x films.

計算: Si_3N_4 膜、SiO_2 膜のモデルクラスターからシリコン、窒素、酸素を1個欠損させて空孔を形成し、空孔に残るダングリングボンドを$(SiH)_m$、$(NH)_n$、$(OH)_n$ の様に終端数 m、n を変えて水素終端した。Be^{2+}, Mg^{2+}, Ca^{2+}, Ba^{2+}, Sr^{2+}, Li^+, Na^+, K^+, Rb^+, Cs^+, F^-, Cl^-, Br^-, I^-, O^{2-}, S^{2-}イオン, H_2O 分子を対象に計算した。

結果: SiN_x 膜と SiO_x 膜の膜中のイオン・分子のジャンプ障壁を Fig. 2 に示す。格子間のジャンプ障壁(ΔE_a - ΔH_i)は●と実線で、一番深い空孔からのジャンプ障壁(ΔE_a - $\Delta H_{v\ Deepest}$)は◆と破線で表した。ここから、SiN_x 膜のほうが①格子間のジャンプ障壁が小さい、②空孔-格子間のジャンプ障壁のイオン半径依存性が大きいことが分かった。これらは、SiN_x 膜のほうが高原子密度なため、格子間位置では短い格子間距離が障壁の形成を妨げる一方で、空孔位置では周辺原子密度が高く、大きい半径のイオンほど強いボンドを形成し、隣のサイトにジャンプするための大きな障壁が形成されると考えられる。

[1] 奥, 戸塚, 佐々木, 第 71 回春季応物 24p-P12-3, [2] MO-G Version 1.0.6, Fujitsu limited, Tokyo, Japan (2011).

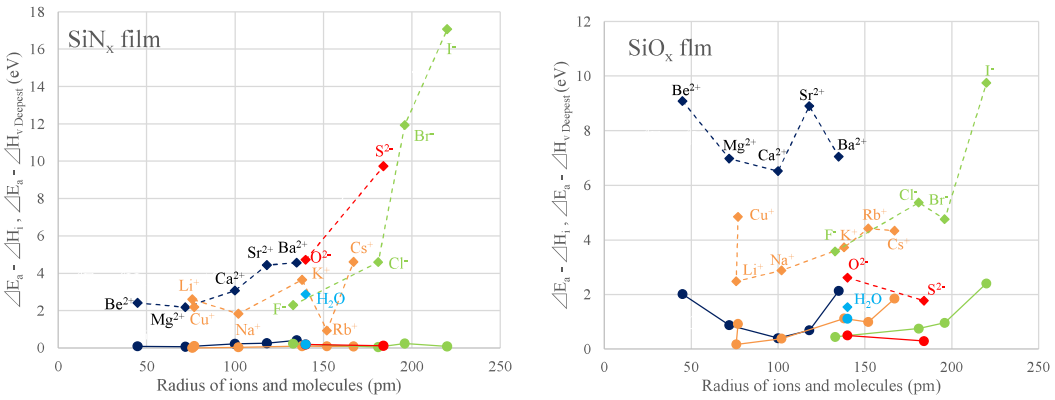


Fig. 2 Jumping barrier of inter-site and vacancy-interstitial for ions and molecules in SiN_x and SiO_x films.

水分(H_2O)蒸気を添加した NH_3 ガスによる低温酸化 Si 膜の構造と残留 OH 基量変化

Structure change and reduction of OH group amount in low-temperature Si oxide films annealed by NH_3 gas with the addition of water H_2O vapor

北陸先端大、[O]堀田 將
JAIST, Susumu Horita
E-mail: horita@jaist.ac.jp

【はじめに】低温酸化 Si(SiOx)膜の形成は、薄膜トランジスタや高密度化する集積回路などへの応用が期待され、膜質の向上と共に、より低温形成が望まれている。しかし、堆積温度の低温化に伴い膜中には多くの OH 基成分が残留し、絶縁性を悪化させるため、堆積後には 350℃以上の高温アニール処理が必要となっている。これに対して我々は、N_2 ガスに NH_3 ガスを添加したアニールにより、OH 残留量をより低温で劇的に減少することを報告した。[1] 今回、NH_3 ガスに水分(H_2O)蒸気を加えることで、SiOx 膜の構造変化や残留 OH 基量のより減少を観測したので、その結果を報告する。

【実験方法】SiO_x 膜は、堆積源として Decamthylcyclopentasiloxane:$C_{10}H_{30}O_5Si_5$ を用い、O_3 及びトリクロロエチレン(TCE)ガスを併用して Si 基板上に大気圧 CVD 法により 190℃、10 分間堆積した。堆積後の OH 基除去には、温度：~130℃、時間：60 分、基本反応ガス：0.2 lm (liter per minute), NH_3(99.999%) + 0.2 lm, N_2 で行った。H_2O 蒸気添加は、室温付近の純水溶液に基本反応ガスを通して行い、参考にエタノール(ET)溶液でも行った。アニールガスとしては、基本反応ガスのみ（標準）、H_2O、及び ET 蒸気ガス添加の 3 種類を用いた。酸化 Si 膜の化学的構造はフーリエ変換赤外分光(FT-IR)法により観測した。また、試料の OH 基含有量は、Si-O-Si ピークによる規格化 FT-IR スペクトルの 3050～3700 cm^{-1} の OH に起因するブロードなピークの規格化積分面積 S_{OH} (cm^{-1})で評価した。

【結果と考察】図 1 に、基本ガスのみ(青線, SOH=16.0 cm^{-1})、H_2O 蒸気（赤線, SOH=11.4 cm^{-1}）、エタノール(ET)蒸気（緑線, SOH=9.35 cm^{-1}）を添加したものの規格化 FT-IR スペクトルを、未処理の As-Depo.(黒線, SOH=32.8 cm^{-1})のものと共に示す。図から OH 基に起因する～950 及び 3400 cm^{-1} 付近のピークが、アニール処理により大きく減少していることが分かる。これは、膜中 OH 基同士の脱水反応 ($OH+OH \rightarrow H_2O+(1/2)O_2$)を NH_3 が触媒として促進したためである。一方、OH 基の元となる H_2O 蒸気のものが、予想に反して無添加のものよりも減少している。ET 蒸気の場合は、アルコキシル化反応 $Si\text{-}OH+ET \rightarrow Si\text{-}CH_2CH_3 + H_2O$ により減少するが、H_2O 蒸気の場合は、合理的に説明できない。図 2 に、同試料の Si-O-Si stretching ピーク~1065cm^{-1} 位置を中心としたスペクトルを示す。よく見ると、H_2O 蒸気のピーク位置 kp が他に比べ高波数側に 5~6 cm^{-1} と大きくシフトしており、kp 値が Si-O-Si 結合角に依存することから、SiOx 膜構造の明確な変化が示唆される。また、cage 構造を反映する 1150cm^{-1} 付近の緩やかなピークがアニールにより減少しており、膜の緻密化を示唆しているが、3 者の中では H_2O 蒸気のものが最も減少している。この H_2O 蒸気による構造変化と OH 基量減少との間には何かしらの関係があると推測される。

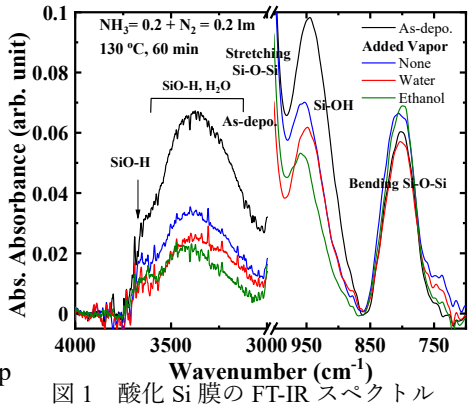


図 1　酸化 Si 膜の FT-IR スペクトル

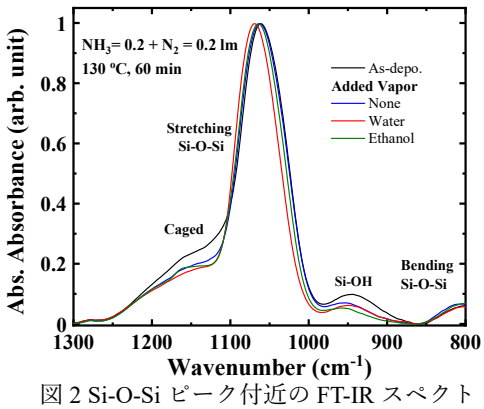


図 2 Si-O-Si ピーク付近の FT-IR スペクト

【おわりに】講演当日は、H_2O 蒸気効果のメカニズムについても他のデータを加えて議論する予定である。謝辞：本研究の一部は、JSPS 科研費 JP21K04649 の助成を受けた。

参考文献： 1) 堀田將、第 66 回春季応用物理学会,11a-PB2-4。

13 半導体 | 一般セッション(口頭講演)：13.4 Si系プロセス・Si系薄膜・MEMS・装置技術

[16a-B1-1~11] 13.4 Si系プロセス・Si系薄膜・MEMS・装置技術

[16a-B1-1]
ミニマルファブの真空ローディング、真空搬送システム
〇原 史朗[1,2,3]、野田 周一[1]、前川 仁[1] (1.産総研、2.ミニマルファブ、3.ハンドレッド)

[16a-B1-2]
ミニマルファブにおける連続作製デバイスのウェハ間ばらつきの解析
〇本郷 仁啓[1]、原 史朗[1,2,3] (1.ミニマルファブ、2.産総研、3.Hundred Semiconductors)

[16a-B1-3]
ミニマルファブSOI-CMOSにおけるNMOS特性の制御
〇浜本 毅司[1]、山崎 昭浩[2]、原 史朗[1,2,3] (1.ミニマルファブ推進機構、2.産総研、3.(株)Hundred Semiconductors)

[16a-B1-4]
ミニマル反応性スパッタ装置によるHfN_x膜の形成
〇野田 周一[1]、薮田 勇気[3]、山本 直子[3]、亀井 龍一郎[3]、原 史朗[1,2,4] (1.産総研、2.ミニマルファブ、3.誠南工業、4.Hundred Semiconductors)

[16a-B1-5]
ミニマルイオン注入装置のデバイスプロセスへの適用検討 (II)
〇三浦 典子[1]、浜本 毅司[2]、佐藤 和重[2]、橋本 直樹[3]、北村 是尊[3]、原 史朗[1,2,4] (1.産総研、2.ミニマルファブ推進機構、3.フジインバック、4.Hundred Semiconductors)

[16a-B1-6]
ミニマル装置を用いた水素アニールによる柱状構造の表面処理
〇濱田 健吾[1,2]、Huang Ying[4]、佐藤 徳子[4]、千葉 貴史[1,2]、寺田 昌男[1,2]、佐藤 和重[1,2]、金森 義明[4]、原 史朗[2,3] (1.坂口電熱株式会社、2.ミニマルファブ推進機構、3.産総研、4.東北大学)

[16a-B1-7]
テーパー形状のTSVホールにおける水素アニール効果の研究 II
〇田中 宏幸[1]、徳永 博司[2]、野沢 善幸[3]、速水 利泰[3]、佐藤 和重[4,6]、田上 佳代[5]、原 史朗[1,6] (1.産総研、2.MTC、3.SPPテクノロジーズ、4.坂口電熱、5.熊本防錆、6.ミニマルファブ)

[16a-B1-8]
ミニマルレーザ加熱装置よる水素雰囲気表面処理の半導体CMOS デバイスへの応用検討
〇佐藤 和重[1,2]、千葉 貴史[1,2]、寺田 昌男[1,2]、濱田 健吾[1,2]、原 史朗[1,3] (1.ミニマルファブ推進機構、2.坂口電熱、3.産総研)

[16a-B1-9]
ミニマル液体ドーパント・プロセスに用いた攪拌装置の効果
〇中道 修平[1]、本郷 仁啓[1]、佐藤 和重[1]、居村 史人[3]、原 史朗[1,2,3] (1.ミニマルファブ、2.産総研、3.（株）Hundred Semiconductors)

[16a-B1-10]
スピンドロップレット洗浄における乾燥プロセス

〇根本 一正[1]、谷島 孝[2]、佐藤 和重[2]、三浦 典子[1]、原 史朗[1,2,3] (1.産総研、2.ミニマルファブ、3.(株)Hundred Semiconductors)

[16a-B1-11]

ミニマルウェハ製造におけるウェハ洗浄後の乾燥装置III

〇谷島 孝[1]、藤田 龍哉[3]、根本 一正[2]、居村 史人[3]、原 史朗[1,2,3] (1.ミニマルファブ、2.産総研、3.ハンドレッドセミコン)

ミニマルファブの真空ローディング、真空搬送システム

Wafer loading and wafer transfer system under vacuum in Minimal Fab

産総研 [1]，ミニマルファブ推進機構 [2], (株)Hundred Semiconductors[3]　°原 史朗 [1,2,3]，野田 周一 [1]，前川 仁 [1,2]
AIST [1], MINIMAL [2], Hundred Semiconductors, inc.[3]　°Shiro Hara[1,2,3], S. Noda[1], and H. Maekawa[2]
E-mail: shiro-hara@minimalfab.jp

【ミニマルファブのウェハ搬送コンセプト】

ミニマルファブは、半導体ファブの巨大設備投資を大幅に低減し、かつスピーディーに（数日～1週間以内で）製造することを目的として開発された超小型半導体生産システムである。ウェハはハーフインチで、製造装置も幅は30 cmの人サイズである。また、局所クリーン化生産システムが発明されたことで、巨大コストの大きな要因であるクリーンルームの建設コストと運営コストを徹底的に抑えた。この局所クリーン化生産システムでは、図1、図2にあるように、ハーフインチウェハは、赤いミニマルシャトルと呼ばれる小さな密閉容器によって装置間を人または自動機械で搬送される。ウェハが存在する(1)ミニマルシャトル、(2)PLAD（＝ウェハロードポート）、(3)装置内プロセス室の3つの環境は密閉され外界から遮断されている。ミニマルファブは、このように外界から密閉遮断されているので、基本設計された2010年の時点で既に、原理的には真空での装置間搬送が可能なように設計されていた。

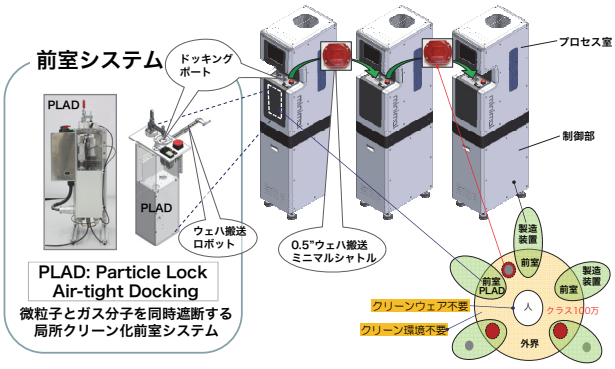


図1 ミニマルファブのウェハ搬送系

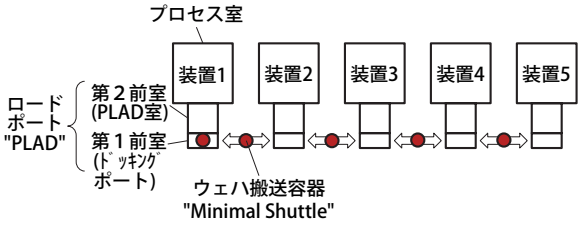


図2 ミニマルファブのウェハ搬送系模式図

また、ロードポートであるPLADは一見一室構成に見えるが、実は、ミニマルシャトルがドッキングするドッキングポート部(図3)には、ドッキング時にシャトルフランジ（図3)のOリングでシールされる構成になっているため、そのドッキング部の僅かな隙間空間は、ドッキング後に密閉空間となり、その密閉空間をガスパージ及び真空排気出来る仕組みになっている。結果として、ミニマルファブでは、２つの前室（ドッキングポート空間と PLAD 空間)を備えた構造になっている。半導体の製造装置では、ウェハの出し入れの度に化学反応炉を一々大気暴露すると、排気時に良い真空に回復するのに数時間を要するため、前室２室構成（１室目が大気-真空行き来、２室目は常時真空)が普通である。ミニマルファブでも超小型化されているにもかかわらず、２準備室構成となっている。このことで、ミニマルファブは超高真空対応になっている。特筆すべき点は、第一の準備室・ドッキングポートが僅か数ccであるため、数秒の真空引きで、常時真空である第２のPLAD室へウェハを搬送出来る点にある。結果として、たとえばミニマルスパッタ装置では、ウェハローディングに最短で15秒、長くても30秒以内に装置本体の真空チェンバーへウェハを搬送出来る。プラズマ着火まで1分を要しない。このことは、ミニマルファブの短TAT(Turn Around Time)に絶大な効果があり、基本的にミニマルファブではウェハ出し入れの待ち時間がほぼゼロというこれまでに無かった高速性を実現している。

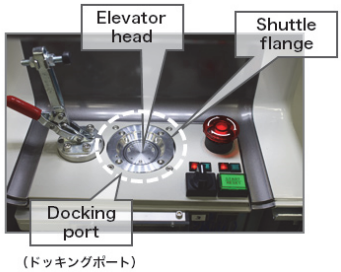


図3 ドッキングポート部

また、ミニマルシャトルも、実用システムとして世界で初めて真空対応になっているため、ミニマルファブでは初めて装置間で真空搬送が実現する。これまでの10年は、ミニマルファブ装置の開発に注力してきたため、この真空搬送機能は次世代機能として封印してきたが、現在、装置がほぼ商品化されてきたため、現在装置間真空搬送機能の開発に着手している。本報告では、この先進的な真空搬送システムテクノロジーの詳細を発表する。

© 2024年 応用物理学会

ミニマルファブにおける連続作製デバイスのウェハ間ばらつきの解析

Analysis of wafer-to-wafer variation of devices fabricated in Minimal Fab

○本郷 仁啓 [1]、原 史朗 [1, 2, 3]
([1] ミニマルファブ推進機構、 [2] 産総研、[3](株)Hundred Semiconductors)
○H. Hongoh[1] and S. Hara[1, 2, 3]
([1] MINIMAL, [2]AIST and [3]Hundred)
E-mail: Hongoh.Hiroyoshi@minimalfab.com

【 背景 】ハーフインチウェハ、幅約 30 cm の製造装置、クリーンルームを不要とする局所クリーン化搬送システムの 3 つの特徴を有しているミニマルファブ[1]は、2011 年に装置開発を開始して以来、装置やプロセスの開発やデバイス試作の実績を積み重ね、2023 年に CMOS の PDK を公開した。これは Google に続いて世界で２番目である。ミニマルファブは、PDK を公開出来るほど安定してきているが、open PKD を公開した以上、「デバイスが普通に作れる」、「いつも同じ様に作れる」、「ウェハのどの部分も同じ様に作れる」というレベルで歩留まりや諸特性の安定性を向上させてゆく必要がある。

【 目的 】これまでに、ミニマルファブで作製したデバイスの性能ばらつきを測定し、そこで得られた結果から、ロット間ばらつき[2]、ウェハ面内ばらつき[3]について報告し、面内ばらつきの改善も報告してきた[4]。ミニマルファブはウェハ 1 枚から半導体デバイスを製造することが可能で、ミニマルファブの 1 ロットはウェハ 1 枚である。

そもそも、何故ロット＝まとめて作る単位という考え方、整理の仕方、運用の仕方があるのか？実際の製造においては、ロット内は同じ性能ばらつきであり、ロットが違うと性能ばらつき具合が違ってくるということは、半導体に限らず多くの製造現場で体験されているからである。しかし、何故ロット間で性能ばらつきが違ってくるのか？我々は、その一つの大きな要因は、プロセス総時間であると見なしている。実際、過去の我々のトランジスタ製造では、短期間に作った方が、ばらつきが少ないということがしばしば見受けられてきた。

そこで今回は、それを明快にする実験を行う。ミニマルファブを使う複数枚ウェハのデバイスの作製で、ウェハ 1 枚ずつ複数回作製する場合と、複数枚のウェハをプロセスごとに続けて全体で一度に作製する場合の、デバイスの特性を解析して報告する。

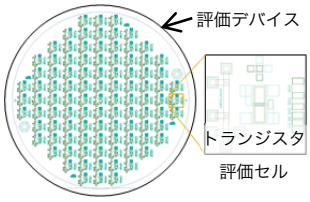


図 1 評価デバイス(CAD 図)

【 実験 】本実験では、ミニマル pMOS トランジスタのばらつきを評価した。トランジスタ製造実験を 2 つの種類に分け、グループ毎に各 5 枚作製・評価した。グループ 1 は、1 枚のウェハで作製開始から完成までの工程を実行し、完成後に次のウェハの作製に取り掛かる手順を繰り返した。グループ 2 は、一つのプロセスを 5 枚のウェハに続けて実行し、次のプロセスも 5 枚のウェハに続けて実行する手順を繰返して最終工程まで進めた。つまりグループ２では５枚ともほぼ同時にできあがる。グループ２では、まとめて５枚作るため、グループ１の５枚合計総時間よりも短くなると思われるかもしれないが、実際には、プロセス総時間は 284.6 時間となり、グループ１の 5 枚合計 202.4 時間の 1.4 倍を要した。対象のデバイスは、ウェハ全体の 99 箇所に、pMOS-FET を含むセルが配置されている(図 1)。その pMOS-FET の電気的特性(I_DV_D)を測定し、飽和領域(V_G=−10V、V_D=−10V)でのドレイン電流を評価した。２つのグループではドーピング濃度設定を変えていたため、I_D の平均値がシフトしているが、ばらつきは同じ扱いができる。

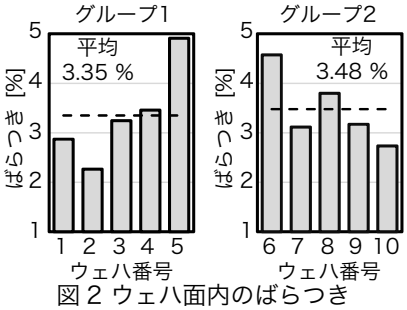


図 2 ウェハ面内のばらつき

【 結果 】グループ 1、２の測定・解析結果から、それぞれのウェハの I_D の面内ばらつき(σ/平均)を図 2 に示す。グループ 1 と 2 では同程度に見えるが、それぞれのグループのばらつきを単純に平均すると、グループ 1 は 3.35 %、グループ 2 は 3.48 %と、わずかにクループ 1 のばらつきが小さい。次に、グループ毎の全トランジスタの標準偏差を平均値で割った全 Tr.ばらつきと、ウェハ毎の平均値の標準偏差を全体の平均値で割ったウェハ間ばらつきを図 3 に示す。グループ 1 に比べてグループ 2 の全トランジスタのばらつきが小さい。さらに、ウェハ間のバラツキではグループ２がさらに小さかった。

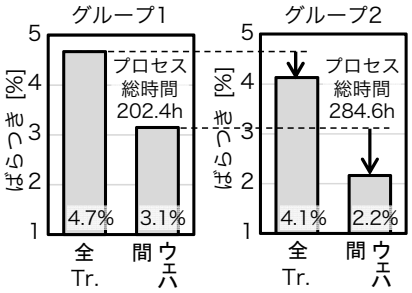


図 3 ウェハ間のばらつき

【 考察 】グループ 1 の面内ばらつきがわずかに小さくなったのは、プロセス総時間が短い、すなわち、正味のプロセス時間を除くプロセスとプロセスの間の待機時間が短いために、プロセス間待機中の汚染の影響が少なかったことが一つの要因と考えられる。一方、グループ 2 で全トランジスタと面間ばらつきが小さくなっているのは、各プロセスにおいてグループ内のウェハを続けて処理した結果、温湿度や気圧などの環境までも含むプロセス条件を近接させることができたためと考えられる。

【 結論 】上記実験から、結局はばらつきに影響しているのは、プロセスの全時間であることがわかった。すなわち、手早く作ればウェハ間のばらつきは小さく、プロセス間のウェイト時間が長いほど、汚染が進むと同時にプロセス装置の状態が変化するので、ウェハ間ばらつきは大きくなると考えられる。

[1] 原史朗、 クンプアンソマワン、 「ミニマルファブの開発とそのデバイスプロセス」、 応用物理、 83(5)、 380 (2014).
[2] 本郷仁啓、第 70 回応用物理学会春季学術講演会 15p-B410-1 (2023).
[3] 本郷仁啓、第 84 回応用物理学会秋季学術講演会 20a-A301-7 (2023).
[4] 本郷仁啓、第 71 回応用物理学会春季学術講演会 22a-61C-7 (2024).

© 2024年 応用物理学会

ミニマルファブ SOI-CMOS における NMOS 特性の制御

Control of NMOS characteristics in minimal fab SOI-CMOS

○浜本 毅司 [1], 山崎 昭浩 [2], 原 史朗 [1, 2, 3]
[1] ミニマルファブ推進機構、[2] 産総研、[3](株)Hundred Semiconductors

MINIMAL [1], AIST [2], and Hundred[3]

○Takeshi Hamamoto[1], Akihiro Yamazaki[2], and Shiro Hara[1, 2, 3]
E-mail: takeshi.hamamoto@minimalfab.com

【背景】ミニマルファブは多品種少量生産をターゲットとした生産システムである[1]。このミニマルファブでのデバイス適応実績としては、カンチレバーに代表される MEMS デバイス、CMOS およびそれを用いた Ring Oscillator やオペアンプなどが試作されてきた。1,000 Gate レベルの集積回路の動作検証は既に終了し、試作ファブの段階となっている。今後は、PDK(Process Design Kit)を構築し、広範なユーザー設計に基づいた回路動作に対応すべく、MOSFET の動作精度向上、プロセスロバスト性確保に注力している。今回、NMOS 特性(閾値および駆動電流)を制御する方法として、チャネル領域に固層拡散によるボロンをドープ、その後行う酸化の膜厚を変化させる手法を構築した。

【NMOS 特性制御方法】

図 1(a)に NMOS 断面構造を示す。チャネル領域はP型であるが、ボロン濃度と Si 膜厚を最適化することにより、Full Depletion (FD)動作を実現している。その形成プロセスを同図(b)に示す。チャネル形成領域にボロン SOG (Spin on Glass)からの固層拡散によりボロンをドープする。次に、閾値制御を目的とした酸化(以下、閾値制御酸化と記す)を行う。その後、ソース/ドレイン領域にリンを固層拡散によりドープする。引き続き、素子分離形成、ゲート電極形成、配線層形成を行うことにより、MOS 構造を完成させる。

図 2 に閾値制御酸化による閾値制御方法を示す。閾値制御酸化で制御を行うのは、同図(a)に赤枠で示した Si 膜厚(tSi)および P 型チャネル濃度(Na)、である。酸化膜厚を変化させた時に、前記 Si 膜厚(tSi)と P 型チャネル濃度(Na)の変化、および閾値変化の関係を同図(b)に纏めた。酸化膜厚を厚膜化すると、tSi および Na は減少する。tSi 薄膜化はゲート電圧がチャネルの形成に、より効果的に寄与するようになり閾値低下をもたらす。また、Na 減少もチャネル空乏層中の電荷密度が減少するので、低いゲート電圧でチャネルが形成され、閾値低下をもたらす。一方、酸化膜厚の薄膜化は、tSi および Na に対して前記と逆の効果をもたらすため、厚膜時に比較して閾値は上昇する。図 3 に実際に試作を行った SOI-CMOS に於ける酸化時間と NMOS 閾値の関係を示す。

【NMOS の閾値および駆動電流の制御】

実際の MOS 特性に於いては、閾値制御に加えて、駆動電流の制御が重要である。ミニマルファブで試作を行った SOI-CMOS における NMOS の閾値と駆動電流の関係を図 4 に示す。各プロットは 1wafer の平均値である。Group A, B, C の 3 種類に分けられることが判明した。Group A は前項の tSi および Na 制御により、閾値変化を介して駆動電流が変化している領域である。一方、Group B および C はそれ以外の要因が付加されている領域であるが、その制御に関しては当日の発表で報告する。

【参考文献】[1]原史朗、ｸﾝﾌﾟｱﾝ ｿﾏﾜﾝ:「ﾐﾆﾏﾙﾌｧﾌﾞの開発とそのﾃﾞﾊﾞｲｽﾌﾟﾛｾｽ」, 応用物理学会誌 83(5), p.380(2014).

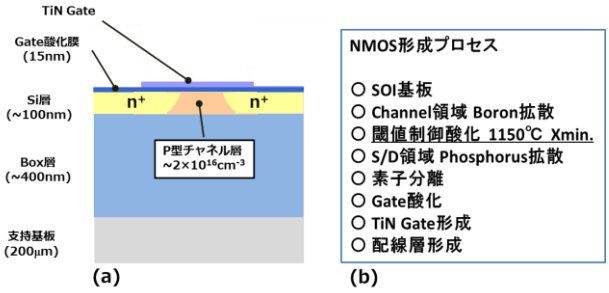


図 1 NMOS 断面構造と形成プロセス

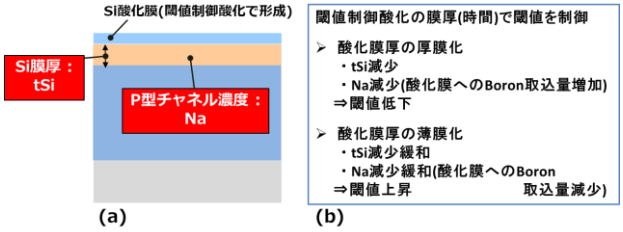


図 2 閾値制御酸化による閾値制御

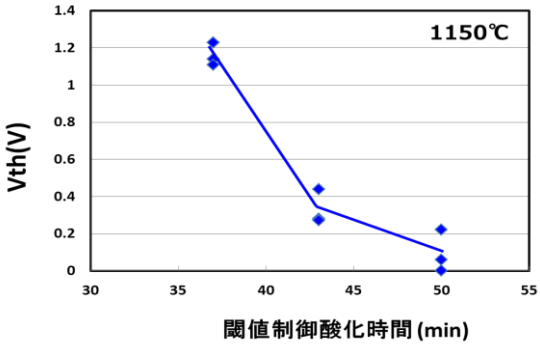


図 3 閾値制御酸化時間と閾値の関係

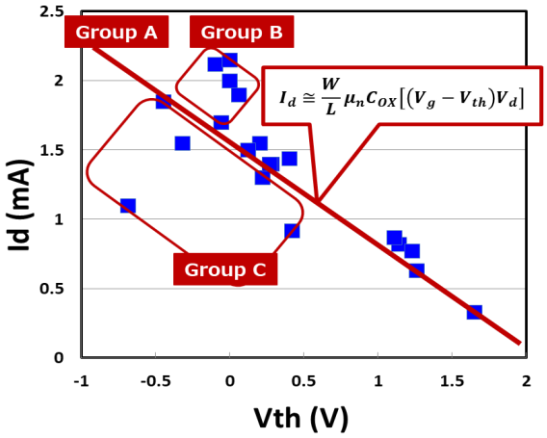


図 4 閾値と駆動電流の分布

© 2024年 応用物理学会

ミニマル反応性スパッタ装置による HfN_x 膜の形成

Formation of HfN_x Films Using Minimal Fab Reactive Sputtering Tool

産総研 [1]，ミニマルファブ推進機構 [2]，誠南工業㈱[3]，(株)Hundred Semiconductors
○野田周一 [1]、薮田勇気 [3]、山本直子 [3]、亀井龍一郎 [3]、原 史朗 [1,2,4]
AIST[1], MINIMAL[2], Seinan-kogyo[3]
○S. Noda[1], Y. Yabuta[3], N. Yamamoto[3], R. Kamei[3], S. Hara[1,2,4]
E-mail: s-noda@aist.go.jp

1．はじめに

強誘電性 HfN_x 膜（以下 FE-HfN_x 膜と言う）を用いた 1Tr 型の FE-RAM 応用[1]を念頭に、ミニマル反応性スパッタ装置を用いての膜形成を検討している。前回の講演では、HiPIMS(High Power Impulse Magnetron Sputtering)、DCMS(DC Magnetron Sputtering)、RFMS(Radio Frequency Magnetron Sputtering)の 3 種類のマグネトロンスパッタ方式での成膜特性について示し、FE-HfN_x 膜となる結晶組成が得られる可能性を示した[2]。3 種方式の中で、DCMS では N_2 流量比率を増やすとプラズマ放電の維持が困難となる現象が発生した。原因は Hf ターゲットの窒化反応が予想外に大きく、ターゲット表面が絶縁化されてチャージアップしてしまうためと考えられた。この課題を克服するため、プラズマ放電手順・方法を工夫し、これにより高 N_2 流量比率での成膜が可能となった。今回は、各種成膜条件での膜の評価を行ったのでその結果を報告する。

2．実験方法

HfN_x 膜用に開発したミニマル反応性スパッタ装置[2]を用いて、今回は DCMS に特化して成膜を行った。高 N_2 流量比率で DC 放電が安定化するように以下の手順で HfN_x の成膜を行った。①スパッタ成膜前にウェハレスで Ar プラズマクリーニングをするようにした。この際、1Pa 以下の低圧で放電が安定化するまでエージングした。②ウエハ搬入後、まず Ar のみで放電開始し、その後所定量の N_2 を添加して放電が安定してからシャッター開けて成膜開始するようにした。

成膜条件として、混合ガス（Ar+N_2）流量は 14 sccm 一定、圧力は 1 Pa 一定、DC 放電パワーは 50 W 一定、ステージ温度は室温および 400℃とした。基板はハーフインチ Si (100)ウエハを熱酸化（膜厚 70nm）したものを用い、GI(Grazing incident)-XRD と対称 $\theta/2\theta$ XRD の両方で結晶組成を調べた。また、HfN_x 膜の比抵抗は、4 探針測定機を用いて評価した。

3．結果

図 1 は、HfN_x 膜の堆積速度と N_2 流量の関係を示す。上記の方法で N_2 流量を大幅に高めても安定なスパッタが可能となり、流量 5 sccm（流量比で 36%）まで実験を行った。DCMS でも他の放電方式と同様な傾向が得られることを確認した。図 2 は、形成した HfN_x 膜の XRD スペクトルを示す。(a)GI-XRD ではランダムな方向を向いた結晶の回折面を、(b)symmetric $\theta/2\theta$-XRD では結晶のウエハ表面に平行な回折面を示している。(a)GI-XRD では、N_2 流量 0.1 sccm のとき α-Hf 構造に近い結晶組成になっているが、0.6 sccm のときにはストイキオメトリーに近い δ-HfN_x に遷移していることが分かった。さらに N_2 流量を増やすと δ-HfN_x (111)面の回折角のみが低角側にシフトしていき(200)面はあまり変化しないことが分かった。これは結晶構造に歪が生じていることを示しており高誘電性の発現が期待される。(b) $\theta/2\theta$-XRD では、(a)と同様の傾向を示すが、基板面の影響を受けて少し異なった結果となりそれぞれの回折ピークはさらに低角度側にシフトした。図 3 は、HfNx 膜の比抵抗と N_2 流量の関係を示す。ストイキオメトリーに近い膜（N_2 0.6 sccm）で最も高い電導度が得られる[3]ことが再現でき、それより高い N_2 流量では指数的に比抵抗が増大することが分かった。N_2 3 sccm 以上の条件では、4 探針測定機で測定ができなかった。以上、HfN が元来絶縁性であると言う観点で、図 3 の高抵抗化が可能になったことから、窒素流量を大幅に増やすプロセス改良によって HfN 膜本来の特性に近づいた成膜ができるようになったことがわかった。

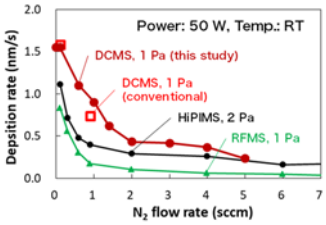


図 1. HfNx 堆積速度 vs N_2 流量

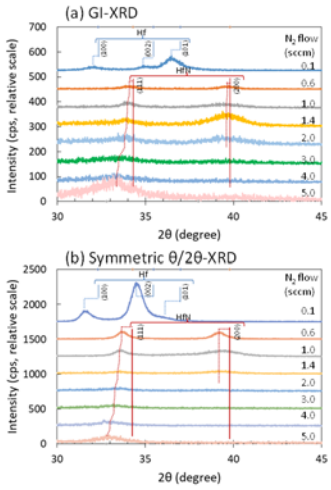


図 2. XRD パターンの N_2 流量依存性

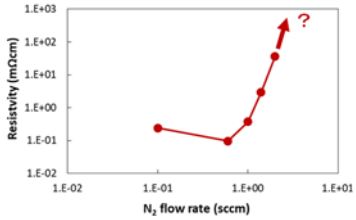


図 3. HfN_x 膜比抵抗 vs N_2 流量

参考文献： [1] S. Ohmi et al., J. Electron Devices. Soc., **9**, 1036 (2021). [2] 野田周一，他，第 71 回応用物理学会春季学術講演会，22a-61C-3 (2024). [3] C. Hu et al., Scripta Materialia, **108**, 141 (2015).

© 2024年 応用物理学会

ミニマルイオン注入装置のデバイスプロセスへの適用検討（II）

Study of Device Process Using Minimal Fab Ion Implantation Tool (II)

産業技術総合研究所 [1], ミニマルファブ推進機構 [2] ,フジ・インバック [3], (株)Hundred Semiconductors[4]
○三浦 典子 [1], 浜本 毅司 [2], 佐藤 和重 [2], 橋本 直樹 [3], 北村 是尊 [3], 原 史朗 [1,2,4]

AIST [1], MINIMAL [2], FUJI IMVAC INC.[3] and Hundred[4]
Noriko Miura[1], Takeshi Hamamoto[2], Kazushige Sato[2], Naoki Hashimoto[3], Yoshitaka Kitamura[3], and Shiro Hara[1,2,4]
E-mail: noriko-miura@aist.go.jp

[背景と研究目的]　ミニマルファブ[1]では、現在すべてのプロセスにミニマル装置を用いて製造するフルミニマルプロセスにてデバイス開発を行っている。すでに熱拡散法を用いた TiN ゲート SOI CMOS をベースとしたロジック回路やオペアンプを試作し、実用レベルの歩留まりを得ている。今後、さらなる実用化を目指して、トランジスタの微細化による高集積化を検討中である。ここで、現状のスピンオン熱拡散法による不純物ドーピングプロセスでは、熱拡散時に不純物の水平方向拡散で実効チャネル長が設計値よりも縮小することや、ソース/ドレインとゲート電極とのアライメント精度などが今後微細化をさらに進める上で課題となっている。一方、イオン注入法では、熱拡散が不要であり、ゲートファースト法によるセルフアライメント方式を用いることで、チャネル長のさらなる微細化が可能である。我々はミニマルファブ開発の一環として、イオン注入装置の開発も行っており、これまでの開発で、P イオン、B イオン共に実プロセスに適用可能な注入量や面内均一性を得ている[2],[3]。本研究では、ミニマルイオン注入装置の CMOS デバイスプロセスへの適用の可能性と課題について議論する。

[注入装置概要]　図 1 にミニマルイオン注入装置の構造図を示す。本装置では、イオンソースを 1 装置につき 1 種類に限定し、質量分離に電磁石を使わず、超小型の永久磁石を搭載した ExB 質量分離器使用することで装置を小型化した。さらに、イオン発生器側を接地電位とし、ステージのみに負の加速電圧をかけることで、高電圧の絶縁をステージ周辺だけに極小化し、狭い筐体内に部品を密接して配置することを可能にした。注入量の制御には、ステージと後段加速用高圧電源の間に設置した微小イオン電流計を用いている。ウェハ全面に均一にビームを照射するために XY 偏向電極によるビーム補正と XY ステージのメカニカルスキャンを併用している。

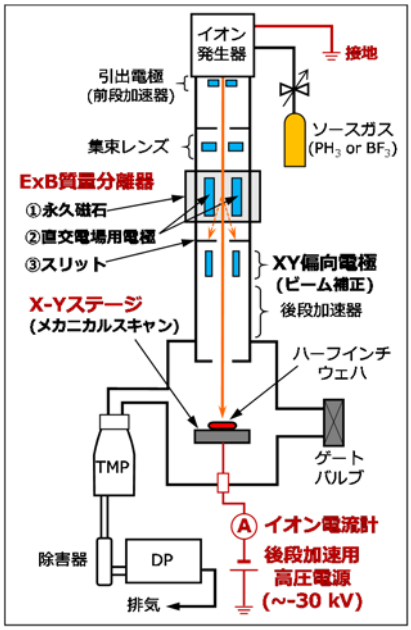


図 1 ミニマルイオン注入装置の構造

[ミニマル CMOS デバイスプロセスとイオン注入特性]　図 2 にフルミニマル TiN ゲート SOI-CMOS トランジスタの構造を示す。現行の SOI-CMOS トランジスタは、活性層が 100 nm と薄いため、イオン注入の加速電圧が現行の 20 kV でも、活性化アニールを併用することで Full-depletion 構造のトランジスタが作製可能である[4]。表 1 にミニマルイオン注入装置のプロセス性能を示す。現行の熱拡散プロセスと同等の不純物濃度となる注入量は、P イオンが 1E+15/cm², B イオンが 1E+14/cm² 程度で、イオン電流値から算出される注入時間は 2～10 min 程度と見積もられる。これは、プロセス制御が可能でかつ、実用的なプロセス時間であるといえる。注入量の面内均一性およびウェハ間ばらつきは、10～13%程度であり、現行の熱拡散プロセスよりはややばらつきが多いものの、実使用に耐え得るレベルに収まっている。当日は、注入特性とデバイスへの適用について詳細に議論する。

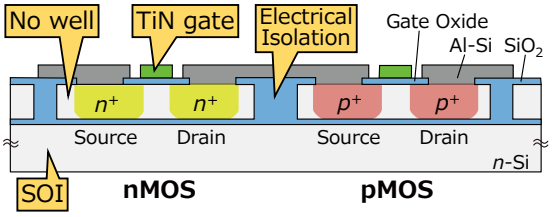


図2 ミニマル SOI-CMOS トランジスタの構造

表1 ミニマルイオン注入装置のプロセス特性

	P^+注入	B^+注入
加速電圧 (kV)	～20	～20
イオン電流値 (nA)	300	140
注入時間 (sec)*	600	120
注入量の面内均一性(1σ)	13%	10%
注入量のウェハ間ばらつき	10%	未評価

* P^+注入量 1E+15/cm², B^+注入量 1E+14/cm²の場合の概算注入時間

＜参考文献＞
[1] S. Khumpuang, et. al, IEEE Trans. Semi. Manufacturing, **28**(3), 551-556 (2015).
[2]三浦他、第 81 回応用物理学会秋季学術講演、10a-Z10-3
[3]三浦他、第 70 回応用物理学会春季学術講演、15a-B410-9
[4]三浦他、第 68 回応用物理学会春季学術講演、19a-Z24-9

この成果は、国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO)の助成事業(JPNP12004)の結果得られたものです。

© 2024年 応用物理学会

ミニマル装置を用いた水素アニールによる柱状構造の表面処理

Surface treatment of columnar structures by hydrogen annealing using Minimal Fab

ミニマルファブ推進機構 [1]，産総研 [2]，東北大学 [3]，坂口電熱 [4]

濱田 健吾 [1,4]，Ying Huang[3]，佐藤 徳子 [3]，千葉 貴史 [1,4]，寺田 昌男 [1,4]，佐藤 和重 [1,4]，

金森 義明 [3]，原 史朗 [1,2]

MINIMAL [1], AIST [2], Tohoku University[3], and SAKAGUCHI ELECTRIC HEATERS[4]

Kengo Hamada[1,4], Ying Huang[3], Noriko Sato[3], Takashi Chiba[1,4], Masao Terada[1,4], Kazushige Sato[1,4],

Yoshiaki Kanamori[3], and Shiro Hara[1,2]

E-mail: k_hamada@sakaguchi-d.jp

［はじめに］現在、ミニマルファブ推進機構を中心に開発を進めているミニマルファブの加熱装置の一つに、レーザ光をウェハに面で照射し加熱するレーザ加熱がある。従来の抵抗加熱と異なり、レーザ光をウェハだけに照射し加熱するので、超高速な昇降温が可能である [1]。我々はミニマルレーザ加熱装置の発展形としてレーザ加熱による表面平滑化を可能とするミニマルレーザ水素アニール装置を平成 30 年度サポイン事業（現 Go-Tech 事業）により開発した。これまでに、カンチレバー構造を作製し、その立体構造について水素アニールの表面処理効果を確認することができた [2]。今回は、より立体的な柱状構造に対してレーザ水素アニールを実施したので、その結果について報告する。

［実験方法］20mm 角 Si 基板に対してφ50μm 高さ約 60μm の円柱状の構造を深掘りエッチングにて作成した。サンプルについては実験前に SPM 洗浄、HF 洗浄、純水洗浄を実施した。Fig.1 のようにサンプルをハーフインチサイズのトレイにカットして載せ、ミニマルレーザ水素アニール装置を用いて、水素流量 30cc/min、チャンバー圧力を 20kPa とし、プレアニールを 800℃で 30min、アニールを 1100℃で 5min 実施した。

［実験結果］Fig.2 に水素アニール前後の SEM 観察画像を示す。円柱形状は維持したまま、側面の深掘りエッチングにより形成されたスキャロップが選択的に平滑化していることが確認できる。

本研究の一部は、東北大学マイクロ・ナノマシニング研究教育センターの設備を用いて行われた。

［結論］本レーザ水素アニール技術は、微細な立体構造形成後に、表面を平坦化するのに非常に効果的であることが見いだされた。

［1］佐藤，遠江，千葉，寺田，中戸，三浦，池田，クンプアン，原「ミニマルレーザ加熱装置の高速昇降温特性の評価」第 62 回応用物理学会春季学術講演会 講演予稿集，14p-A29-4（2015）

［2］佐藤，千葉，寺田，濱田，中山，金森，田中，加瀬，クンプアン，原「ミニマルレーザ加熱装置を使った水素雰囲気での Si 立体構造の表面処理」第 68 回応用物理学会春季学術講演会 講演予稿集，19p-Z24-3（2021）

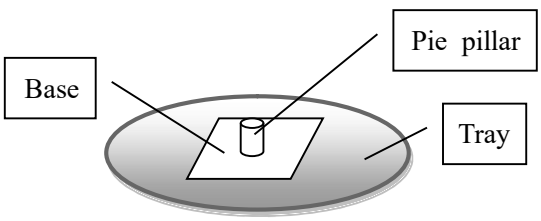


Fig.1 Experiment Summary Chart

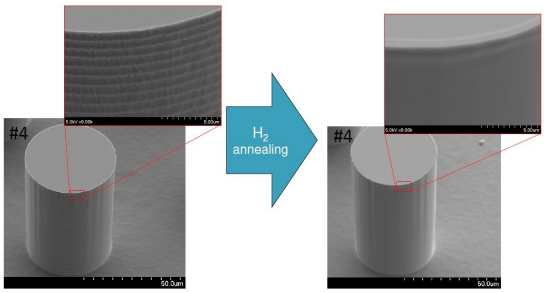


Fig.2 SEM Images

テーパー形状の TSV ホールにおける水素アニール効果の研究 Ⅱ

Study of hydrogen annealing effect in tapered TSV holes Ⅱ

○田中 宏幸 [1], 徳永 博司 [2], 野沢 善幸 [3], 速水 利泰 [3], 佐藤 和重 [4,6], 田上 佳代 [5], 原 史朗 [1,6]
([1] 産総研, [2] MTC, [3] SPPT, [4] 坂口電熱, [5] 熊本防錆, [6] ミニマルファブ)

○H. Tanaka[1], H. Tokunaga[2], Y. Nozawa[3], T. Hayami[3], K. Sato[4,6], K. Tanoue[5] and S. Hara[1,6]
([1] AIST, [2] MTC, [3] SPPT, [4] SAKAGUCHI, [5] KB, [6] MINIMAL) E-mail: tanaka.hiroyuki@aist.go.jp

【 背景・目的 】

ウェアラブルデバイス等 IoT デバイスは、近年、新たな半導体マーケットとして大いに期待されている。これらの IoT デバイスでは、センサーとアンプ、制御回路などが集積されるため、高機能化と多機能化を同時に実現する 3 次元や 2.5 次元の積層化が急務となっている。とりわけ注目を集めている技術は、アドバンスドパッケージ技術である。特に、3 次元パッケージを達成する究極の技術として期待されてきたのが、シリコン貫通ビア（TSV: Through Silicon Via）技術である。

TSV 技術による 3 次元実装は、シリコン貫通ビアを電極として上下のシリコン積層ダイをマイクロバンプによって、電気的かつ機械的に接続する技術である。ただし、その製造は、技術的に難易度が高く、莫大な開発と製造コストが掛かることから、当初の期待より大きく立ち遅れているのが現状である。

我々のグループにおけるミニマルファブ[1]の技術開発では、TSV を実装の総合技術と位置づけ、TSV の中核技術である深掘り Bosch Process[2]をミニマルファブでのプロセス開発の最重要課題の一つとしている。先の応物学会[3][4]において、シードスパッタ膜形成時に、反応にかかわる原子分子のホール出入りを促進するため TSV ホール形状を僅かに順テーパー化すること、また、深掘りボッシュプロセス工程で発現するスキャロプや縦縞の凹凸に起因する層間絶縁膜の脆弱な部分は、水素アニール処理による平坦化を行うことで深掘りエッチング側壁を平坦化するのに有効であることを報告した。しかしながら、その効果の検証、すなわち水素アニールホール形成後の電極埋め込みプロセスへの効果については、検証が必要であった。本稿では、水素アニールの次工程以降へ影響について解析結果を報告する。

【 実験結果と考察 】

実験は、僅かなテーパー角を保った深掘りボッシュプロセスで Si 基板にφ10μm 径、深さ約 60μm 程度の via-hole を作成し、一方は、スキャロップを残した状態のもの、もう一方は、水素アニールでスキャロプを平坦化処理したものを用意した(図１(a)(b))。前回からは、次工程以降の SPM-RCA 洗浄、TEOS-CVD 成膜、Ti/Cu シードスパッタ、Cu めっき工程まで行っている。これらの処理については、統一条件とした。水素アニールは、水素 30sccm、圧力 20kPa、温度 1100℃、10min とした。ただし、ここでは、我々が開発した赤外線レーザ加熱方式のミニマル水素アニール装置を用いている。瞬時に室温から 1100℃までウェハ基板を昇降温させることができ、正確な加熱時間の制御が特長となっている。

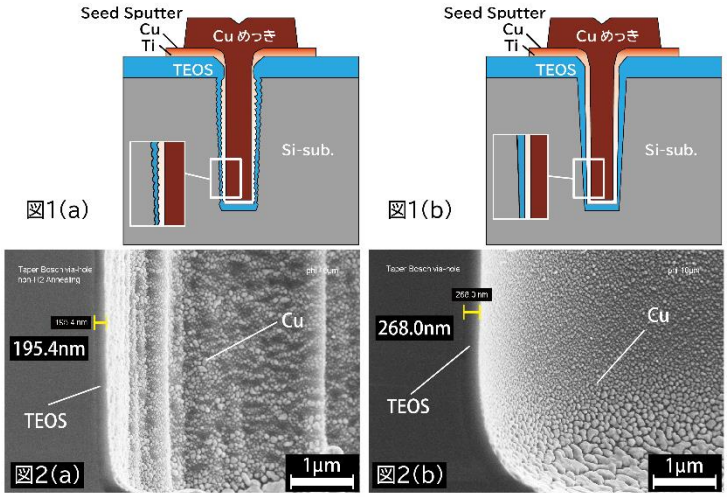


Fig.1 a) Bosch スキャロプあり。アニール無し。ホール断面図。
Fig.1 b) Bosch プロセス後、水素アニールあり。ホール断面図。
Fig.2 a) Bosch スキャロプあり。アニール無し。シードスパッタまで。
Fig.2 b) Bosch プロセス後、水素アニールあり。シードスパッタまで。

その結果、深掘りエッチング後に見られるスキャロプ跡にシードスパッタを行った方（水素アニール無し）は、スパッタ成膜むらが見られた(図２(a))が、水素アニール処理を行った方は、ナノレベルの滑らかさとなり、TEOS 層間絶縁膜厚とめっき処理前の Ti/Cu シードスパッタ成膜均質性に明確な相違が現れた(図２(b))。特に、シードスパッタ膜形成の難点となっている TSV ホール底部側面については、深掘り時のスキャロプや縦筋が滑らかな面となってシード層を形成しているため、めっき埋め込みに極めて重要な効果があることが解かった。

＜謝辞＞この成果の一部は、国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO)の助成事業(JPNP12004)の結果で得られたものである。

＜参考文献＞
[1] 原 史朗, クンプアン ソマワン ,「ミニマルファブの開発とそのデバイスプロセス」, 応用物理, 83(5), 380 (2014).
[2] H. Tanaka, S. Khumpuang, S. Hara: “Small Plasma Space with a Small Plasma Source and Its Advantage in Minimal Fab”, J. Photopolym. Sci. Technol., 32(5), pp.747-752 (2019).
[3] H. Tanaka ら,「シリコンビアホールエッチングにおけるテーパー角制御の研究」, 第 70 回応用物理学会, 15a-B410-5 (2023)
[4] H. Tanaka ら,「テーパー形状の TSV ホールにおける水素アニール効果の研究」, 第 84 回応用物理学会, 20a-A301-5 (2023)

© 2024年 応用物理学会

ミニマルレーザ加熱装置よる水素雰囲気表面処理の半導体 CMOS デバイスへの応用検討

Application study of hydrogen atmosphere surface treatment using minimal laser heating equipment to semiconductor CMOS devices

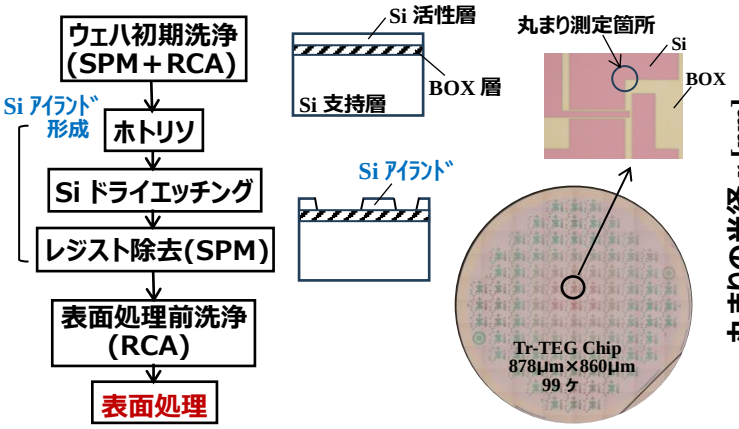
ミニマルファブ推進機構 [1], 坂口電熱 [2], 産総研 [3]
○佐藤 和重 [1,2], 千葉 貴史 [1,2], 寺田 昌男 [1,2], 濱田 健吾 [1,2], 原 史朗 [1,3]
MINIMAL[1], SAKAGUCHI ELECTRIC HEATERS[2], and AIST[3]
○Kazushige Sato[1,2], Takashi Chiba[1,2], Masao Terada[1,2], Kengo Hamada[1,2], and Shiro Hara[1,3]
E-mail: kazushige-sato@minimalfab.com

[はじめに] 現在、我々が開発を進めているミニマルファブの加熱炉の一つに、レーザ光をウェハに面で照射し加熱するレーザ加熱がある。従来の抵抗加熱とは異なり、レーザ光をウェハだけに照射し加熱するので、超高速な昇降温が可能である [1]。さらにチャンバーを超クリーン化して水素雰囲気でアニールできる表面処理装置を開発し評価を進めている[2]。表面処理の効果は Si 原子の自己拡散により、加工でできた 1)加工面の凹凸の平滑化、2)平面角部や断面上部の鋭角部の丸め化である [2] 。最初のデバイスへの応用検討は Si 立体構造を特徴とする MEMS デバイスで、ドライエッチングによる Si 加工時に発生する面荒れや鋭角部が機械的強度の低下や性能劣化を招き大きな課題となっていたため、簡単なカンチレバー構造を作製し梁の強度向上を確認した[3]。次に、Si 半導体 CMOS デバイスに応用できないか検討を開始した。トランジスタ等の素子は活性層 Si を BOX 層までドライエッチングすることにより分離(Si アイランドを形成)されており、Si アイランド形成後に表面処理を行えば、1)のシリコン表面の平滑化により酸化膜との界面の安定化、2)の加工できた鋭角部の丸め化により Si アイランド上に形成される配線の断線マージン向上を期待できる。そこで今回は、SOI-CMOS プロセスに使用している洗浄装置、ドライエッチング装置等、全てのプロセスでミニマル装置を使用し Si アイランドを形成した評価サンプルを作製し、水素アニール表面処理を施して、これによって起こる Si の自己拡散による形状変化を評価したので報告する。

[実験方法] 図 1(a)に評価サンプルの Si アイランド作製フローを示す。SOI ウェハの初期洗浄を実施後、Si アイランドを形成したいところのレジストを残すようにホトリソグラフィでレジストをパターン二ングし、ドライエッチングによりレジストが形成されてないところの Si をエッチングし、その後レジストを SPM で除去した。表面処理は RCA 洗浄後、水素流量 30 cc/min、チャンバー圧 20 kPa、処理温度 800、900、1000、1100℃で 10 min 間行った。表面処理の効果は、図 1(b)に示す平面角部の丸まり具合で評価した。丸まり具合は、丸まったところに円を描きその円の半径で数値化した。

[実験結果] 図 2 は表面処理温度と丸まりの半径 r の関係を示す。図より表面処理温度 800℃では表面処理無しと半径 r はほぼ同じで形状の変化は見られなかったが、900℃以上から半径 r は大きくなり角部の形状変化が見られた。これにより、ミニマルの SOI-CMOS デバイスにおいて水素雰囲気表面処理の効果が得られる見通しを得た。

[1] 佐藤, 遠江, 千葉, 寺田, 中戸, 三浦, 池田, クンプアン, 原 第62回応用物理学会春季学術講演会 14p- A29-4 (2015)
[2] 佐藤, 千葉, 寺田, 濱田, 中山, 金森, 田中, 加瀬, クンプアン, 原 第61回応用物理学会秋季学術講演会 9a-Z10-7 (2020)
[3] 佐藤, 千葉, 寺田, 濱田, 中山, 金森, 田中, 加瀬, クンプアン, 原 第68回応用物理学会春季学術講演会 19a-Z24-3 (2021)



(a) サンプル作製フロー

(b) 平面角部の丸まり測定箇所

図 1 サンプルの評価概要

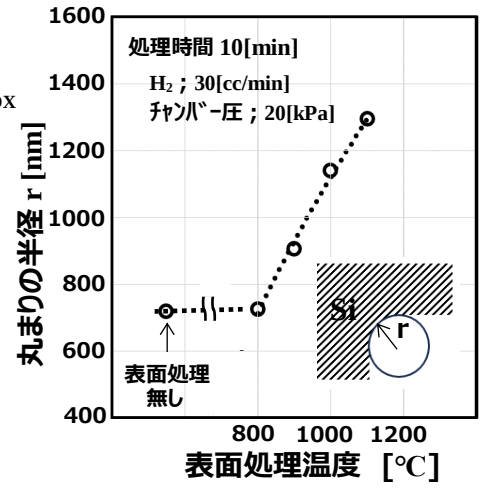


図 2 表面処理温度と丸まりの半径 r の関係

ミニマル液体ドーパント・プロセスに用いた撹拌装置の効果

The effect by the stirring device on a wafer using Minimal-Fab Spin-on Dopant Process

1 ミニマルファブ推進機構、 2 産業技術総合研究所、 3 (株) Hundred Semiconductors
○中道 修平[1]、 本郷 仁啓[1]、 佐藤 和重[1]、 居村 史人[3]、 原 史朗[1, 2, 3]
MINIMAL[1], AIST[2] and Hundred[3]
Shuhei Nakamichi[1], Hiroyoshi Hongoh[1], Kazushige Sato[1], Fumito Imura[3], and Shiro Hara[1, 2, 3]
E-mail: shuhei-nakamichi@minimalfab.com

【背景・目的】産総研とミニマルファブ推進機構では、ϕ12.5mm のハーフインチウェハを用いた生産システムであるミニマルファブの開発を進めてきた[1]。MOSFET 構造のデバイス試作に必要な不純物拡散には、SOD(Spin On Dielectric)材料を用いた熱拡散方法を採用している。このプロセスを用いて、これまで CMOS を中心としたデバイス及びそれらを用いた集積回路の試作等に成功している。さらに、より高集積で安定したデバイスを製造するために、SOD 塗布プロセスの安定性を向上させたプロセスの開発を進めてきた[2]。実際に、SOD 塗布プロセスを集積回路などの実用用途に用いる場合、溶質として不純物原子が入った有機ポリマーを用いる SOD 溶液では、溶媒中で溶質を均一にウェハコーティングしようとする場合、以下の問題が顕在化する。(1)コーティングの面内均一性、(2)ウェハエッジ部に発生するエッジビード、(3)裏面への塗布薬剤の回り込みである。これらの課題に対応した塗布プロセスを開発した[3]。前回の報告 [4]では、ボロンドープ pMOSFET で、直径方向に不均一な塗布分布を、均一になるように改良することができた。しかし、ボロンドープ pMOSFET プロセスにおいて SOD 材料の塗布前の撹拌条件による塗布膜の膜厚への影響を把握していなかった。

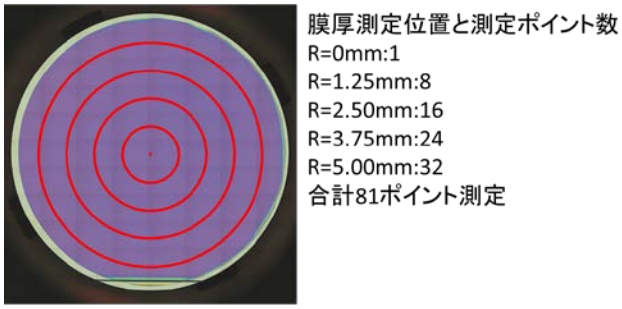
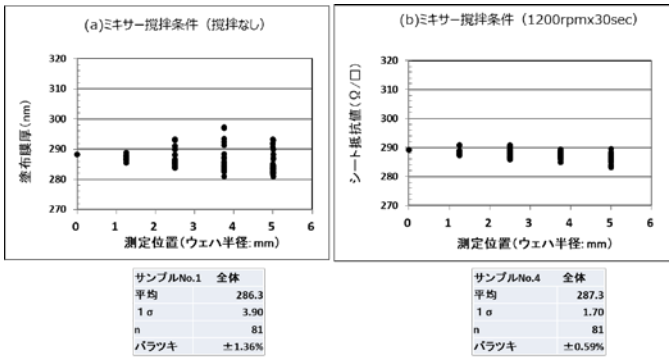


図1. ウェハ上での膜厚測定位置とポイント数



サンプルNo.1	全体
平均	286.3
1σ	3.90
n	81
バラツキ	±1.36%

サンプルNo.4	全体
平均	287.3
1σ	1.70
n	81
バラツキ	±0.59%

図2. 改善プロセス前後の塗布膜厚分布
(a)溶液のシェイクなし
(b)溶液のシェイクあり

【プロセス改良と検証】今回の実験では、SOD 溶液を均一に塗布するため、以下の条件を使用した。①ウェハ 90rpm で SOD 溶液を吐出し、そのまま 90 秒間回転、②SOD 溶液を振り切るための回転加速度を 5000rpm/sec、③振り切り後の乾燥の回転数を 5000rpm とした。ただし、使用する SOD 溶液中のボロンを均一に分散させるため、塗布の前にミキサーで SOD 液を収納したシリンジに振動を与えて撹拌した。上記①～③のプロセス条件で塗布薬液のスピンコートを行い、2 枚を作製した。図 1 のように、半径 6.25mm のウェハの半径 0, 1.25、2.50、3.75、5.00mm 上の合計 81 点の膜厚を測定し、塗布膜厚のばらつきを調べた。このボロン塗布膜の膜厚測定を、上記の 2 つの評価サンプルに対して行った。図 2 (a)に撹拌なしの条件で作製した塗布膜厚測定サンプル(a)のウェハ径方向に対する塗布膜の分布を示す。膜厚測定の位置をウェハ中心からの距離として表している。ウェハ面内での膜厚のばらつきは、±1.36%(1σ=3.90nm)であった。ただし、ウェハ全体でばらつきが大きかった。同様に、SOD 溶液撹拌後のデータを図 2 (b)に示す。プロセス改善後の条件で作製したサンプル(b)のウェハ面内での膜厚のばらつきは、±0.59%(1σ=1.70nm)であり、図 2 (a)の分布と比べるとかなり均一な分布となっていた。以上の結果をまとめると、SOD 溶液の撹拌を行うことによって、SOD の塗布膜は大変綺麗にウェハ面内で均一化された。今後は撹拌条件による電気的特性への影響を評価していく予定である。

〈参考文献〉
[1] 原 史朗、クンプアン ソマワン：「ミニマルファブの開発とそのデバイスプロセス」、応用物理学会誌 83(5),p.380(2014).
[2] 中道 修平ら、第 83 回応用物理学会秋季学術講演会 20a-A406-7(2022)
[3] 中道 修平ら、第 70 回応用物理学会春季学術講演会 15a-B410-2(2023).
[4] 中道 修平ら、第 71 回応用物理学会春季学術講演会 25p-52A-5(2024).

© 2024年 応用物理学会

スピンドロップレット洗浄における乾燥プロセス

Drying Process in spin droplet cleaning

産業技術総合研究所 [1], ミニマルファブ推進機構 [2], (株)Hundred Semiconductors[3]
○根本一正 [1], 谷島孝 [2], 佐藤和重 [2], 三浦 典子 [1], 原 史朗 [1, 2, 3]

AIST[1], MINIMAL[2], Hundred[3]
Kazumasa Nemoto [1], Takashi Yajima [2], Kazushige Sato [,2] , Noriko Miura[1] , Shiro Hara[1, 2, 3]
E-mail: nemoto.kazumasa@aist.go.jp

［背景と研究目的］ 超小型デバイス生産システムミニマルファブ[1]は、装置が人サイズで、ウェハが非常に小さいことと、局所クリーン化が大きな特徴である。このことで有利なプロセスと不利なプロセスとがでてくる。たとえば、ウェハをスキャニングするプローブ技術では、面積が 300 mm と較べて 1/1,000 のためにスキャニング時間つまりプロセス時間が 1/1,000 になるため、非常に有利である。一方、ミニマルファブの、ウェットプロセスではウェハが直径 12.5 mm と小さいため、ウェハエッジの表面張力が強く働き、その強い表面張力を利用してウェハ表面に液体を保持したままウェットプロセス処理が可能であり、省薬液になる。しかし一方で、薬液を多量に使う浴槽バッチ浸漬方式を避け、片面枚葉洗浄を選択した場合、表面と裏面の洗浄やエッチングが同時に出来ないだけでなく、ウェハが小さいため裏面へのエッジ部からの薬液が回り込んで汚染されるという課題があった。この課題に対し、ウェハを保持するウェハステージにリングを装着する事により、ウェハ裏面空間に薬液を溜めることができ、このことによりウェハ表面と裏面の表面張力が連動してウェハ上下の液体が一体化保持され、同時両面洗浄が可能になることが分かった[2]。ところが、表面張力が上がったことにより、ウェハ洗浄薬液を超純水に置換するリンスが難しくなる。この課題に対しては、間欠的な純水リンスの使用によって、消費量を削減した効率的なリンス方法で効果が上がることが分かり[3]、さらに、リンス量(効率)性能は薬液別で置換効率が違うことが分かり、薬液別にリンス処理が最適化された[4]。残る課題は、まだ調べられていない乾燥効率を体系的な観点から把握することである。本報告ではこの点について報告する。

［乾燥方法と実験の結果］ ミニマル洗浄装置の乾燥プロセスは、薬液洗浄プロセス、続くリンスプロセスと同じ装置プロセス室で行われる。ウェハステージで 3000rpm の高速回転しながら、薬液吐出ヘッドから乾燥 N_2を吐出して液を振り切る (図 1)。プロセス室および搬送室は、N_2雰囲気で残留酸素が少ないため、Si 表面が僅かな残留薬液と残留水でエッチングによるウォーターマークの発生を抑制できる。ウェハ乾燥実験では、洗浄液として1SPM(硫酸/過酸化水素水)を用いた。乾燥方法を変える実験①では、N_2パージなし(図 1(a))と、薬液吐出ヘッドとウェハ間の距離の変更(図 1(b)、乾燥時昇温(図 1(c)の3つの方法を用いた。これらについて、パーティクルの増減数で評価したのが図2である。図2の縦軸は、乾燥前後のパーティクル数差を示している。本実験では、ミニマル洗浄装置でウェットプロセス後、外界から遮断されているミニマルシャトル(ウェハ搬送容器)でウェハをミニマル表面異物検査装置に運ぶので、搬送中のパーティクル増加は無いことは確認済みである。図2でわかるように、薬液吐出ヘッドからの N_2パージなしと、ウェハ下面のランプヒータ ON で乾燥プロセスを行った場合は、パーティクル数は増加した。一方、薬液吐出ヘッドとウェハ間の距離を変更した場合は、距離を 1mm で N_2パージした結果が一番良く、パーティクル数は 17 個減少した。次に、乾燥時間を 30sec（見かけでウェハ上に残留液滴はみられない時間）～150sec に変更してパーティクル測定する実験②をおこなった（図3）。実験条件は実験①での最適条件（洗浄液は SPM を用いて、乾燥プロセスは N_2 パージと 3000rpm の高速回転で薬液吐出ヘッドとウェハ間の距離は 1mm）で乾燥時間だけを変更した。乾燥時間 30sec でプロセス直後の測定では 10 個減少したが、ウェハをウェハ搬送ケース(ミニマルシャトル)で保管し3日後にパーティクル再測定をすると、72 個増加していた。一方、乾燥時間 150sec の場合は 3 日後でも 14 個増加しただけであった。乾燥時間 30sec と 150sec のウェハ上のパーティクル分布図を見たのが図4であるが、乾燥プロセス直後測定のパーティクル数は同等でも3日後には、違いがあるのが分かる。つまり、乾燥時間とパーティクル増加数は相関関係にある。

［結論と考察］ 乾燥時間30sec でも、プロセス直後のパーティクル個数はプロセス前より減少したが、ミニマル表面異物検査装置で検出されない微粒子（恐らくは微少なサイズの残渣物質）が発生していているか、または、不完全な乾燥で乾燥後に僅かにシリコンエッチングが進行して、この微粒子が時間経過とともに検出レベルまで凝集すると考えられる。以上、薬液吐出ヘッドとウェハの距離を縮めることで、気流制御することは乾燥効率に効果があり、また、見かけで残留液滴が無くなった後もさらに乾燥時間を続けることで、ウォーターマークを大幅に抑える乾燥ができることがわかった。

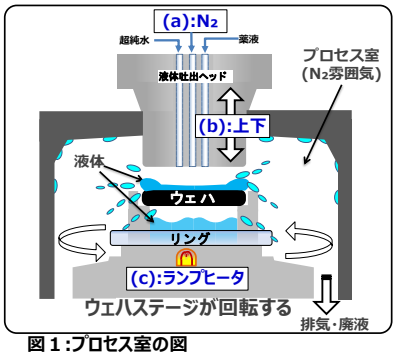


図 1 :プロセス室の図
(N2 パージとウェハステージスピン回転で乾燥)

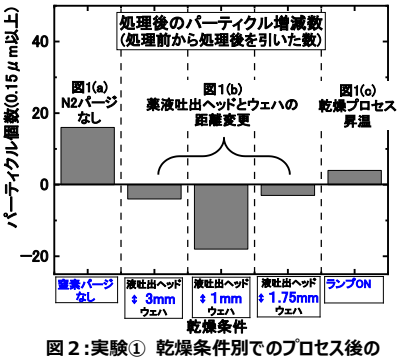


図 2 :実験① 乾燥条件別でのプロセス後のパーティクル増減数

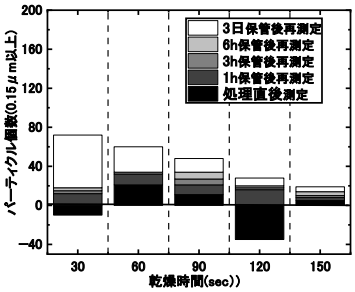


図 3 :実験② 乾燥時間別で経過時間の増加を積み上げたパーティクル数

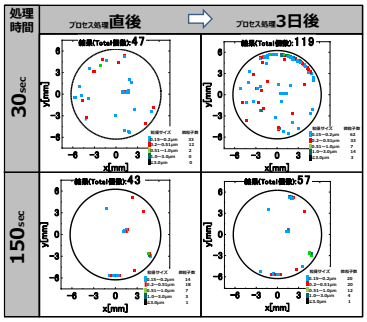


図 4:実験② 乾燥時間 30s と 150 s のプロセス直後と 3 日後のパーティクル図

＜参考文献＞

[1]原史朗，クンプアンソマワン，「ミニマルファブの開発とそのデバイスプロセス」，応用物理，83(5), 380 (2014).
[2] 根本一正,他,第69回春季応用物理学会24a-E103-12(2022),
[3] 根本一正,他,第70回春季応用物理学会15a-B410-6(2023)
[4] 根本一正,他,第71回春季応用物理学会22a-61C-1(2024)

© 2024年 応用物理学会

ミニマルウェハ製造におけるウェハ洗浄後の乾燥装置Ⅲ

Drying tool of wafer cleaning process in wafer manufacturing for Minimal Fab Ⅲ

ミニマルファブ推進機構[1]、産総研[2]、Hundred Semiconductors[3]
○谷島孝[1]、藤田龍哉[3]、根本一正[2]、居村史人[3]、原史朗[1,2,3]
MINIMAL[1] , AIST [2] and Hundred[3]
Takashi Yajima[1] , Tatsuya Fujita[3],Kazumasa Nemoto[2], Fumito Imura[3] and Shiro Hara[1,2,3]
Email: takashi-yajima@minimalfab.com

【はじめに】

我々は、局所クリーン化技術を導入することで、クリーンルームが不要となる半導体製造システム、ミニマルファブを開発してきた[1]。使用する直径12.5 mm、厚さ250 μmのウェハは、ミニマルファブ規格のウェハであり、このウェハ製造技術はミニマルファブの根幹にかかわる技術である。このハーフインチウェハは既に実用販売されているが、全ての技術がより高性能・低コスト・低環境負荷を求めて日々技術革新されるのと同様、ハーフインチウェハの製造工程も革新されてゆくべきである。前回までの報告では、残留微粒子濃度の低減化という観点で、ウェハ製造の最終工程である洗浄後の乾燥装置について報告してきた。前々回の応物発表の第１報では、ウェハをIPAに浸漬し窒素雰囲気中でIPA液面を下げていくことで、ウォーターマークの生じない乾燥（IPA浸漬乾燥）が出来ることを示した。前回は、よりIPA使用量が少ないIPAマランゴニ乾燥について報告したが、1バッジ40枚の乾燥を行った場合、隣り合うウェハ間の超純水が液滴として残ってしまうことが分かり、乾燥出来ているウェハはあるものの、マランゴニ乾燥自体の評価が十分に出来なかった。そこで今回はウェハ間の間隔を開け、液滴残りが生じにくいウェハ配置でマランゴニ乾燥を行い、IPA直接乾燥との比較を行った。

【IPA浸漬乾燥とマランゴニ乾燥】

IPA浸漬乾燥方式を図１-aに、IPAマランゴニ乾燥方式を図1-bに示す。大きな違いは、浸漬させる液体がIPA浸漬乾燥ではIPAを液体として用い、一方IPAマランゴニ乾燥では超純水を用い、IPAは超純水上の気体としてIPAを含んだ窒素を用いることである。

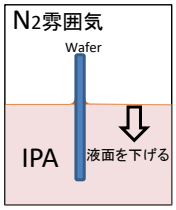


図１-a IPA 浸漬乾燥

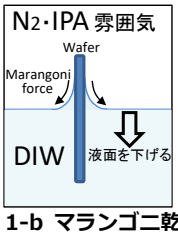


図 1-b マランゴニ乾燥

【前回の報告】

マランゴニ乾燥は、超純水の表面張力がIPAに対して約3.5倍であることを利用した乾燥方法であるが、複数のウェハをバッジ処理する場合、ウェハ間の隙間が小さいと超純水がウェハ間に残留してしまう。図2は、前回行ったウェハ40枚の乾燥後の写真であるが、○で示す部分では、ウェハが傾くことでウェハ同士が近接して超純水が排水しにくくなって残留してしまっている。乾燥が正常に行われたウェハは数枚のみだった。

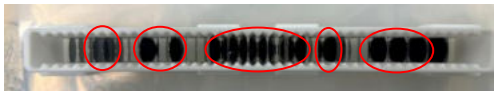


図２ マランゴニ乾燥後の液残り

【実験方法】

今回の実験はウェハ保持治具に、ウェハ同士が傾いても近接しないように１枚おきに配置し１バッジ20枚の乾燥を行った。図３に実験装置を示す。PTFE多孔質材を使用してIPAを窒素でバブリングし、5L/minのIPA/N_2蒸気を、乾燥浴槽に導入した。つぎに超純水を7mL/min で排出し超純水液面を下げていき、ウェハをN_2/IPA雰囲気に露出させ、マランゴニ乾燥を行った。ウェハはRCA洗浄後、一度IPA浸漬乾燥方式で乾燥させ、パーティクル測定を行っている。

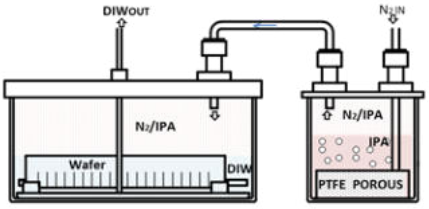


図３ 実験装置

【結果】

図4にマランゴニ乾燥前後のパーティクル数の増減を示す。IPA浸漬乾燥（n=40）は48個減少から107個増加の範囲、平均14個の増加だった。これに対し、マランゴニ乾燥(n=20)によるパーティクル数の増加は、53個減少から203個増加の範囲、平均42個の増加だった。これは、図２の隣接したウェハ配置の場合との比較では、平均値で約1/85と良好な値となっていた。一例として、40枚の乾燥で液残りによる乾燥不良がある場合のパーティクル分布と、今回の20枚での乾燥で液残りが無い場合のパーティクル分布を図5に示す。

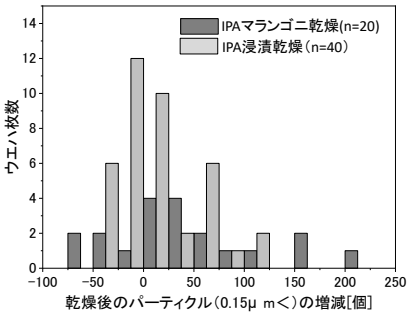


図４ パーティクル数の増減

【結論と今後行うべき内容について】

IPAマランゴニ乾燥でのウェハ間の液残りを避けるために、40枚収納できるウェハ治具に、１枚おきにウェハをセットし20枚の乾燥評価を行った。その結果、パーティクルの増加数はIPA浸漬乾燥にやや劣る結果となった。現時点ではIPA浸漬乾燥の方が、ウェハ間液残りの面でも有利であるが、IPA使用量の面でマランゴニ乾燥も優れているため、引き続き検討を進めるべきと考えられる。今後多数のウェハ生産を行っていく上で、IPA浸漬乾燥に於いてもウェハ間隙間の液残りは問題になる可能性があるので、マランゴニ乾燥、浸漬乾燥を問わず、ウェハ保持治具の溝形状を含めた構造の検討を進めていく予定である。

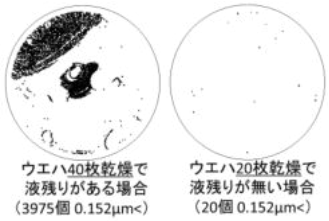


図５ 液残り有無でのパーティクル分布

【参考文献】

[1] 原 史朗, クンプアン ソマワン, 応用物理, **83**(5), 380-384(May 2014)
[2] 伴 功二, 佐藤 一直, 表面技術, **49**(3), 253-259(1998)
[3] 宮本 泰治, 鴨志田 隼司, 山田 純, Thermal Science & Engineering Vol.18 No2(2010) ,他

13 半導体 | 一般セッション(口頭講演)：13.4 Si系プロセス・Si系薄膜・MEMS・装置技術

[16p-B1-1~14] 13.4 Si系プロセス・Si系薄膜・MEMS・装置技術

[16p-B1-1]
CWレーザー結晶化（CLC）による（100）Grain-Boundary Free Si薄膜内の周期的な線状Dimple構造
〇佐々木 伸夫[1,2]、高山 智之[2]、浦岡 行治[2] (1.Sasaki Consulting、2.奈良先端大)

[16p-B1-2]
ゲートラストプロセスによるガラス基板上のダブルゲート poly-Ge TFTの開発
〇(M2)五嶋 大喜[1]、栗原 義人[1]、鈴木 翔[1]、原 明人[1] (1.東北学院大院)

[16p-B1-3]
ガラス基板上の4端子縦型poly-Si薄膜トランジスタのpHセンサ応用
〇鈴木 康聖[1]、田部井 哲夫[2]、原 明人[1] (1.東北学院大院、2.広島大RISE)

[16p-B1-4]
青色ダイレクトダイオードレーザを用いたCVD製膜a-Si膜の結晶化
〇岡田 竜弥[1]、野口 隆[1]、菱田 光起[2]、宮野 謙太郎[2]、小畑 直彦[2]、信岡 政樹[2] (1.琉大工、2.パナソニックコネクト)

[16p-B1-5]
Performance Improvement of n-channel TFT on Solid-Phase Crystallized poly-Ge by Channel Width Shrinking
〇linyu huang[1], atsuki morimoto[1], kota igura[2], takamitsu ishiyama[2], kaoru toko[2], dong wang[1], keisuke yamamoto[1] (1.Kyushu Univ., 2.Univ. of Tsukuba)

[16p-B1-6]
ガラス基板上多結晶Ge薄膜へのCMOSインバータの形成
〇森本 敦己[1]、黄 林昱[1]、居倉 功汰[2]、石山 隆光[2]、都甲 薫[2]、王 冬[1]、山本 圭介[1] (1.九大院　総理工、2.筑波大院　数理物質)

[16p-B1-7]
全スパッタ成膜により作製したμCLS (001) Si単結晶MOSFET
〇(M1)野須 涼太[1]、葉 文昌[1] (1.島根大)

[16p-B1-8]
300 mm GAAFETパイロットライン構築に向けたSiGe/Si超格子の分光エリプソメトリ評価
〇熊谷 直人[1]、福島 章雄[1]、陳 家聰[1]、上嶋 和也[1]、入沢 寿史[1]、林 善宏[1] (1.産総研)

[16p-B1-9]
Gate-all-around CMOS用TiN/TiAlC Gate電極の実効仕事関数の制御メカニズム
〇間部 謙三[1]、上嶋 和也[1]、太田 裕之[1]、森田 行則[1]、入沢 寿史[1]、林 喜宏[1] (1.産総研　SFRC)

[16p-B1-10]
エピタキシャル成長した $Si_{0.7}Ge_{0.3}$ および Si 薄膜におけるH_2 希釈 CF_4 ガスによるドライエッチングの選択性評価
〇(M1)尾崎 孝太朗[1]、高田 昇治[2]、堤 隆嘉[2]、石川 健治[2]、Yamamoto Yuji[3]、Wen Wei-Chen[3]、牧原 克典[1] (1.名大院工、2.名大低温プラズマ、3.IHP)

[16p-B1-11]
Ni超薄膜へのSiH_4照射によるNiシリサイド形成と結晶相制御

〇谷田 駿[1]、田岡 紀之[2]、牧原 克典[1] (1.名大院工、2.愛知工大)

[16p-B1-12]
低温PL分光法によるSiトレンチ加工で生成する格子間Siの拡散評価

〇藤森 涼太[1]、伊藤 佑太[1]、横川 凌[1,2]、小椋 厚志[1,2]、川勝 一斗[3]、久保井 信行[3]、嵯峨 幸一郎[3]、岩元 勇人[3] (1.明治大理工、2.明大MREL、3.ソニーセミコンダクタソリューションズ)

[16p-B1-13]
凍結洗浄における基板面内温度均一化の効果

〇中村 聡[1]、出村 健介[1]、山華 雅司[1]、服部 圭[2] (1.芝メカ(株)、2.名大低温プラズマ研)

[16p-B1-14]
半導体製造装置におけるクラスター分析を用いた異常検知の評価

〇志賀 優規[1]、平井 都志也[1,2]、加納 学[2] (1.KOKUSAI ELECTRIC、2.京都大学)

CW レーザー結晶化（CLC）による (100) Grain-Boundary Free Si 薄膜内の周期的な線状 Dimple 構造

Periodic Dimple Lines Observed in the (100) Grain-Boundary Free Si Thin Films Obtained by the CW Laser Crystallization

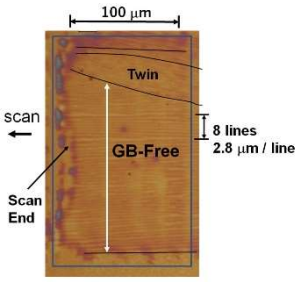
Sasaki Consulting[1]、奈良先端大[2]　○佐々木 伸夫[1,2]、高山 智之[2]、浦岡 行治[2]

Sasaki Consulting[1] and NAIST[2]

○Nobuo Sasaki[1,2], Satoshi Takayama[2], and Yukiharu Uraoka[2]

E-mail: sassasaki@yahoo.co.jp

（背景）CW レーザー結晶化(CLC)は、室温状態に保たれた石英やガラスの下層基板上に(100)配向 Grain-Boundary-Free(GB-Free)の Si 薄膜を安定に成長できる[1-3]。Si 膜成長プロセスに最適設計された DOE(diffractive optical element)による線状ビームが用いられる。スキャンの途中に障害物があっても、直ちに安定した(100)結晶成長が回復する。幅 200 μm で、長さ 10,000 μm 以上の GB-Free 結晶成長[4]や、ガラス基板上だけでなくポリイミド基板上への(100)成長にも成功した[5]。下層デバイスへの熱ダメージ無しに SOI 構造の積層が可能なので、monolithic 三次元 IC 応用が期待される。Si-TFT なので、CMOS 回路技術による低消費電力化も容易である。(100)GB-Free Si 膜に造られた TFT で、等方的な面内電気特性が測定された（移動度～700 cm^2/Vs）[6]。最近、この GB-Free 膜内に超微細 dimple 構造が見出された[7]。



光顕写真

（実験と考察）石英上に厚さ 60 nm の a-Si と 123 nm の SiO_2 キャップ膜を堆積しスキャン速度 12 mm/s, パワー 4.2 W で YVO4 第二高調波レーザー(波長：532 nm)の CLC 結晶化を行った。最適レーザー条件では、Grain-Boundary（misfit angle θ>15°）の無い巨大（100）単結晶膜が安定して得られる。その結晶領域内には subboundary(5°<θ<10°)が観察されたが[1,2]、この Subboundary 間に、幅 20~60μm の Subboundary (2°<θ<15°) Free の Si(100)薄膜が得られることが Electron Backscatter Diffraction (EBSD)で確認された。さらに Subboundary Free の Si 薄膜には、光顕でみるとスキャンに平行に～2.8 μm 周期の平行線パターンが見出された。Atomic Force Microscopy (AFM)によると、ほとんど平坦表面ながら、内角～179.4°で周期～3.43 μm、振幅 3～5 nm からなる超微細な線状 dimple 構造が表面に見出された。この Dimple 構造は、Hyperfine-Subboundary (θ<2°)によると考えられ、～3.43 μm の等間隔でスキャン方向に平行に並んで、一次元格子をつくっている。周期がほぼ一致するので、光顕および AFM で見られるパターンは同一のものと思われる。等方的な移動度を示す CLC 薄膜[6]でも見られるので、Hyperfine-Subboundary は TFT 移動度には影響しないと考えられる。Dimple の内角より、Si-SiO_2 界面での表面張力と Hyperfine-Subboundary の表面張力の比は、$\gamma_{(Hyperfine-Subboundary)}/\gamma_{(Si-SiO_2)}$ = 0.0114 である。一方 Hyperfine-Subboundary の misfit 角は EBSD 検出限界の 2°以下なので、Hyperfine-Subboundary を構成している転位間の間隔は、11nm 以上と見積もられる。

（結論）Subboundary Free な CLC Si 薄膜において、misfit-angle 2°以下の Hyperfine-Subboundary が、等間隔でスキャン方向に平行に並んでいる超格子構造を見出した。

（参考文献）

[1] N. Sasaki et al., Thin Solid Films, Vol. 631, 112, 2017.
[2] N. Sasaki et al., Appl. Phys. Express Vol. 12, 055508, 2019.
[3] M. Arif et al., Thin Solid Films, Vol. 708, 138127, 2020.
[4] M. Arif et al., IMID 2021 (Seoul, Korea, Aug. 25-27, 2021) p5-42.
[5] N. Sasaki et al., J. Electronic Materials, Vol. 50(6), 2974, 2021.
[6] N. Sasaki et al., Crystals, Vol. 13, 130, 2023.
[7] N. Sasaki et al., IEEE edtm 2023 (Seoul, Korea, March 7-10, 2023) P-002.

© 2024年 応用物理学会

ゲートラストプロセスによる ガラス基板上のダブルゲート poly-Ge TFT の開発

DG poly-Ge TFTs fabricated on glass substrates by using gate last process

東北学院大院　○五嶋 大喜、栗原 義人、鈴木 翔、原 明人
Tohoku Gakuin Univ., ○Daiki Goshima, Akito Kurihara, Sho Suzuki and Akito Hara
E-mail: s236531002@g.tohoku-gakuin.ac.jp

【はじめに】高度情報社会はLSIの発展に支えられている。平面的な集積は限界に達しつつあり、トランジスタを3次元的に積層するM3D（Monolithic 3D）が注目されている。この技術を実現するためには、プロセス時に下層のトランジスタに対してストレスや熱的な悪影響を与えないことが要求される。Ge はSi と比較すると、低い融点と高い移動度を有しており、上層用トランジスタに適している。我々は400 ℃以下での結晶化を可能とするために、銅を用いた金属誘起結晶化法(Cu-MIC)を薄膜Geの結晶成長に採用し、ガラス基板上やプラスチック基板上への薄膜トランジスタ(TFT)の作製に成功している。[1,2] 過去に作製したTFTは、TFTプロセスの最終工程において、Ge と電極Alの元素置換を行うことでSDを金属化する方法（SDラストプロセス）を用いてきた。しかし、横方向元素置換がばらつくという問題点があった。本研究では、予めGeとAlの縦方向の元素置換を行うことで SD を形成したのち、ゲートを最後に形成するゲートラストプロセスにより作製したTFT性能について報告する。

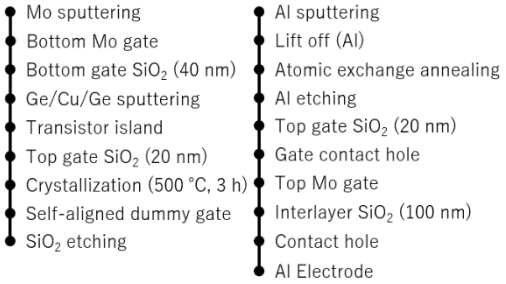


図 1. デバイスプロセス

【実験】デバイスプロセスを図1に示す。ガラス基板上に、ボトムゲート(BG)メタルとしてモリブデン(Mo)をスパッタし、BG を形成する。BG絶縁膜として SiO_2 を40 nm成膜後、Geの膜厚が19.2 nm になるように Ge/Cu/Ge 層を成膜し、トランジスタアイランドを形成する。トップゲート(TG)絶縁膜として SiO_2 を20 nm成膜後、N_2 雰囲気中500 ℃3時間の熱処理によってCu-MICを行った。ガラス基板であることを利用し、背面露光によりボトムゲートメタルをマスクとし、レジストからなるトップダミーゲートを形成し、その後、RIE で SD 部の SiO_2 をエッチングする。引き続いてアルミニウム(Al)をスパッタし、リフトオフによりトップゲート上の Al を除去する。300 ℃の熱処理を行い、Ge と Al の縦方向元素置換を行うことで、SD を Al 化して低抵抗 SD を実現した。次に SD 以外の余分な Al を除去し、TG 絶縁膜として SiO_2 を20 nm を追加成膜した（TG の SiO_2 は合計40 nm である）。その後、RIE によりゲートコンタクトを形成し、さらに TG メタルの Mo をスパッタし、TG と BG を連結、TG ゲートを形成する。引き続き、プラズマ CVD により層間絶縁膜の SiO_2 を100 nm 形成し、RIE でコンタクトホールを形成し、Al 電極を形成する。

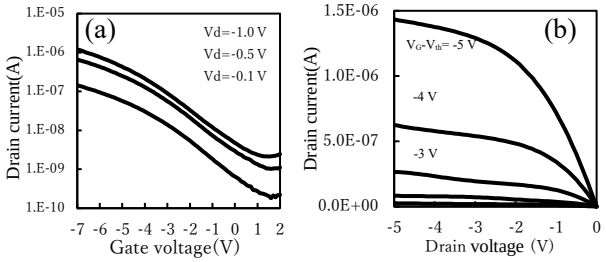


図 2.　(a)トランスファ特性　(b)出力特性

【結果および考察】図2はゲートラストプロセスによって形成したガラス基板上の DG poly-Ge TFT の(a)トランスファ特性 (b)出力特性である。SD ラストプロセスと比べて極端な劣化は見られなかった。I_{on}/I_{off} 比率が小さいが、これは poly-Ge が厚いことが関係している。縦方向の元素置換では、Ge 薄膜上の SiO_2 膜の除去プロセスが重要である。本プロセスの最適化、Ge 膜厚などの構造最適化により、さらに高性能化が可能であると考えている。しかし、本方法は p-ch poly-Ge TFT に対して適用できるが、n-ch に対してはフェルミレベルのピンニング効果により問題が残る。

【まとめ】ガラス基板上にゲートラストプロセスを用いた DG Cu-MIC poly-Ge TFT を形成した。縦方向の元素置換は、従来の横方向元素置換による SD ラストプロセスに比べ、プロセス時間を短縮できるという利点がある。また、TFT 間のバラツキを抑制できると考えている。

【謝辞】本研究は科学研究費基盤(c)22K04247 の支援を受けている。

【参考文献】

1) S. Suzuki and A. Hara, Jpn. J. Appl. Phys. 63 (2024) 051001.
2) A. Kurihara et al., Tech. Dig. 2024 SID, p.1479.

ガラス基板上の 4 端子縦型 poly-Si 薄膜トランジスタの pH センサ応用

4T vertical poly-Si TFT for pH sensor on glass substrates

東北学院大院 [1]，　広島大 RISE[2]　○鈴木康聖 [1]，　田部井哲夫 [2]，　原明人 [1]
Tohoku Gakuin Univ.[1], Hiroshima Univ. RISE[2] ○Kosei Suzuki[1], Tetsuo Tabei[2], Akito Hara[1]
E-mail: s236531003@g.tohoku-gakuin.ac.jp

【はじめに】ガラス基板の熱収縮のため、ガラス基板上ではSiウェハ上のMOSFETのようにチャネル長をnmスケールまで縮小することは困難である。一方、チャネル長を短くするための方法として垂直構造のTFTが注目されている。垂直TFT（VTFT）は、スペーサー層の厚さを変えることでチャネル長を容易に制御でき、その構造はガラス基板の熱収縮に耐性がある。したがって、VTFTは、ガラス基板上で数十nmのチャネル長を実現する構造として期待されている。我々は、TGとBGを分離して独立に駆動する4端子（4T）駆動のVTFTを実現している（図１）。[1] 本TFTは、一方のゲート電圧を変化させると、他方のゲートで動作させたときのTFT特性が変化するため、一方のゲートをセンサに連結し、もう一方のゲートで特性の変化を観測することができる。本報告では、4T VTFTをpHセンサに応用した結果について報告する。

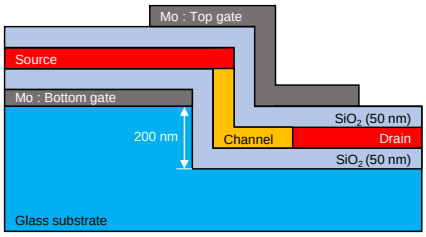


図1 デバイス構造

【デバイス作製および測定方法】本実験で使用したTFTの形成プロセス、TFT特性は既に報告している。[1] 本実験では、TGをガラス電極に連結し、BGでその変化を検出している。このように設定した理由は、TGはBGを囲むような構造になっているため、TGの電圧変化がBGに効果的に作用すると考えられるためである。実験に利用した回路を図2に示す。[2]

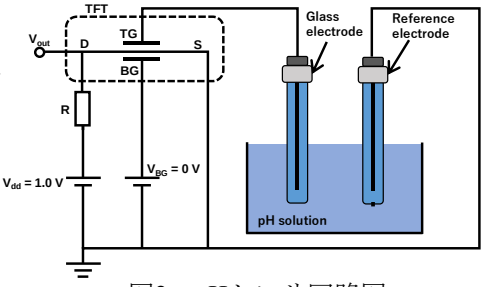


図2　pHセンサ回路図

【結果および考察】ガラス電極は１pH変化すると59mVの出力電圧の変化をもたらすことが報告されている。得られた結果を図3に示す。pHの変化に対応して、出力電圧が変化していることが確認できるが、ガラス電極の入力電圧の変化に対して、出力電圧は増幅されていない。これは、本TFTにおいては、TGとBGのゲート容量がほぼ同じであることに起因する。しかし、TG容量を大きく、BG容量を小さくすることにより、感度の向上が図れると考えている。別の要因として結晶品質が挙げられる。Poly-SiはNiを利用した金属誘起固相成長で形成しており、結晶欠陥を多数有している。このため、TGの電圧変化が弱められたことも劣化の一因である。

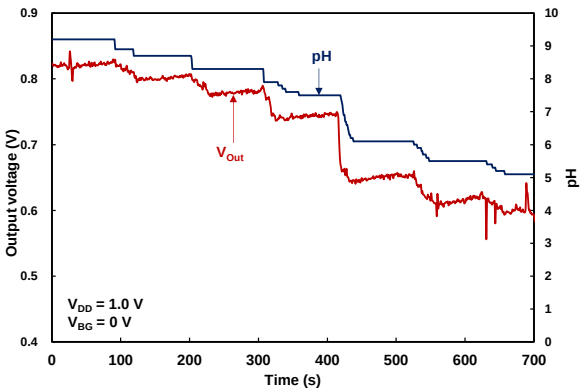


図3　pH変化に対するV_{out}

【まとめ】4T縦型poly-Si TFTをpHセンサに応用した。pHの変化に対応して、回路出力の変化が観測された。しかし、出力電圧は増幅されておらず、今後はTGとBGのゲート容量を最適化する必要がある。

【謝辞】本研究の一部は、令和 6 年度生体医歯工学共同研究拠点共同研究プロジェクトおよび科学研究費基盤(c)22K04247の支援を受けている。

【参考文献】1) K.Suzuki et al., Jpn. J. Appl. Phys. 63, 041002 (2024).　2) H. Ohsawa and A. Hara, ECS Trans. 75, 253 (2016).

青色ダイレクトダイオードレーザを用いた CVD 製膜 a-Si 膜の結晶化 “一括 CW スキャン BLDA 法による新しい LTPS 技術”

Crystallization of a-Si Films Deposited by CVD using Blue Direct Diode Laser

琉球大 工[1]，パナソニックコネクト(株)[2]
○岡田 竜弥[1]，野口 隆[1]，菱田 光起[2]，宮野 謙太郎[2], 小畑 直彦[2]，信岡 政樹[2]
Faculty of Engineering, Univ. of the Ryukyus[1], Panasonic Connect Co., Ltd.[2]
°Tatsuya Okada[1], Takashi Noguchi[1],
Mitsuoki Hishida[2], Kentaro Miyano[2], Naohiko Kobata[2], and Masaki Nobuoka[2]
E-mail: tokada@tec.u-ryukyu.ac.jp

【はじめに】これまで、a-Si 膜に青色半導体レーザを照射することで Si 膜を平坦性よく高品質に結晶化できること[1]、また溶接技術で有効な波長合成方式(Wavelength Beam Combiner: WBC)を用いた高出力の青色ダイレクトダイオードレーザをスポットさらにライン状に整形して照射し結晶化できることについて報告してきた [2]。今回は、前回と同様に 4 mm 長のライン状に整形したレーザにより、CVD Si 膜に対し、均一な一括の CW ビームで結晶化して、結晶性をより詳しく評価した。青色半導体レーザアニールにより、低コストで優れた LTPS 実現の可能性を報告する。

【実験および結果】

PECVD 法により、ガラス基板上に 50 nm 厚の Si 膜を成膜後、中心波長 445 nm の青色ダイレクトダイオードレーザにより結晶化を試みた。レーザ照射条件は、集光サイズ 4 mm × 38 μm、試料面で 77 - 96 kW/cm^2 とし、レーザの短軸方向に速度 1000 mm/s の条件で CW スキャン照射を行なった。レーザ照射後の Si 膜の紫外反射率スペクトルを図 1 に示す。紫外域で良好なピークが観測され、ラマン散乱や他の解析により、良好に安定に結晶化していることが確認された。

高出力半導体レーザ装置の構成により低コスト化小型化が期待できるが、WBC 法による高出力青色半導体レーザアニール(BLDA)は、一括ビームスキャンを採用することで、安定ですぐれた LTPS 結晶化技術として実用的にも有効である。ビームのスキャン速度を上げることで高スループット化が可能となり、均一な結晶化膜、TFT パネルの作製が期待される。さらに、より長い光学系を採用することで、パルス走査による ELA 法に比べて低コスト化が可能で、より均一で優れた一括 CW アニールプロセスが期待される。

試料作製に関し、サポートをいただいた ULVAC 社に感謝する。

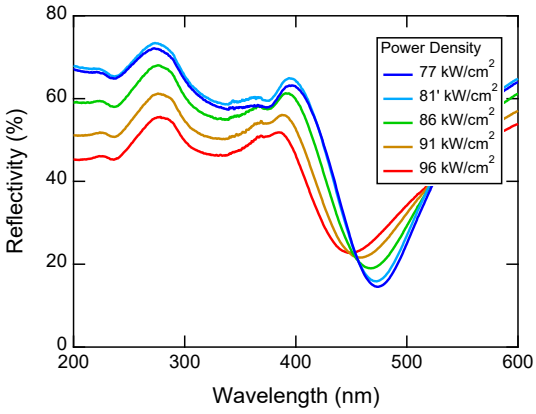


図 1. 反射率スペクトル

【参考文献】

[1] T. Noguchi, JID, vol.,11. p.12 (2010).
[2] M. Hishida, *et al.*, Proc. of SPIE Vol. 12409 1240912-7. (San Francisco, 2023).
[3] 岡田 他, 第 83 回応用物理学会春季学術講演会(2023) [15p-B410-14].

Performance Improvement of n-channel TFT on Solid-Phase Crystallized poly-Ge by Channel Width Shrinking

Kyushu Univ.[1], Univ. of Tsukuba [2] °(D1) Linyu Huang [1], Atsuki Morimoto [1], Kota Igura [2], Takamitsu Ishiyama [2], Kaoru Toko [2], Dong Wang [1], Keisuke Yamamoto [1]
E-mail: huang.linyu.311@s.kyushu-u.ac.jp

【Introduction】 Our group succeeded in the synthesis of high-quality polycrystalline (poly-) Ge thin films using the advanced solid-phase crystallization (SPC) technique on glass and demonstrated accumulation mode p-channel TFT on the SPC-Ge [1-3]. Recently, we have also demonstrated n-channel TFT to realize a CMOS circuit on our SPC-Ge. However, its performance has room for improvement, notably its ON/OFF ratio [4]. In this paper, we introduce the shrunk channel width design to our inversion mode n-TFT on poly-Ge. By comparing with conventional channel structure, it shows a positive effect on the ON/OFF ratio of n-channel poly-Ge TFT.

【Fabrication process and approach to reduce OFF current by channel-shrinking】 Figure 1 shows the fabrication process of inversion mode n-channel TFT. Based on these process, we aimed to decrease the off-state leakage current by shrinking the channel width. Figure 1 also shows the 3D structure and the optical microscope photo of the conventional and dumbbell-shaped channel TFT island pattern. We formed those two types of island shape TFTs on the same chip, so that we can easily compare just the difference of the island shape.

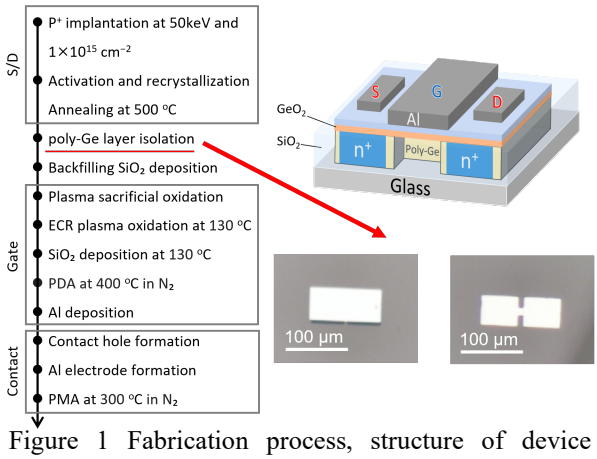


Figure 1 Fabrication process, structure of device illustration, and top-view island shapes (conventional rectangle and new dumbbell shape).

【Results and discussion】 Figure 2 shows I_D-V_G transfer characteristics of the fabricated inversion mode n-channel TFT. Here, the channel length was fixed 10 μm. The channel widths of conventional and dumbbell-shaped devices are 25 μm and 7 μm, respectively. By comparing the I_D-V_G with those two types of channel shape, we can see channel shrinking has an positive effect on the improvement of the ON/OFF ratio, particularly OFF current reduction. Figure 3(a) and 3(b) show the maximum and minimum of the I_D. Here, the channel length is 7 μm, and the V_D is 0.1V. It is clear to see that, the maximum of I_D increases with the increasing channel width, and both two types of channel shape show the same trend. It can be naturally understood. However, it shows apparently decrease in the minimum of the I_D, which is independent of the channel width. This means the channel width shrinking mainly affected the off current reduction on the channel region, and it did a great influence on increasing the ON/OFF ratio from 10 level to 100 level.

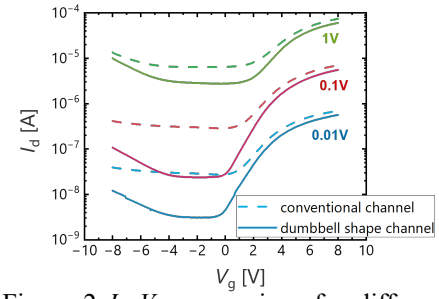


Figure 2 I_D-V_G comparison for different island shapes with the same channel length.

【Acknowledgements】 This work was partially supported by NEDO unreached challenge 2050 (P14004), and RIEC Cooperative Research Project No.R06/A06, Tohoku University.

【References】 [1] K. Toko *et al.*, Sci. Rep. 7, 16981 (2017). [2] T. Imajo *et al.*, ACS Appl. Electron. Mater. 4, 269 (2022). [3] K. Moto *et al.*, Appl. Phys. Lett. 114, 112110 (2019). [4] L. Huang *et al.*, J. Appl. Phys. 63, 02SP42 (2024).

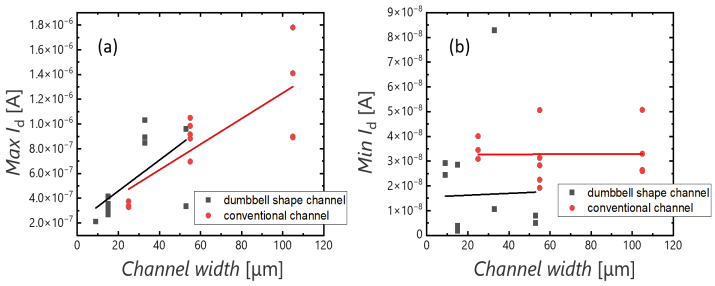


Figure 3 (a) max and (b) min I_D comparison for different island shapes with the same channel length L = 7 μm.

ガラス基板上多結晶 Ge 薄膜への CMOS インバータの形成

Formation of Polycrystalline Ge CMOS Inverter on Glass Substrate

九大院 総理工 [1]，筑波大院 数理物質 [2]
○森本 敦己 [1]，黄 林昱 [1]，居倉 功汰 [2]，石山 隆光 [2]，都甲 薫 [2]，王 冬 [1]，山本 圭介 [1]
Kyushu Univ. [1], Univ. of Tsukuba [2]
°A. Morimoto[1], L. Huang[1], K. Igura[2], T. Ishiyama[2], K. Toko[2], D. Wang[1], and K. Yamamoto[1]
E-mail: morimoto.atsuki.906@s.kyushu-u.ac.jp

【はじめに】我々はこれまでに固相成長（SPC）法によって形成した高品質多結晶 Ge 薄膜上に、蓄積型 p チャネル（p-）TFT および反転型 n チャネル（n-）TFT を作製し、その動作実証を実現した [1, 2]。今回、同一基板上の蓄積型 p-TFT と反転型 n-TFT を組み合わせた CMOS 作製プロセスを構築し、直流および交流信号での動作確認に成功したので報告する。

【実験方法】SPC 法を用いてガラス基板上に多結晶 Ge 薄膜（83 nm 厚、正孔密度：6×10^{17} cm^{-3}、移動度：230 cm^2/Vs）を形成した後、n-TFT のソース/ドレイン（S/D）を形成するために n 型不純物として P^+イオンを選択的に注入し、不純物活性化および再結晶化熱処理（500 °C）を行った。次に、p-TFT のチャネル領域を完全空乏化させるために、p-TFT 領域をドライエッチング（RIE）により薄膜化（55 nm 厚）した。その後、p-TFT の S/D として、Pt と TiN キャップ層を順次スパッタ堆積し、N_2 雰囲気内にて PMA（400 °C）を行い、PtGe を形成した。その後、RIE により多結晶 Ge 薄膜をアイランド状にエッチングし、次いでスパッタ成膜 SiO_2 にてアイランド周辺部の埋戻しを行った。ゲート絶縁膜として SiO_2 / GeO_2 積層膜を ECR プラズマプロセスにより形成し、N_2 雰囲気内にて PDA（400 °C）を行った後、真空蒸着により Al ゲート電極を形成した。S/D 上にコンタクトホールを開口した後、Al で配線兼パッド電極を形成し、コンタクトアニール（300 °C）を行った。図 1 は作製した CMOS の光学顕微鏡像であり、蓄積型 p-TFT および反転型 n-TFT のチャネル長 / 幅はそれぞれ 7 / 50 μm、15 / 50 μm である。

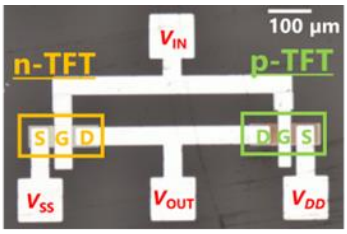


Fig.1 Photograph of SPC Ge CMOS inverter.

【実験結果】図 2 に直流における CMOS の入出力特性を示す。出力電圧 V_{OUT} には電源電圧 V_{DD} の値が反映されており、入力電圧 V_{IN} に対して反転する挙動が見て取れる。図 3 は 100 Hz の矩形波に対する V_{OUT} と V_{IN} の信号の時間変化を示している。直流と同様に V_{OUT} は V_{IN} に対して遅延が生じることなく反転しており、多結晶 Ge から成る CMOS インバータが機能することが実証された。

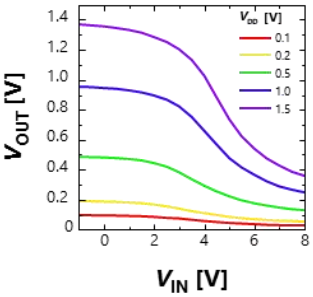


Fig.2 DC voltage transfer characteristics.

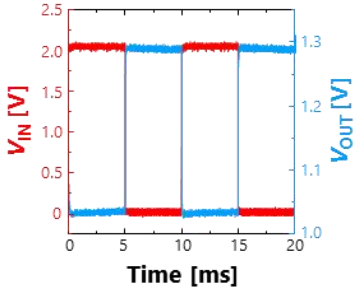


Fig.3 V_{OUT} waveform and V_{IN} at 100 Hz with a 50 % duty cycle.

【謝辞】本研究は、JSPS 科研費（24K07576）、NEDO 未踏チャレンジ 2050（P14004）、東北大通研共同プロジェクト研究（R06/A06）の支援を受けて行われた。

[1] K. Moto *et al.*, Appl. Phys. Lett. 114, 212107 (2019). [2] L. Huang *et al.*, Jpn. J. Appl. Phys. 63, 02SP42 (2024).

© 2024年 応用物理学会

全スパッタ成膜により作製した μCLS (001) Si 単結晶 MOSFET

μCLS (001) Single Crystal MOSFET Fabricated by All Sputter Processes

島根大 [1]　○(M1)野須 涼太 [1]，葉 文昌 [1]

Shimane Univ. [1], °Ryota Nosu[1], Wenchang Yeh[1]

E-mail: yeh@riko.simane-u.ac.jp

【はじめに】3D-LSI や高精細ディスプレイでは、絶縁上の Si 単結晶(c-Si)形成技術が求められる 。Si は両極性と優れた特性からこれからも主要チャネル材料であり続けるが、原料ガスの危険性から研究が限られている。我々は SiO_2 上に単結晶 Si 帯を形成するマイクロシェブロンレーザー走査(μCLS)法を提案しており、(001)配向も実現している。最近ではスパッタ Si 膜でも CVD 膜と同様な成果が得られた。単結晶 Si 帯を使った MOSFET では、結晶配向がランダムの Si で、諸特性[1]の平均値(標準偏差)は S 値が 0.255V/dec(±0.024)、電界効果移動度 μ_{FE} が 339cm^2/Vs(±116)、閾値電圧 Vth が-0.75V(±0.59)を実現している。今回、スパッタ Si 膜を μCLS で(001)配向した MOSFET を作製したので、特性とばらつきを評価する。

【実験方法】厚さ 90nm の Si 前駆膜で(001)単結晶成長し、レーザー未照射の a-Si 領域を選択除去して残りの結晶 Si 帯をチャネルとした。リン SOD 熱拡散法(1000℃)で n+-S/D 領域を形成し、スパッタ法で SiO_2 ゲート絶縁膜(100nm,340℃)を成膜し、真空アニール(580℃)を 30min 行った。Al 電極形成後に 260℃HPA と 400℃FGA を行った。

【実験結果と考察】MOSFET の顕微鏡像を Fig.1 へ、伝達特性を Fig.2 へ、出力特性を Fig.3 へ示す。同一 Si 帯に形成した 21 個の MOSFET の諸特性の平均値(標準偏差)は S 値が 0.209V/dec(±0.013)、μ_{FE} が 102cm^2/Vs(±23)、V_{th} が-0.04V(±0.27)と高い特性、均一性を得た。ランダム結晶配向の μCLS c-Si MOSFET[1]と比較し、結晶配向を ND(001)へ制御したことで界面の質が良好、均一になるため、S 値が低く、標準偏差が小さくなった。μ_{FE} が低くなった要因として、Fig.4 に示すようにチャネル中の 70%程は微結晶が占めていることにより、チャネル幅 W が実際の単結晶帯以上の長さで算出されているためと考えられる。垂直方向 ND(001)へ制御したことで μ_{FE} の標準偏差が小さくなった。標準偏差±23 は進行方向 SD が<100>±30° であるためである。

[1] Wenchang Yeh et al 2020Jpn. J. Appl. Phys. 59 071008

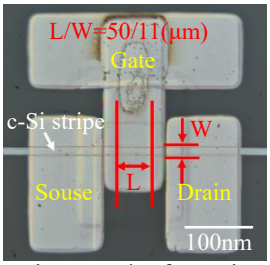


Fig.1 Micrograph of transistor

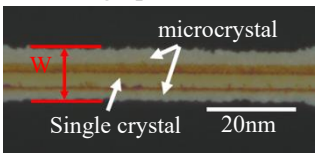


Fig.4 Micrograph of Si stripe

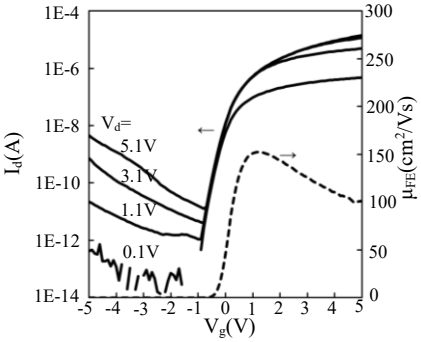


Fig.2 Transfer characteristics

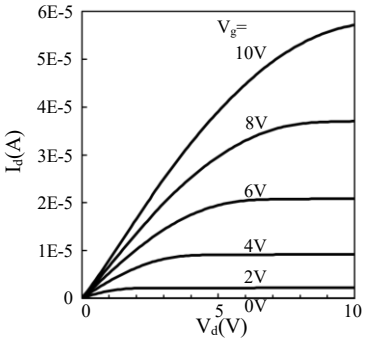


Fig.3 Output characteristics

300 mm GAAFET パイロットライン構築に向けた SiGe/Si 超格子の分光エリプソメトリ評価

Spectroscopic ellipsometry characterization of SiGe/Si super lattice toward building of 300 mm GAAFET pilot-line

産総研 先端半導体研究センター，○熊谷直人、福島章雄、陳家聰、上嶋和也、入沢寿史、林喜宏

SFRC AIST, N. Kumagai, A. Fukushima, C. -T. Chen, K. Uejima, T. Irisawa, Y. Hayashi

E-mail: n.kumagai@aist.go.jp

[はじめに] 近年の生成 AI の普及をはじめ、爆発的な情報処理の速度や量の増大に応えるため、次世代 2nm 以降の GAAFET 先端ロジックデバイスが必要とされている。GAAFET において、従来の FET と大きく異なる点の一つは、その構造形成のために SiGe/Si 超格子のエピ技術が必要な点である。そして、その超格子構造の膜厚や組成は分光エリプソメトリや Optical Critical Dimension により主に in-line 評価されるが、一般的に光学膜厚と TEM 観察による膜厚で差異が生じることは知られており、光学膜厚と TEM 膜厚の相関を把握しておくことは in-line 評価上重要である。産総研における 300 mm GAAFET パイロットライン構築にあたり、SiGe/Si 超格子構造を成長し、SiGe 層の分光エリプソメトリ上の光学膜厚と TEM 膜厚の相関を調べたので報告する。

[実験] 表面酸化物層をインライン除去した 300 ㎜ウエハ上に膜厚構成の異なる SiGe/Si 超格子構造を成長し、分光エリプソメトリ測定及び断面 TEM 観察によりそれぞれ SiGe 層の膜厚評価を行い、分光エリプソメトリのフィッティング結果から得た光学膜厚と TEM 膜厚の相関を調べた。光学モデルに必要な Ge 組成は EELS を用いて評価した。

[結果] Fig.1 に(a)SiGe/Si 超格子構造の断面 TEM 像の一例を示す。各層とも均一な SiGe 層 16 nm 及び Si 層 10 nm が形成されている。拡大図で示す通り、急峻性の高い界面が形成されている。EELS からの Ge 組成は 0.3 であった。(b)に分光エリプソメトリで得た SiGe 層の光学膜厚と TEM 膜厚の相関を示す。線形な相関が示され、傾きは 0.86、切片は 3.19 であった。この結果から分光エリプソメトリによる TEM 換算膜厚の評価が可能になった。原点を通らない理由や、膜厚が非常に薄い場合については更なる検討が必要である。

[謝辞] この成果の一部は、NEDO（国立研究開発法人新エネルギー・産業技術総合開発機構）の「ポスト５Ｇ情報通信システム基盤強化研究開発事業」（JPNP20017）の助成事業の結果得られたものです。

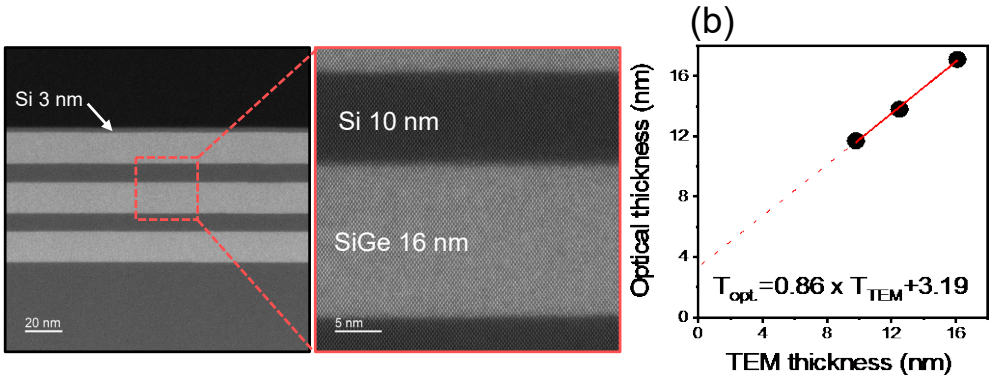


Fig. 1 (a) Cross-sectional TEM image of SiGe/Si superlattice. (b) plot of TEM thickness vs. optical thickness for SiGe layer.

Gate-all-around CMOS 用 TiN/TiAlC Gate 電極の実効仕事関数の制御メカニズム
Mechanisms Controlling the Effective Work Function of TiN/TiAlC Metal Gates for Advanced Gate-all-around CMOS

産総研 先端半導体研究センター ○間部 謙三，上嶋 和也，太田 裕之，森田 行則，入沢 寿史，林 喜宏

SFRC, AIST, °Kenzo Manabe, Kazuya Uejima, Hiroyuki Ota, Yukinori Morita, Toshifumi Irisawa, Yoshihiro Hayashi

E-mail: kenzo.manabe@aist.go.jp

【背景】Gate-all-around 型トランジスタのしきい値制御には仕事関数調整用メタル（WFM）が使用される。例えば、n 型トランジスタに適した実効仕事関数（EWF）は、TiAlC を WFM とする TiN/TiAlC 電極で実現される。その EWF 決定要因としては high-k 絶縁膜に接する bottom-TiN（BTM-TiN）への Al 拡散[1]や Al による BTM-TiN からの窒素スカベンジ[2]など、いくつかのメカニズムが提案されている。本研究では、high-k 絶縁膜に接し EWF 決定に最も影響を与える TiN に着目し TiN/TiAlC 電極での EWF 決定要因を調査した。

【実験結果】図 1 は UPS・XPS 測定より求めた TiN（O）仕事関数の膜中酸素濃度依存性である。通常 TiN（O）は p 型トランジスタに適した EWF を持つと考えられているが、TiN（O）仕事関数は膜中酸素濃度が 2 atom%の場合 3.8 eV であることが見出された。また、TiN（O）仕事関数は膜中酸素濃度増大（⇒33.9 atom%）に伴い約 0.8 eV 増加した（3.8⇒4.6 eV）。上記結果に基づき TiN/TiAlC 電極での EWF 決定モデルを提案する（図２）。本モデルでは TiN/TiAlC 電極が n 型トランジスタに適した低い EWF を持つのは、TiAlC 中 Al による BTM-TiN からの酸素スカベンジにより、high-k 絶縁膜に接しており EWF 決定に最も影響を与える BTM-TiN の仕事関数が低下するためと考える。講演では、本モデルと TiN/TiAlC 電極 EWF の TiAlC 膜厚依存性との整合性や TiN（O）仕事関数の組成依存性の起源などについて議論する予定である。

この成果の一部は、NEDO（国立研究開発法人新エネルギー・産業技術総合開発機構）の「ポスト５Ｇ情報通信システム基盤強化研究開発事業」（JPNP20017）の助成事業の結果得られたものです。

[1] X.-R. Wang et al., Microelectron. Eng. **88** (2011) 573.　[2] E. O. Filatova et al., J. Phys. Chem. C **124** (2020) 15547.

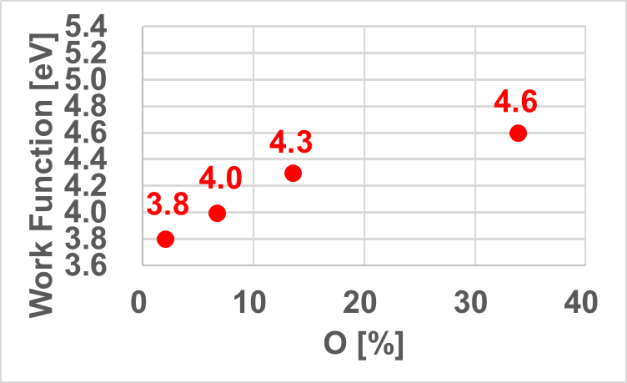


Fig.1 Dependence of work function on oxygen content for TiN(O).

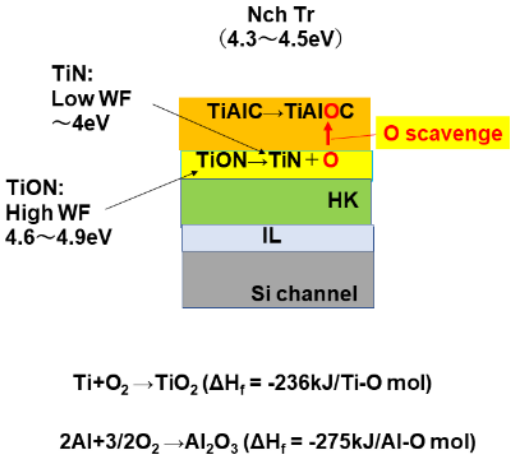


Fig.2 Novel proposed mechanism for n-type EWF of TiN/TiAlC metal

エピタキシャル成長した $Si_{0.7}Ge_{0.3}$ および Si 薄膜における H_2 希釈 CF_4 ガスによるドライエッチングの選択性評価

Study on Selective Dry Etching of Epitaxially Grown $Si_{0.7}Ge_{0.3}$ and Si using H_2 Diluted CF_4

[1] 名大院工, [2] 名大低温プラズマ, [3]IHP ○[1] 尾崎孝太朗, [2] 高田昇治, [2] 堤隆嘉, [2] 石川健治, [3]Yuji Yamamoto, [3]Wen Wei-Chen, [1] 牧原克典
[1]Nagoya Univ., [2]Nagoya Univ. cLPS, [3]IHP ○[1]Kotaro Ozaki, [2]Noriharu Takada, [2]Takayoshi Tsutsumi, [2]Kenji Ishikawa, [3]Yuji Yamamoto, [3]Wei-Chen Wen, and [1]Katsunori Makihara
E-mail: ozaki.koutaro.g8@s.mail.nagoya-u.ac.jp

序＞GAA-FET は SiGe/Si 積層膜をエピタキシャル成長した後、SiGe 層を選択的に除去することで Si 薄膜層を残すプロセスで実現しているが、高選択比および低ダメージを両立するエッチングプロセスは確立されていない。本研究では、c-Si(100)基板上に $Si_{0.7}Ge_{0.3}$ および Si 薄膜をエピタキシャル成長し、H_2 希釈 CF_4 ガスによるドライエッチングを行うことで選択性と表面ラフネスへの影響を評価した。

実験＞$Si_{0.7}Ge_{0.3}$ 薄膜は SiH_4 および GeH_4 ガスを用いた RPCVD により、n-Si(100)基板上に膜厚~500nm エピタキシャル成長させた(Inset in Fig.1(a))。また、Si 層は n-Si(100)基板上に膜厚~50nm の $Si_{0.7}Ge_{0.3}$ 薄膜をエピタキシャル成長した後、引き続き SiH_4-RPCVD により、~500nm 成長させた(Inset in Fig.1(a))。その後、H_2 希釈 CF_4 ガスを用いた RIE によりドライエッチングを行った。尚、総ガス流量は 100sccm で一定とし、H_2 希釈率は 0~15%で変化させた。膜厚およびエッチングレートは、in-situ SE(分光エリプソメトリー)により評価した。尚、AFM により測定したエピタキシャル層成長直後の RMS 表面ラフネスは~0.12nm($Si_{0.7}Ge_{0.3}$)、~0.10nm(Si)であり、平坦な膜形成が出来ていることは別途確認している。

結果および考察＞in-situ SE で算出した $Si_{0.7}Ge_{0.3}$ および Si のエッチングレートを H_2 希釈率でまとめた結果(Fig. 1(a))、H_2 希釈していない場合では、$Si_{0.7}Ge_{0.3}$ および Si 層のエッチングレートは各々~0.3、~0.06 nm/sec であり、選択比~5.0 が実現できている。これは、Si-Ge の結合エネルギが Si-Si 結合に比べ低いため、イオンにより Si-Ge 結合の切断が容易に起こることから F 原子との反応が促進すると解釈できる。しかしながら、エッチング後の表面を AFM により評価した結果、$Si_{0.7}Ge_{0.3}$ および Si 薄膜表面の RMS ラフネスは各々~0.98 nm、~0.66 nm であり、エッチングによる表面荒れが顕著であった(Figs. 2 (a, b))。H_2 希釈率を増加させた場合、希釈率の増加に伴い $Si_{0.7}Ge_{0.3}$ のエッチングレートは緩やかに低減し、13%ではエッチングが認められなかった。一方で、Si のエッチングレートは H_2 希釈率~7%までは、顕著な変化は認められないものの、7%以上では緩やかに低下することが分かった。これらの結果を元に、$Si_{0.7}Ge_{0.3}$/Si の選択比をまとめた結果(Fig. 1(b))、希釈率 7%までは選択比が低下することが分かる。これは、H_2 ガスの導入により CF_4 の総量が減少することに起因して F 原子によるエッチング確率が低下するものの、導入した H_2 から生成される水素イオンが Ge よりも Si と結合しやすいため[1]、水素イオンが Si のエッチングに強く寄与していると考えられる。しかしながら、H_2 希釈率~10%では選択比が~3.5 まで一旦増大し、それ以上では選択比が大きく低下した。~10%以上の H_2 希釈率では、CF_x 膜の堆積がエッチングの律速要因になっていると考えられ、希釈率 10%ではこれらがバランスしていると示唆される。尚、希釈率 10%でエッチングした際の $Si_{0.7}Ge_{0.3}$ および Si 薄膜表面の RMS ラフネスは各々~0.40 nm、~0.28 nm であり(Figs.2 (a', b'))であり、表面ラフニングが抑制された均一なエッチングが実現できていることが分かった。

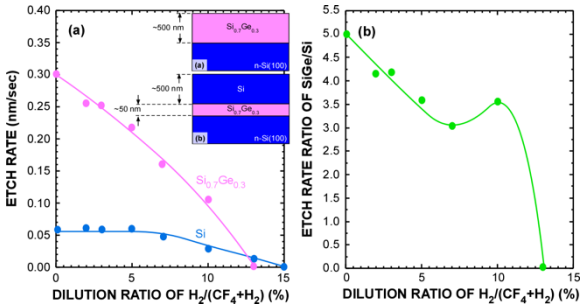


Fig. 1 (a) Etch rates of $Si_{0.7}Ge_{0.3}$, and Si, and (b) etching rate ratio of the $Si_{0.7}Ge_{0.3}$/Si as a function of H_2 dilution ratio. Schematic illustrations of the sample structure are also shown in the inset.

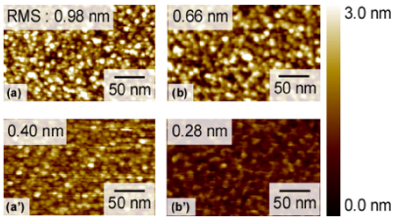


Fig. 2 AFM images of (a, a') $Si_{0.7}Ge_{0.3}$, and (b, b') Si surface taken after dry etching at a dilution ration of (a, b) 0% and (a', b') 10%.

結論＞CF_4/H_2-RIE において、H_2 希釈率を制御することで、表面荒れを抑制しつつ Si に対する $Si_{0.7}Ge_{0.3}$ の選択比 3.5 が得られることが分かった。

文献＞[1] Y. Ishii et al., *Jpn. J. Appl. Phys.* **57**, 06JC04(2018).

謝辞＞本研究の一部は、科研費国際共同研究加速基金(A)の支援を受けて行われた。

© 2024年 応用物理学会

Ni 超薄膜への SiH_4 照射による Ni シリサイド形成と結晶相制御

Ni-silicide Formation and Crystalline Phase Control due to SiH_4 Exposure on Ultra-thin Ni Film

[1] 名大院工，[2] 愛知工大 ◦谷田 駿 [1]，田岡 紀之 [2]，牧原 克典 [1]
[1]Nagoya Univ., [2]Aichi Inst. Tech., ◦Shun Tanida[1], Noriyuki Taoka[2], Katsunori Makihara[1]
E-mail: makihara@nuee.nagoya-u.ac.jp

序＞＞SiO_2 上の金属超薄膜(MNS)は、分子センサへの応用に適しており、近年、注目を集めている。低キャリア密度の金属を MNS に用いることで、分子センサの感度を向上させられることが期待されている[1]。そこで、我々は Ni シリサイドに着目した。Ni シリサイドのキャリア密度は、Si の含有量によって異なる[2]。本研究では、SiO_2 上に Ni 超薄膜を形成後、SiH_4 を照射し、Ni シリサイド超薄膜の形成およびその結晶相制御を試みた。

実験＞p-Si(100)基板上に形成した SiO_2 熱酸化膜(膜厚~300 nm)上に、電子線蒸着(EB)により膜厚(d) ~5.0 nm または~3.0 nm の Ni 薄膜を堆積した。その後 EB チャンバーから取り出し、大気暴露後、基板温度 280˚C で SiH_4 照射を行った。尚、SiH_4 照射時間(t_{SiH4})は 1 分から 10 分、圧力は 130Pa とした。

結果および考察＞d = 5 nm の場合、SiH_4 照射後、AFM から算出した平均二乗荒さ(RMS)の値は As-deposited Ni の RMS 値と比べて、非常に大きくなり、また t_{SiH4} に大きく依存した(Fig.1)。一方、d = 3 nm の場合、t_{SiH4} に依存せず、SiH_4 照射後も比較的平坦な表面を維持した(Fig. 1)。さらなる研究が必要であるが、Ni 薄膜のバルクエネルギーや SiO_2 との界面エネルギーに起因していると考えられる。次に、SiH_4 照射が Ni 膜の結晶構造に与える影響を GIXRD で評価した。Fig. 2 は d = 5nm の試料の GIXRD パターンである。t_{SiH4} = 1 min において、Ni_2Si や NiSi 起因のピークが確認された。t_{SiH4} = 3 および 5 min では、NiSi や $NiSi_2$ 起因の顕著なピークが確認された。t_{SiH4} = 10 min では、Ni および $Ni_{0.82}Si_{0.18}$ に起因する 2θ= 44.5 度付近のピーク強度が、t_{SiH4} = 5 min 以下の場合と比較すると大きくなっていることがわかる。対照的に、Ni_2Si、NiSi、$NiSi_2$ に起因する信号強度が低下していることもわかる。d = 3 nm の試料においても同様の傾向が確認された。Fig. 3 に各 GIXRD 信号強度の t_{SiH4} 依存性を示す。ここで、各信号強度は As-deposited Ni の Ni(111)信号強度で規格化されている。t_{SiH4} = 3 min 以内では、Ni 膜厚に関わらず各信号強度が高くなり、Ni シリサイドの成長を示唆している。しかし、t_{SiH4} = 5 min 以降では Si リッチなシリサイドに起因する信号強度が減少することから、Ni シリサイド結晶の相変態が起こっていると考えられる。

結論＞d = 3 nm の場合、SiH_4 照射後でも平滑な表面が得られた。また、t_{SiH4} = 3 min まではシリサイド化反応が促進し、t_{SiH4} = 5 min 以上では Si リッチなシリサイドから Ni リッチなシリサイドへの相変態が起こることがわかった。

文献＞[1] E. Şennik *et al.*, Materials Letters **177** (2016) 104–107.
[2] E. G. Colgan *et al.*, J. Electron. Mater.,**12**(1983) 413.

謝辞＞本研究の一部は、科研費基盤研究(A) 21H04559 の支援を受けて行われた。

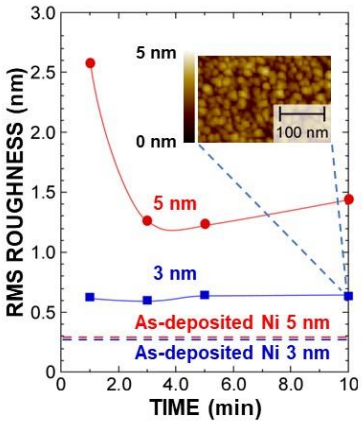


Fig. 1: RMS roughness values for each sample as a function of t_{SiH4}. Inset shows an AFM image for d = 3 nm and t_{SiH4}. = 10 min.

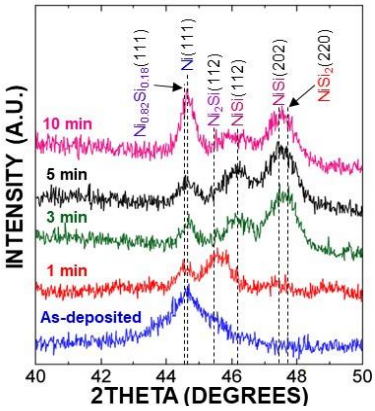


Fig. 2: GIXRD patterns of the sample with d = 3 nm before and after the SiH_4 exposure.

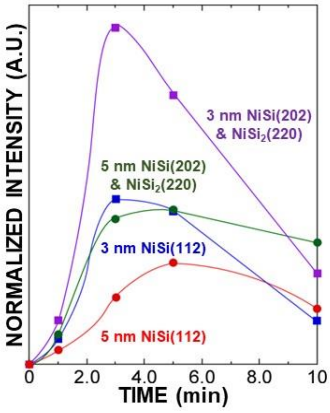


Fig. 3: The NiSi and $NiSi_2$ peak intensities in the GIXRD patterns. Here, these intensities were normalized by the Ni(111) peak intensities.

低温 PL 分光法による Si トレンチ加工で生成する格子間 Si の拡散評価

Evaluation of Interstitial Si Diffusion generated by Si Trench Processing using Low Temperature Photoluminescence Spectroscopy

○藤森 涼太[1]、伊藤 佑太[1]、横川 凌[1,2]、小椋 厚志[1,2]、
川勝 一斗[3]、久保井信行[3]、嵯峨 幸一郎[3]、岩本 勇人[3]
(1. 明治大理工、2. 明大 MREL、3. ソニーセミコンダクタソリューションズ(株))
○R. Fujimori[1], Y. Ito[1], R. Yokogawa[1,2], A. Ogura[1,2],
K. Kawakatsu[3], N. Kuboi[3], K. Saga[3], and H. Iwamoto[3]
(1. School of Sci. and Technol., Meiji Univ., 2. MREL, 3. Sony Semiconductor Solutions Corporation)
E-mail: ce241019@meiji.ac.jp

【序論】3 次元立体構造の半導体に用いられるトレンチ技術において、高アスペクト比実現に向けてはプラズマエッチングによるトレンチ形成が必要不可欠である。しかしながら、Si 基板へのトレンチ形成プロセスにおける格子間 Si の生成が懸念されており、点欠陥である格子間 Si はドーパントと対になって拡散し、素子の電流駆動力や閾値電圧などに影響を及ぼす[1]。よって、トレンチ形成プロセスにおいて生成される格子間 Si の振る舞いの理解は重要な課題であるが、格子間 Si の詳細な拡散挙動は明らかになっていない。本稿では、点欠陥の有力な手法である PL 分光法を用い、トレンチ形成プロセスにより生じる格子間 Si の拡散挙動についての実測評価を試みた。

【実験方法】プラズマエッチングにより n 型 Si 基板上に 1 μm 間隔で深さ 5 μm, トレンチ幅 80 nm のトレンチ加工を施した試料を用意した。励起光源として可視光レーザ (波長:532 nm、励起光強度:115 mW、ビーム径:<50 μm)を用い、ステージ温度約 35 K 下において PL 測定を実施した、積算時間は 1 sec×200 回とした。Fig. 1 に示すようにトレンチ加工領域から未加工領域を跨ぎ、試料表面から 30 μm の間隔で測定をすることで格子間 Si の拡散領域を評価した。

【結果・考察】四格子間 Si 由来の X-line, 三格子間 Si 由来の W-line, W-line のフォノンレプリカ由来の W'-line がそれぞれ、1192 nm, 1218 nm, 1245 nm にて観測された。ここで、各測定点における欠陥準位発光を Si の TO フォノン線のピーク強度で規格化した図を Fig. 2 に示す。Fig. 2 より、トレンチ加工領域端からおよそ 150 μm 離れた未加工領域まで格子間 Si の拡散が確認された。この結果より室温での拡散速度は 10^{-4} cm^2/s オーダーと導出され、既存モデル値[2]とおおよそ整合することが確認された。本研究により、実測によるトレンチ形成プロセスで生成された格子間 Si の拡散速度を示し格子間 Si の影響が及ぶ範囲を検討することで、今後のデバイス作製における指標を示した。当日は、アニール処理後の拡散速度と拡散係数についても報告を行う。

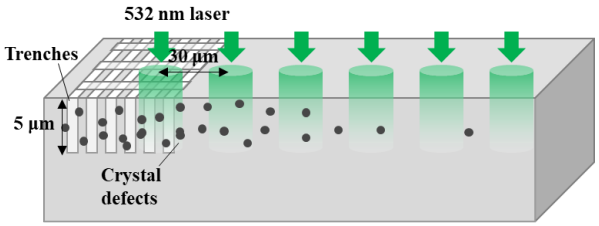


Fig. 1 Schematic image of the PL measurement.

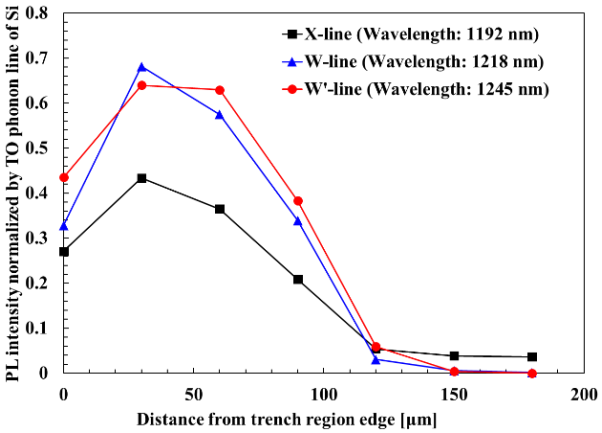


Fig. 2 Evaluation of interstitial Si diffusion from trench edge.

【参考文献】

[1] 谷口 研二, 応用物理, **69**(4), 428 (2000).
[2] K. K. Larsen, *et al.*, Phys. Rev. Lett. **76**, 1493 (1996).

© 2024年 応用物理学会

凍結洗浄における基板面内温度均一化の効果

Effects of unifying temperature over a substrate during Freeze Cleaning Method

芝浦メカトロニクス [1]，名古屋大学低温プラズマ科学研究センター[2]
○中村聡 [1]，出村健介 [1]，山華雅司 [1]，服部圭 [2]
Shibaura Mechatronics Corp. [1], Nagoya Univ. Center for Low-Temperature Plasma Sciences [2],
°Satoshi Nakamura[1], Kensuke Demura[1], Masashi Yamage[1], Kei Hattori[2]
E-mail: satoshi.nakamura@shibaura.co.jp

半導体デバイスの露光原版であるフォトマスクの配線パターンに欠陥があると、露光されたすべてのウェハにその欠陥が転写される。そのため、フォトマスクに要求される清浄度は厳しく、また配線パターンの微細化により欠陥要因となる異物の最小サイズが小さくなってきている。一方で一般的な薬液洗浄では、基板表面からおよそ 100nm 以下の領域(stagnant layer:停滞層)で流れが実質的にゼロになるため、その領域にトラップされた微小異物の除去は困難である。

薬液より強力な洗浄手法として、スプレーや超音波洗浄等の物理力を利用する洗浄手法が利用されている。それらの手法では物理力を大きくすることで停滞層内の微小異物まで除去可能であるが、フォトマスクの微細な配線パターンに対してはパターンが倒壊し、欠陥になるという問題があった。

我々が開発した凍結洗浄[1], [2]では、基板上の水を凍らせることにより、異物を起点として形成される氷の体積膨張を利用している。膨張する氷が異物と基板の隙間を広げ、凍結と解凍を繰り返すことでやがて異物が基板から剥離され、解凍時に液化する水ごと基板上から排出される。そのため、基板に直接形成された配線パターンにはダメージを与えず、停滞層内の微小異物を除去可能である。

本研究では、解凍時の基板の面内温度分布が PRE(particle removal efficiency:異物除去率)に与える影響を評価した。評価用基板として、ブランクスの石英基板(152mm×152mm)を用い、洗浄液には純水のみを使用した。基板の温度分布を直接測定することが困難であったため、放射温度計で測定した基板上の水の温度分布を基板の温度分布と仮定した。Fig.1 に測定した基板の温度分布画像例を、Table1 に PRE の面内温度差依存性を示す。この表から、面内の温度差が小さいほど PRE が向上することがわかる。その要因は、基板温度分布が不均一であるほど水平方向に氷が成長しやすく、異物を核とする氷が成長する前に、基板全面で水が凍結するためと考えている。基板温度分布の均一化により凍結回数の低減が可能となり、処理時間の大幅な短縮が実現された。

【参考文献】
[1] Kei Hattori. et al., J. Micro/ Nanolithography, MEMS, and MOEMS, 044401-1(2020).
[2] M. Kamiya. et al., “Freeze point monitoring system for freeze cleaning”, Proc. Photomask Japan, 123250B (2022).

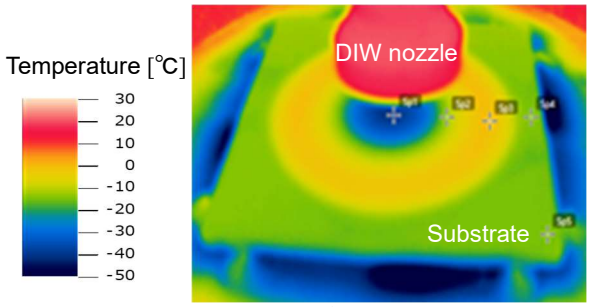


Fig.1 基板の温度分布像

Temperature differences within a substrate [℃]	PRE [%]
41.5	49
23.2	97
11.6	99

Table 1 PRE の面内温度差依存性

Copyright©KOKUSAI ELECTRIC Corporation 2024 All rights reserved
KOKUSAI ELECTRIC CORPORATION and its Affiliates Proprietary & Confidential

半導体製造装置におけるクラスター分析を用いた異常検知の評価

Evaluation of anomaly detection using cluster analysis for semiconductor manufacturing equipment

株式会社 KOKUSAI ELECTRIC [1]，京都大学 [2] ○志賀　優規 [1]，平井　都志也 [1,2]，加納　学 [2]

KOKUSAI ELECTRIC CORPORATION [1], Kyoto Univ. [2]

○Yuki Shiga [1], Toshiya Hirai [1,2], Manabu Kano [2]

E-mail: shiga.yuki@kokusai-electric.com

【背景】近年，半導体の微細化など高品質化が進んでおり，半導体製造装置（以下，装置）の評価の高度化が求められている．これまで，最適クラスター数を指標とする異常検知モデルを構築し，正常装置と異常装置の最適クラスター数が異なることを確認した [1,2]．本報告では，更に検討を進めてきた異常装置の特徴と最適クラスター数との関係性について報告する．

【方法】異常装置 A（以下，A）は，信号 1 に小刻みな振動を含んでいる．最適クラスター数によりこの振動を検出できるか確認するために，振動が含まれる時間を変えた 6 条件のデータセットを用意した（Fig 1）．A はオリジナルの波形で，B～F は一定時間経過後の信号を移動平均に置き換え，これらに対する最適クラスター数を比較した．最適クラスター数は，統計解析ソフトウェア JMP® 16.2.0 を用いて，クラスター数を 1 から 20 の範囲として k-means クラスター分析を実施し，Cubic Clustering Criterion を用いて，決定した [3]．

【結果・考察】A，B，C，D，E，F の最適クラスター数は，それぞれ，1，1，1，16，12，20 であった．信号 1 の振動が含まれる時間が長いと最適クラスター数が少なく，短いと最適クラスター数が多くなった．これより最適クラスター数は，振動が含まれる時間の長さを検出していると考えられる．

【参考文献】

1) Toshiya Hirai, Manabu Kano: Anomaly detection of semiconductor manufacturing equipment using cluster analysis, The 10th SICE Multi-Symposium on Control Systems, 2023.
2) Toshiya Hirai, Yuki Shiga, Manabu Kano: Anomaly detection of semiconductor manufacturing equipment by cluster analysis, AEC/APC Symposium Asia, 2023.
3) SAS (R) Technical Report A-108, Cubic Clustering Criterion January 1, 1992, SAS Inst Paperback in English.

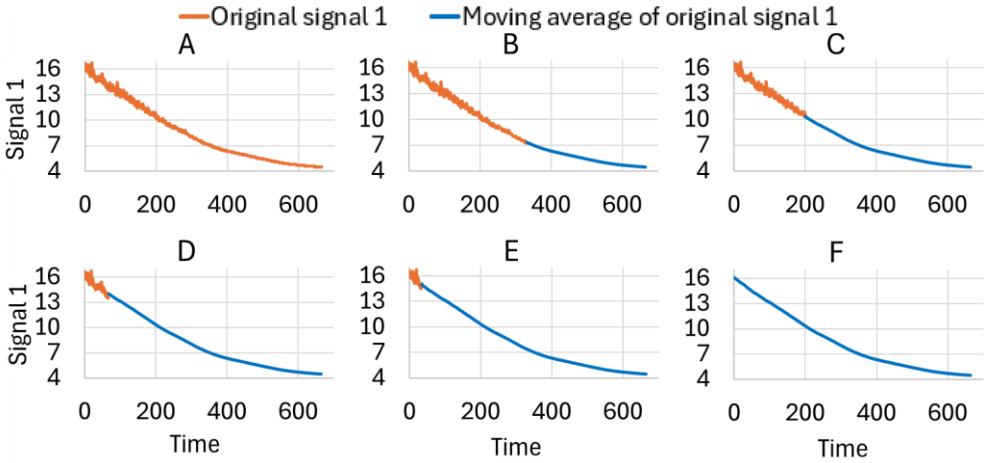


Fig 1. Time series data for 6 cases:
A: Original signal 1 during periods of analysis. B, C, D, E: The first 50%, 30%, 10%, and 5% are original signal 1 and the others are moving average of original signal 1. F: Moving average of original signal 1.

Copyright©KOKUSAI ELECTRIC Corporation 2024 All rights reserved
KOKUSAI ELECTRIC CORPORATION and its Affiliates Proprietary & Confidential

13 半導体 | 一般セッション(口頭講演)：13.4 Si系プロセス・Si系薄膜・MEMS・装置技術

[17a-B1-1~7] 13.4 Si系プロセス・Si系薄膜・MEMS・装置技術

[17a-B1-1]
カンチレバー構造a-InGaZnO TFTの応力依存性評価
〇岩松 新之輔[1,2]、峯田 貴[2] (1.山形県工技セ、2.山形大学工学部)

[17a-B1-2]
圧電薄膜共振子の開発
〇天本 百合奈[1]、照元 幸次[1]、下地 規之[1]、内貴 崇[1]、合田 賢司[1]、木村 俊[1]、奥 良彰[1] (1.ローム(株))

[17a-B1-3]
高感度Au錘1軸MEMS加速度センサにおける錘形状による反り抑制検討
〇(B)向出 千隼[1]、Devi Srujana Tenneti[1]、御宿 希祐[1]、山田 虎人[1]、町田 克之[1]、栗岡 智行[1]、Tso-Fu Mark Chang[1]、曽根 正人[1]、三宅 美博[1]、伊藤 浩之[1] (1.東工大)

[17a-B1-4]
マイクロgレベル検出のためのAu錘１軸MEMS加速度センサにおける錘の穴サイズがブラウニアンノイズB_Nに及ぼす影響
〇(B)山田 虎人[1]、御宿 希祐[1]、Tenneti Devi Srujana[1]、向出 千隼[1]、町田 克之[1]、Chang Tso-Fu Mark[1]、栗岡 智行[1]、曽根 正人[1]、三宅 美博[1]、伊藤 浩之[1] (1.東工大)

[17a-B1-5]
ミニマルファブを用いた３軸ピエゾ抵抗型加速度センサの感度低下要因についての検討
〇小粥 敬成[1]、関藤 竜平[1]、田中 宏幸[2]、居村 史人[3]、谷島 孝[1]、原 史朗[1,2,3] (1.ミニマルファブ、2.産総研、3.Hundred)

[17a-B1-6]
Visualization of strain distribution in MEMS resonators using stroboscopic differential interference contrast microscopy
〇Qian Liu[1], Mirai Iimori[1], Ya Zhang[1] (1.Inst. of Eng., Tokyo Univ. of Agri. &Techno.)

[17a-B1-7]
立体構造トランジスタ製造に対応したCMPプロセス制御技術の開発
〇笠嶋 悠司[1]、松川 貴[1]、上嶋 和也[1]、山岸 雅司[1]、林 喜宏[1] (1.産総研先端半導体RC)

カンチレバー構造 a-InGaZnO TFT の応力依存性評価

Stress dependence of cantilever type a-InGaZnO TFTs.

山形県工技セ [1]，山形大工 [2]　○岩松 新之輔 [1,2]，峯田 貴 [2]

Yamagata Res. Inst. Tech.[1], Yamagata Univ.[2] ○Shinnosuke Iwamatsu[1,2] and Takashi Mineta[2]

E-mail: iwamatsush@pref.yamagata.jp

【はじめに】アモルファスインジウム-ガリウム-亜鉛酸化物薄膜トランジスタ（a-InGaZnO TFT）のセンサ応用が進められている。a-InGaZnO の外部電界に対する感受性を活用した pH センサ(1)，ガスセンサ(2)などが開発されているが，MEMS 構造体を活用したセンサの報告例は少ない。本研究では，a-InGaZnO TFT と MEMS 構造体の融合を目的として，a-InGaZnO TFT を単結晶 Si カンチレバー構造体の上に形成するプロセスを検討し，外部応力が TFT 特性に与える影響を評価した。

【実験及び結果】デバイス基板には，比抵抗 0.005 Ωcm 以下のボロンドープの低抵抗 p 型シリコンを用いた。初めに，基板裏面から反応性イオンエッチング（D-RIE）により残厚 10～30 μm のダイアフラム状に加工し，次に基板表面側から D-RIE により貫通エッチングしてカンチレバー構造を形成した。TFT 構造は，ボトムゲート型とし，Si 基板をゲート電極，熱酸化膜をゲート絶縁膜として用いた。TFT はマスクスパッタ法により形成し，Si の熱酸化膜形成後，a-InGaZnO 活性層，S/D 電極，パッシベーション膜を順次形成した。アニール処理は，a-InGaZnO 活性層形成後に 400°C で 1 h ，素子完成後に 350°C で 1 h, それぞれ大気中で実施した。カンチレバー型 a-InGaZnO TFT の外観を Fig. 1 に示す。カンチレバー長さを 20 mm，幅を 5 mm とし，厚さは 20 μm であった。TFT は，カンチレバー固定端付近および中心付近に配置した。曲げ応力を印加した状態の TFT 特性を Fig. 2 に示す。マイクロメータヘッドを用いて，カンチレバー先端を押し込み，カンチレバー上面に引張応力を与えた。カンチレバー押し込み量が 0～4 mm の状態で伝達特性を測定した結果，特性の変化は確認できなかった。また，測定後，カンチレバー構造体，TFT 薄膜に剥離，クラックなどの発生もなかった。本測定の最大変位 4 mm は，曲げ応力 100 MPa，曲率半径 50 mm に相当し，通常の MEMS デバイスで用いる範囲を超える変形量である。以上の結果から，a-InGaZnO TFT の変形に対する安定性を確認し，MEMS 構造上での運用の可能性を見出した。

(1) S. Iwamatsu, et al., ECS J. Solid State Sci. Technol., 11 (2022) 117003. (2) H.-W. Zan, et al., Appl. Phys. Lett., 98 (2011) 253503.

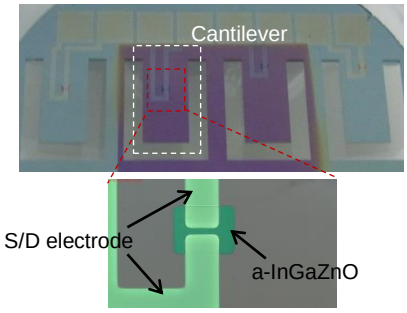


Fig. 1 カンチレバー型 a-InGaZnO TFT

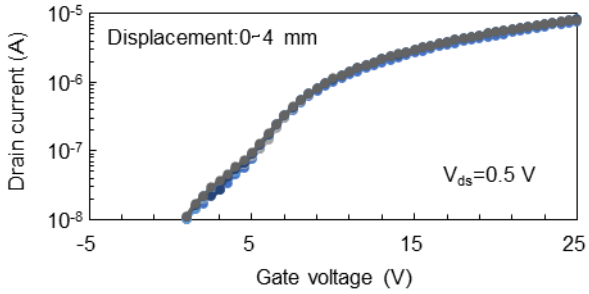


Fig. 2 曲げ応力印加時の伝達特性

圧電薄膜共振子の開発

Development of thin film piezoelectric resonator

ローム(株), ○天本 百合奈, 照元 幸次, 下地 規之, 内貴 崇, 合田 賢司, 木村 俊, 奥 良彰

Rohm Co., Ltd., ○Yurina Amamoto, Koji Terumoto, Noriyuki Shimoji, Takashi Naiki, Kenji Goda, Takashi Kimura, Yoshiaki Oku

E-mail: yurina.amamoto@dsn.rohm.co.jp

【緒言】

5G・6G 時代の通信システム高速化によりクロック回路の高周波数化の要求が高まっている。現在多くのクロック回路では高い温度安定性を持つ水晶素子が用いられているが、その発振周波数は水晶の厚みで決定されるため水晶の加工技術による発振周波数の限界が存在している。また、近年は MEMS 技術を活用した小型・高信頼性の静電型 MEMS 共振子も開発が進んでいるが、高周波発振対応に問題が残る。一方、Si と圧電薄膜を組み合わせた TPoS(Thin film Piezoelectric on Si)構造の圧電薄膜共振子は高い性能指数(Q 値)かつ低運動抵抗(Rm)を実現することができると共に、圧電薄膜は 1GHz を超える高い周波数での発振が可能である。今回我々のグループでは Si(111)上に成膜した単結晶 AlN 圧電薄膜を利用した TPoS 構造の共振子を試作し、その基本的な性能を評価した。

【実験手順】

Si(111)SOI 基板に MOCVD(Metal-Organic Chemical Vapor Deposition)で単結晶 AlN を成膜し、Al 配線形成後に裏面から DRIE(Deep Reactive Ion Etching)でキャビティ構造を形成することで図 1 に示す圧電薄膜共振子を作製した。各素子の発振性能の評価は Keysight 社製の VNA (P9375B)で実施した。

【結果】

図 2 に試作品の代表的な素子特性を示す(W/L=200/300μm)。112MHz において 5 次モード発振が得られその時の Q 値は 4772 であった。さらに周辺圧力・温度が素子特性に与える影響を評価した。素子周辺環境が高真空になることで空気抵抗効果が減少し Q 値が 29%向上することが確認された。また、温度特性として TPoS 共振子の周波数温度係数(TCF)を評価すると-45℃~125℃において -23ppm/℃という値が得られた。TCF を中心とした評価結果の詳細については当日議論する。

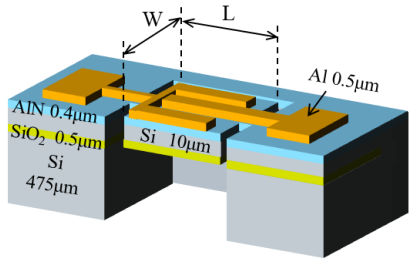


Fig.1 Structure of a TPoS resonator

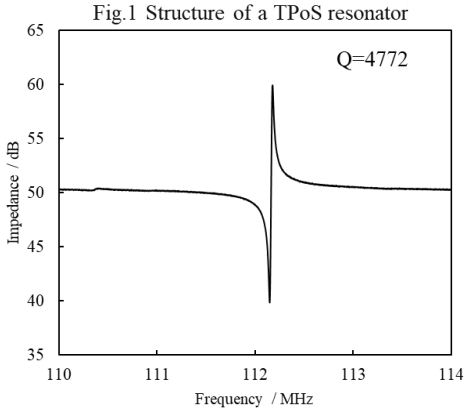


Fig.2 Frequency dependence of the characteristic impedance

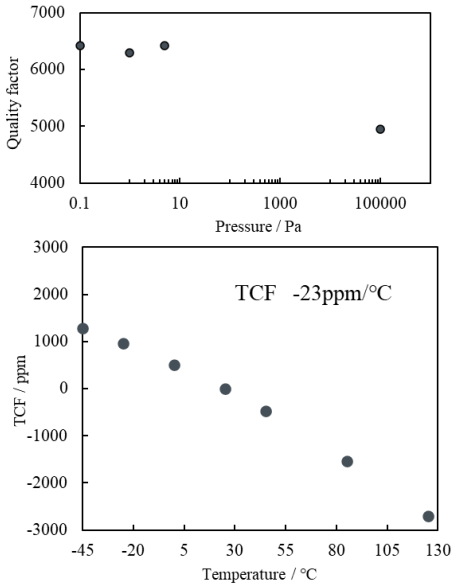


Fig.3 (Top) Quality factor versus ambient pressure (Bottom) Measured resonance frequency drift versus temperature

© 2024年 応用物理学会

高感度 Au 錘 1 軸 MEMS 加速度センサにおける 錘形状による反り抑制検討

Suppression of Proof-Mass Geometry on Warpage in Highly Sensitive Gold Single-Axis MEMS Accelerometers

東京工業大学，°向出 千隼，Devi Srujana Tenneti，御宿希祐，山田虎人，
町田 克之，栗岡 智行，Tso-Fu Mark Chang，曽根 正人，三宅 美博，伊藤 浩之
Tokyo Tech, °Chihaya Mukaide, Devi Srujana Tenneti, Kisuke Miyado, Torauto Yamada,
Katsuyuki Machida, Tomoyuki Kurioka, Tso-Fu Mark Chang,
Masato Sone, Yoshihiro Miyake, Hiroyuki Ito
E-mail: mukaide.c.aa@m.titech.ac.jp

【はじめに】当研究室では積層メタル技術[1]を用いてマイクロ G レベルの検出のため高感度 Au 錘 1 軸 MEMS 加速度センサ[2]を開発している。マイクロ G レベルの検出のためには加速度センサのブラウニアンノイズB_N（$\mathrm{g}/\sqrt{\mathrm{Hz}}$）を$1\ \mu\mathrm{g}/\sqrt{\mathrm{Hz}}$以下とする必要がある。この条件を満たすためには、錘面積を少なくとも数mm^2と大きくしなければならない。一方で、錘面積の増大に伴い MEMS プロセスにおける 300℃アニールにより錘が反る可能性がある[3]-[4]。この錘の反りによるデバイス特性への影響が課題である[5]-[6]。これまで錘形状として、十字錘を採用してきた。今回、Au 錘 1 軸 MEMS 加速度センサの十字錘の反りの課題を検討し、反りの抑制方法として錘の新規形状を提案・検討したので報告する。

【Au 1 軸錘 MEMS 加速度センサの概念】図 1 に当研究室で検討している Au 錘 1 軸 MEMS 加速度センサの概念図を示す。デバイスは十字錘、検出電極、ばね、ストッパで構成される。加速度が印加されると錘の変位を静電容量として検出する方式である。

【有限要素法解析(Finite Element Analysis(FEA))による錘の反りの検討】錘の反りを検討するために、有限要素法（FEA）によるシミュレーションを実施した。FEA として COMSOL を用いた。錘の反り評価の水準として、錘の厚さと形状に着目した。図 2(a)(b)に十字錘の厚さ（27.3μm および 30.3μm）を水準とした比較を示す。さらに、図 2(c)に新規形状として提案する 8 角形錘の結果を示す。シミュレーション結果から、十字錘の反りは周辺に集中し、厚さを増加しても反りが低減することがないことがわかった。一方、提案した 8 角形錘では、周辺への熱応力集中が緩和されたため反りが抑制されることがわかった。したがって、錘形状として新規 8 角形を採用することにより、錘の厚さを増加させるよりも反り抑制の効果が得られることを確認した。

【実験・結果】シミュレーション結果に基づいて 8 角形 Au 錘 1 軸 MEMS 加速度センサを設計、試作した。図 3 に SEM 写真を示す。8 角形形状により反りが抑制され所望の構造を実現したことを確認した。また、LCR メータによる容量の周波数依存性の測定結果から、ブラウニアンノイズB_N（$\mathrm{g}/\sqrt{\mathrm{Hz}}$）として$0.149\ \mu\mathrm{g}/\sqrt{\mathrm{Hz}}$が得られ、目標の$1\ \mu\mathrm{g}/\sqrt{\mathrm{Hz}}$以下を達成した。以上の結果から 8 角形の錘形状を採用することによって反りによる課題を克服できることを確認した。

【まとめ】新規提案した 8 角形錘を採用することにより反り抑制の効果が得られることを明らかにした。試作した Au 錘 1 軸 MEMS 加速度センサの実験評価により、所望のブラウニアンノイズB_N（$\mathrm{g}/\sqrt{\mathrm{Hz}}$）が得られることを確認した。したがって、8 角形錘が、大きい錘による高感度 Au 錘 1 軸 MEMS 加速度センサの実現に有用である。

【謝辞】本研究は JST CREST (JPMJCR21C5)の助成を受けたものである。

【参考文献】 [1] K. Machida, *et al.,* ECS Trans., vol. 92, pp. 169-184, 2019. [2] K. Masu, *et al.,* ECS Trans., vol. 97, pp. 91–108, 2020. [3] A. Onishi, *et al.,* Jpn. J. Appl. Phys., vol.61, no.SD, pp.SD1028, 2022. [4] T. Omura, *et al.,*48th international conference on MNE-Eurosensors (MNE-ES), 2022. [5] D. Liu, *et al.,* Sensors 2020, 20, pp.1186,2020. [6] W. Yao, *et al.,* In Proceedings of the 17th International Conference on EuroSimE, pp. 1–6,2016.

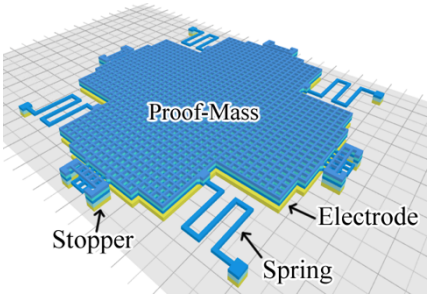


Fig.1 Schematic diagram of MEMS accelerometer structure

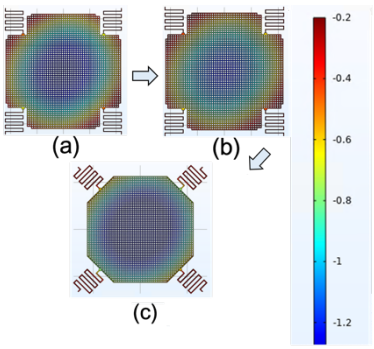


Fig.2 Warpage Simulation result of proof-masses (a)Thickness 27.3μm (b)30.3μm (c)30.3μm with octagonal

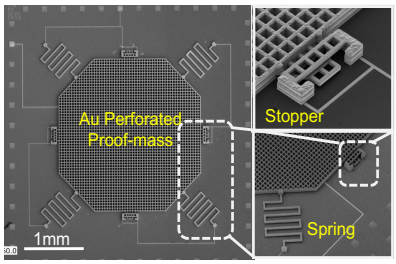


Fig.3 SEM photograph of MEMS accelerometer with octagonal proof-mass

マイクロ g レベル検出のための Au 錘 1 軸 MEMS 加速度センサにおける錘の穴サイズがブラウニアンノイズ B_N に及ぼす影響

Effect of Perforated Proof-Mass Hole Size on Brownian Noise B_N of Gold Single-Axis MEMS Accelerometer for Micro-g Level Sensing

東京工業大学，°山田 虎人，御宿 希祐，Devi Srujana Tenneti，向出 千隼，
町田 克之，栗岡 智行，Tso-Fu Mark Chang，曽根 正人，三宅 美博，伊藤 浩之
Tokyo Tech, °Torauto Yamada, Kisuke Miyado, Devi Srujana Tenneti, Chihaya Mukaide,
Katsuyuki Machida, Tomoyuki Kurioka, Tso-Fu Mark Chang,
Masato Sone, Yoshihiro Miyake, Hiroyuki Ito
E-mail: yamada.t.bz@m.titech.ac.jp

【はじめに】当研究室ではマイクロ g レベル（1g=9.8m/s^2）の加速度を検出可能な高感度 MEMS 加速度センサを検討している。高感度化を実現するために、錘材料として高密度材料の Au を採用し、加速度センサの性能を決定するブラウニアンノイズ B_N を低減した Au 錘 1 軸 MEMS 加速度センサを開発している[1]。B_N は、以下の式(1)で表される[2, 3]。

$$B_N = \sqrt{4k_BTb}/9.8m\ (\mathrm{g}/\sqrt{\mathrm{Hz}}), \tag{1}$$

ここで、k_B、T、b、m はそれぞれボルツマン定数（1.38×10^{-23}J/K）、絶対温度(K)、減衰係数(Ns/m)、錘の質量(kg)である。式(1)より B_N は錘の質量 m と減衰係数 b に依存する。これまで B_N の減衰係数 b 依存性の報告例はない。今回、我々は減衰係数に影響を及ぼす錘のホールサイズに着目し、その時の B_N の挙動について検討した。本論文では、B_N のホールサイズ依存性を検討し、その検討の妥当性を検証するために、マイクロ g レベル検出のための 1.0μg/√Hz 以下の B_N を目標として、Au 錘 1 軸 MEMS 加速度センサを設計、試作したので報告する。

【解析手法・設計】図 1 に当研究室で開発した Au 錘 1 軸 MEMS 加速度センサと錘の構造を示す。L、W、L_a、L_E、d_0 はそれぞれ錘の縦幅(m)、錘の横幅(m)、ホールピッチ(m)、ホールサイズ(m)、電極—錘間の初期ギャップ(m)である。ホールサイズ依存性を調べるために、当グループで提案・構築した穴あき錘に対応した減衰係数 b モデルを用いた[4]。本モデルは以下の式(2)で表される。

$$b = 16n\mu \cdot 10.4(L_*/d_0)^{-2.65}\, L_*^4/d_0^3\ (\mathrm{Ns/m}), L_* = \sqrt{L_a^2 - L_E^2}\ (\mathrm{m}), \tag{2}$$

ここで、d_0、n、μ は電極—錘間距離(m)、エッチングホール数、空気粘性係数(1.85×10^{-5}Ns/m)である。図 2 に錘の厚さを 30μm 一定として式(1),(2)による B_N と b のホールサイズ依存性の計算結果を示す。10μm と 40μm のホールを比較し、B_N は 10%程度の大きさを示し、b は 80%程度小さく、向上している。40μm のホールのアスペクト比（錘の厚さ/ホールサイズ）に注目すると、1 より小さく、犠牲層除去工程では 1 より小さいことが望ましく、40μm のホールはプロセスに適していると考える。上記結果を検証するために、40μm のホールの Au 錘 1 軸 MEMS 加速度センサを設計・試作した。

【結果】LDV(Laser Doppler Vibrometry)法による振動測定の評価により、試作したホールサイズ 40μm の錘を有する Au 錘 1 軸 MEMS 加速度センサにおいてブラウニアンノイズ B_N は、目標である 1.0μg/√Hz 以下の 300ng/√Hz を得られることがわかった。

【まとめ】Au 錘 1 軸 MEMS 加速度センサの錘のホールサイズとのブラウニアンノイズ B_N の関係について検討した。ホールサイズが 40μm の Au 錘 1 軸 MEMS 加速度センサは MEMS プロセスの歩留まりを考慮しつつマイクロ g レベルの検出が可能なデバイスと考える。したがって、ホールサイズとブラウニアンノイズ B_N との関係を考慮した設計は MEMS プロセスに有効であることを確認した。

【謝辞】本研究は JST CREST (JPMJCR21C5)の助成を受けたものである。

【参考文献】[1] K. Masu, *et al.*, *ECS Trans.*, vol. 97, pp. 91–108, 2020. [2] N. Yazdi, *et al.*, *Journal of systems.*, vol.9, no.4, pp.544-550, 2000. [3] B. E. Boser, *et al.*, *IEEE J. Solid-State Circuits*, vol. 31, no. 3, pp. 366-375, 1996. [4] K. Shibata, *et al.*, *IEEE Sensors. J.*, vol.22, no.15, pp.544-550, 2022.

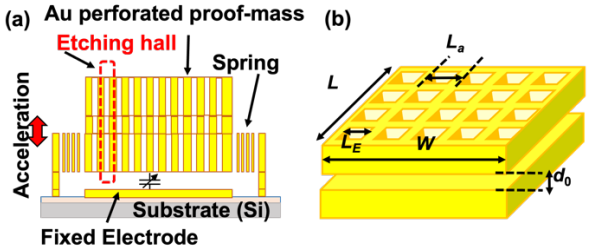


Fig. 1. (a)Schematic diagram of MEMS accelerometer with perforated proof-mass. (b)Conceptual diagram of proof mass with etching hall.

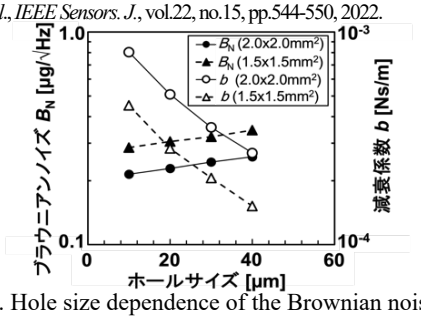


Fig. 2. Hole size dependence of the Brownian noise B_N and damping coefficient b for a MEMS accelerometer with constant proof-mass size.

ミニマルファブを用いた３軸ピエゾ抵抗型加速度センサの感度低下要因についての検討

Investigation of Factors that Degrade the Sensitivity of three-axes Piezo-resistive Accelerometer in Minimal-Fab Process

ミニマルファブ推進機構 [1], 産業技術総合研究所 [2], (株)Hundred Semiconductors[3]
○小粥 敬成 [1], 関藤 竜平 [1], 田中 宏幸 [2], 居村 史人 [3], 谷島 孝 [1], 原 史朗 [1, 2, 3]

MINIMAL[1], AIST[2], and Hundred[3],
Hiroshige Kogayu[1], Ryuhei Sekifuji[1], Hiroyuki Tanaka[2], Fumito Imura[3], Takashi Yajima[1], and Shiro Hara[1, 2, 3]
E-mail: hiroshige-kogayu@minimalfab.com

［背景・目的］ MEMS デバイスの多品種少量性は、我々が実用化したミニマルファブに適していることから、当初から装置の開発と共に MEMS デバイスの開発も進めてきた[1]-[4]。最近では、ボッシュプロセスによる深掘りエッチング技術がミニマルファブでも開発された[5]ので、ピエゾ抵抗型加速度センサを試作してきた[6]-[9]。これらの試作において、3軸加速度センサでは、x 軸方向と y 軸方向は 90 度回転させた対称の形状であるが、x 軸/y 軸方向で同等の感度が得られないという課題があった。それに対しウェハ表と裏のパターンのズレが原因と推定し、改善を行なってきた。そこで今回は感度低下要因をより明確化するため、パターンのズレ量と感度の関係を定量化することを試みた。また、評価にあたっては市販の加振器による加速度評価システムを用いず、より簡便で安価に評価できる方法を検討した。本稿ではその試作内容と感度低下要因について実験を行った結果を報告する。

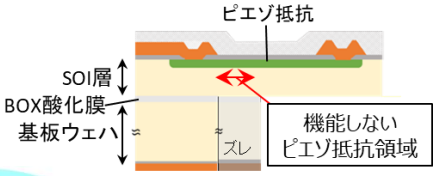


図１．梁端部断面図

［作製、評価方法］ 試作したプロセスは図1に示すように BOX 酸化膜をストッパにしてウェハ表面からのエッチングとウェハ裏面からのエッチングを行ない梁を形成するため、表裏のパターンズレが生じると梁端部に設置したピエゾ抵抗が適正に機能しない領域が出てくる。これが感度低下を招く要因と考え、今回は図2に示すように裏面を意図的にずらしたパターンを設計して試作を行なった。裏面を x 方向に+10μm ずらした例を示している（図3は試作後の外観）。振動評価については図6に示すように振動スピーカーを用いて自作し、比較対象として市販の加速度センサも取付け、L 字型治具に試作した 3 軸加速度センサを装着してセットアップを行なった。測定はアンプに周波数 150Hz の正弦波を入力し手動で加速度を調整して、オシロスコープの FFT 機能を用いて、市販の加速度センサの出力値に対する 3 軸加速度センサの x 方向及び y 方向の出力電圧から感度を求めた。

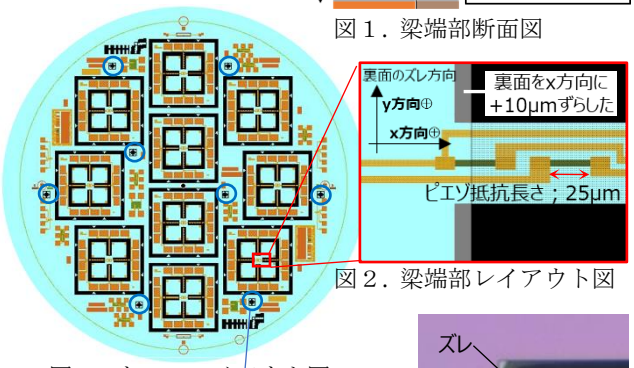
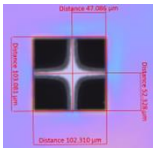


図２．梁端部レイアウト図

図４．ウェハレイアウト図


○印；8 個のズレ量確認プロセス TEG
図５．ズレ量確認プロセス TEG

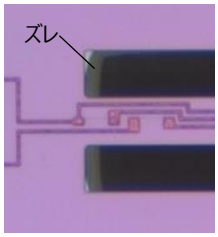


図３．梁端部の外観

［結果と考察］ 図7に表裏のパターンズレ量と感度の関係を示す。プロットはズレ量の設計値[μm]として(x,y)=(0,0)、(+10,0)、(0,+5)、(0,+10)の 4 種類のものであるが、横軸は図4，5に示すウェハ内に 8 個配置したズレ量確認プロセス TEG の測定データを基準として、MEMS チップのウェハ内の位置でのズレ量を補正して絶対値を取ったズレ量である。ズレ量が大きくなるに従って感度が低下する傾向であり、この場合の感度はズレ量 1μm あたり 0.0055mV/(VG)低下し、またピエゾ抵抗の長さは 25μm であることからズレ量 25μm で感度はほぼゼロとなったと考えられる。ただし感度のばらつきには、このズレ量の他に、本プロセスでは梁の厚さ（＝SOI 層の厚さ）のコントロールを研磨で行なっており、ウェハ面内の SOI 層厚さばらつきも1つの要因である可能性がある。

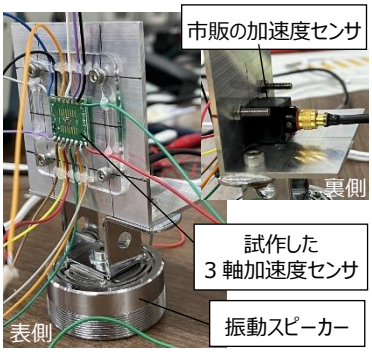


図６.自作した評価セットアップ

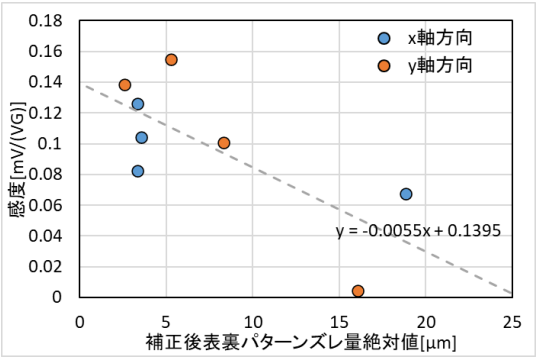


図７．表裏のパターンズレ量と感度の関係

＜参考文献＞

[1] 原史朗，クンプアンソマワン，「ミニマルファブの開発とそのデバイスプロセス」，応用物理，83(5)，380 (2014).
[2] クンプアンソマワン，「ミニマルファブにおけるデバイスプロセス開発事例」，クリーンテクノロジー，Vol.23. No.12 (2014).
[3] Y. X. Liu et al., Jpn. J. Appl. Phys. 57, 06HD03-1-6, 2018.
[4] Tuan Anh Phan，他，第 78 回応物学会秋季学術講演会 6p-C21-13(2017).
[5] 田中宏幸，他，第 79 回応用物理学会秋季学術講演会 21p-233-7(2018).
[6] 小粥敬成，他，第 68 回応用物理学会春季学術講演会 19p-Z24-5(2021).
[7] 小粥敬成，他，第 69 回応物学会春季学術講演会 24a-E102-6(2022).
[8] 小粥敬成，他，第 83 回応物学会秋季学術講演会 20p-A406-13(2022).
[9] 小粥敬成，他，第 70 回応物学会春季学術講演会 15p-B410-2(2023).
謝辞：この成果は、国立研究開発法人新エネルギー・産業技術総合開発機構（NEDO）の助成事業（JPNP12004）の結果得られたものです。

© 2024年 応用物理学会

Visualization of strain distribution in MEMS resonators using stroboscopic differential interference contrast microscopy

Inst. of Eng., Tokyo Univ. of Agri. &Techno. [1], °Qian Liu[1], Mirai Iimori[1], and Ya Zhang[1]
E-mail: zhangya@go.tuat.ac.jp

MEMS resonators are promising for sensing applications owing to their intrinsic high sensitivities. In MEMS devices, piezoelectric or piezoresistive transducers are crucial for converting the mechanical vibrations into electrical signals. Since the output signal is in proportional to the surface strain, it is highly desirable to preciously characterize the surface strain distribution in MEMS devices. Currently, numerical methods such as Finite Element Method are commonly used to analyze the strain distribution in MEMS devices. However, owing to the small size of MEMS devices, experimental analysis of strain distribution remains challenging.

In this work, we propose a novel surface strain analysis method for MEMS resonators using stroboscopic differential interference contrast (DIC) microscopy. The stroboscopic DIC microscope visualizes the mechanical vibrations of MEMS devices through the interference of two light beams reflected from the sample surface with a small lateral shift [1]. With the DIC images, we can obtain the differential surface deflection of MEMS resonators caused by the vibration motions. By further differentiating the result, we can obtain the deflection induced strain (ε) distribution of MEMS resonators, by

$$\varepsilon = \frac{t_0}{4} \times \frac{d^2z}{dx^2} \qquad (1).$$

We have performed the strain measurement for a GaAs doubly clamped MEMS beam resonator with a geometry of 100(L)×30(W)×1.2(t)μm^3, as shown in Fig. 1(a). The MEMS resonator is driven in its 1st bending mode, with a resonance frequency of ~695 kHz. The measured surface strain distribution is shown in Fig. 1(b), as seen, surface strain distributes not only on the MEMS beam, but also on the over etching part, indicating that the over etching effectively extends the vibration area, which must be considered in designing the transducers. Fig. 1(c) plots the numerical result of the MEMS beam resonator for the 1st bending mode by using a FEM tool (COMSOL). As seen, the experimental result shows reasonable agreement with the numerical result, demonstrating the effectiveness of the stroboscopic DIC method for analyzing the surface strain distributions of MEMS devices.

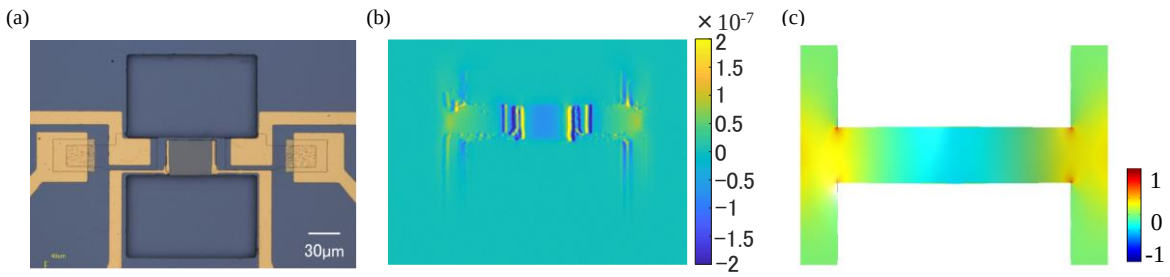


FIG 1. (a) microscope image of a fabricated MEMS beam resonator, which has a geometry of 100×30×1.2 μm^3. (b). Calculated strain-displacement (ε). The different direction is along the beam direction. (c). The surface strain distribution of MEMS resonators was obtained through COMSOL Multiphysics simulations.

Reference

[1] Mirai Iimori and Ya Zhang, "Two-dimensional measurement of resonance in MEMS resonators using stroboscopic differential interference contrast microscopy," Opt. Express 30, 26072-26081 (2022)

立体構造トランジスタ製造に対応した CMP プロセス制御技術の開発

Development of smart CMP process control technology for 3D-structured FETs

○笠嶋 悠司，松川 貴，上嶋 和也，山岸 雅司，林 喜宏
産総研(AIST)、先端半導体研究センター（SFRC）
°Yuji Kasashima. Takashi Matsukawa, Kazuya Uejima, Masashi Yamagishi, Yoshihiro Hayashi,
SFRC, AIST
E-mail: kasashima-yuji@aist.go.jp

産総研では、300mm 研究試作ラインであるスーパークリーンルーム（SCR）において、3 次元構造 FET（FinFET や GAAFET 等）のプロセス技術の研究開発を進めている。その基幹技術の一つである CMP において、インライン CMP エンドポイント検出（EPD）と非破壊 3 次元形状検出（垂直入射型 OCD[1]）用いた CMP プロセス制御技術の開発を進めている。

図 1 に示すように、今回、EPD の一つとして光学式膜厚モニタ(SOPM(Spectrum Optical Endpoint Monitoring))方式を用いた。SOPM は研磨中のウエハに照射された光の反射光スペクトルまたはその変化から膜厚を算出する手法であり、その情報を基に研磨処理の終点を判定する。OCD 装置では評価対象構造に対して平行/垂直方向の偏光を照射し、反射率のスペクトルをライブラリと比較し、立体形状を計測する[1]。

図 2 に、リプレースメント型 High-k/Metal-gate（HKMG）-FinFET のダミーゲート a-Si 膜の CMP 平坦化に適用した結果を示す。OCD 測定による a-Si 膜の Bottom thickness 値と Top thickness 値の変化傾向が SOPM 膜厚値の変化傾向とほぼ一致した。このことは、SOPM 値と OCD 値とを紐づけることで、非破壊かつ迅速に、研磨残膜厚と 3 次元形状の検出が可能となることを意味し、CMP プロセスの短 TAT 開発に大きく資する。

参考文献：[1] Oleg Kritsun et al., Proc. of SPIE Vol. 6924, 69241M, (2008)

謝辞：この成果は、ＮＥＤＯ（国立研究開発法人新エネルギー・産業技術総合開発機構）の「ポスト５Ｇ情報通信システム基盤強化研究開発事業」(JPNP20017)の助成事業の結果得られたものです。

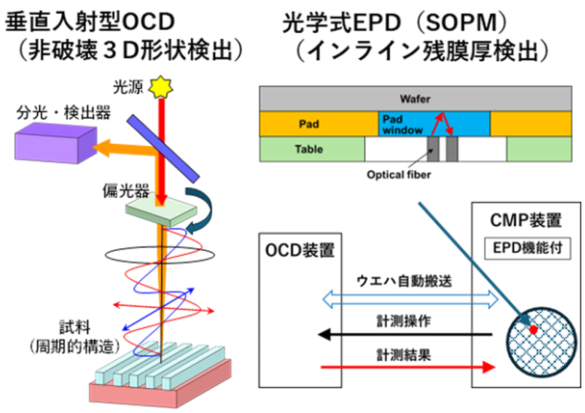


図 1　非破壊 OCD/SOPM 検出機能を具備した CMP 装置

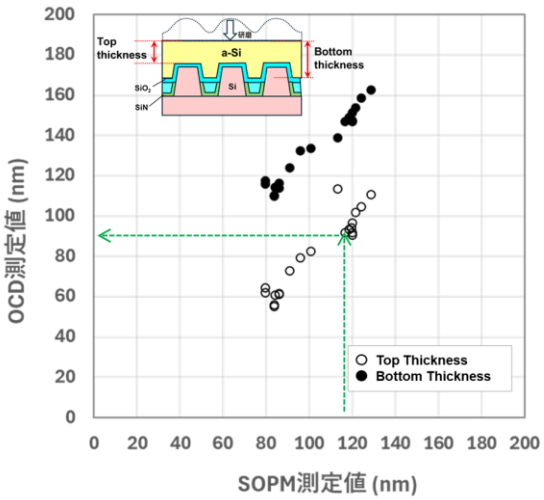


図 2　HKMG-FinFET のダミーゲート平坦化 CMP における a-Si の OCD 膜厚と SOPM 膜厚との関係

13 半導体 | 一般セッション(ポスター講演)：13.4 Si系プロセス・Si系薄膜・MEMS・装置技術

[17p-P05-1~1] 13.4 Si系プロセス・Si系薄膜・MEMS・装置技術

[17p-P05-1]

基板位置合わせのための簡易治具の開発および治具の位置合わせ精度の評価

〇三浦 篤志[1]、舟山 啓太[1]、後藤 智[1]、奥田 勝治[1]、田中 宏哉[1] (1.豊田中研)

基板位置合わせのための簡易治具の開発 および治具の位置合わせ精度の評価

Compact Jig for Alignment of Two Substrates and Its Assessment of Alignment Accuracy

(株)豊田中央研究所　°三浦 篤志，舟山 啓太，後藤 智，奥田 勝治，田中 宏哉
Toyota Central R&D Labs., Inc. °Atsushi Miura, Keita Funayama, Satoshi Gotoh, Katsuharu Okuda, Hiroya Tanaka
E-mail: a-miura@mosk.tytlabs.co.jp

【はじめに】　微細加工は集積回路やセンサなどの製造工程で広く応用されており、産業上欠かせない技術である[1]。微細加工技術の代表例として、フォトリソグラフィが挙げられる。リソグラフィ技術で複雑なパターンを作製する場合、複数回の露光・転写が必要となるため、ウエハとマスク/モールドとの正確な位置合わせが必要となる。今回、我々は市販の xyz 回転軸ステージ（TR-101-R1、中央精機(株)）と 2 台の CCD カメラ（Dino-Lite Premier 500M、AnMo Electronics）を用いて、基板の位置合わせのための簡易かつ小型な治具を作製した。また、作製した治具を用いて 2 枚の基板の位置合わせを行い、各基板の端部のずれから中心位置のずれを計算することで、治具の位置合わせの精度を評価した。

【位置合わせ誤差の評価】　作製した位置合わせ治具を Fig. 1 に示す。2 台の CCD カメラで基板の端部を観察しながら下部基板の位置を調節することで、上部/下部基板が重なる位置を合わせることができる。作製した治具を用いて 2 枚の基板（幅 35 mm×奥行 35 mm×高さ 0.525 mm の Si）を同じ位置に重ね、30 個のサンプルを作製した。次に中心位置の差から治具の位置合わせの精度を評価した。基板の中心位置のずれの分布を正規分布でフィッティングしたところ、誤差の平均は x 方向、y 方向にそれぞれ 8.3 μm、10.6 μm であることがわかった。また、誤差の標準偏差はそれぞれ 15.2 μm、15.4 μm であり、x 軸方向、y 軸方向に同程度のばらつきをもつことがわかった。

【まとめ】　今回、xyz 回転軸ステージと CCD カメラを用いた基板の位置合わせのための簡易・小型治具を開発した。位置合わせと接合の工程を繰り返すことで、複数の基板の位置合わせにも本治具を利用できると考える。

【参考文献】

[1] 金岡政彦, "ナノ加工技術がかなえるグローバルニッチトップのモノづくり," 応用物理, vol. 92, no. 2, pp. 530-534 (2023)

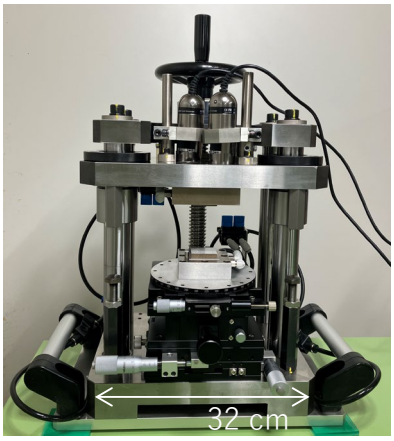


Fig. 1 Overview of fabricated alignment jig.

© 2024年 応用物理学会

13 半導体 | 一般セッション(口頭講演)：13.5 デバイス／配線／集積化技術

[16p-C302-1~18] 13.5 デバイス／配線／集積化技術

[16p-C302-1]
[Fellow International 2024 Special Lecture] 2D Materials - Powering the Next Era of Energy-Efficient Electronics
〇Kaustav Banerjee[1] (1.University of California)

[16p-C302-2]
Bi_2Te_3/Ge 擬似vdW接合によるn-Geへのオーミックコンタクト形成
〇張 文馨[1]、畑山 祥吾[1]、岡田 直也[1]、入沢 寿史[1]、齊藤 雄太[1,2] (1.産総研、2.東北大)

[16p-C302-3]
ALD-GeO_2を用いたGeSnの表面パッシベーション
〇加藤 芳規[1]、坂下 満男[1]、黒澤 昌志[1]、中塚 理[1,2]、柴山 茂久[1] (1.名大院工、2.名大未来研)

[16p-C302-4]
[分科内招待講演] 原子層堆積法で成膜した非晶質/多結晶In-Ga-O酸化物トランジスタにおける信頼性劣化起源に関する考察
〇髙橋 崇典[1]、上沼 睦典[2]、小林 正治[3,4]、浦岡 行治[1] (1.奈良先端大、2.産総研、3.東大生研、4.東大 d.lab)

[16p-C302-5]
A Nanosheet Oxide Semiconductor FET Using ALD InZnOx Channel
〇(D)Sunghun Kim[1], Kaito Hikake[1], Zhuo Li[1], Takuya Saraya[1], Toshiro Hiramoto[1], Masaharu Kobayashi[1,2] (1.IIS, The Univ. of Tokyo, 2.d.lab, The Univ. of Tokyo)

[16p-C302-6]
ALD InGaZnOx をチャネル材料とするナノシート酸化物半導体トランジスタ
〇(M2)坂井 洸太[1]、日掛 凱斗[1]、更屋 拓哉[1]、平本 俊郎[1]、小林 正治[1,2] (1.東大生産研、2.東大 d.lab)

[16p-C302-7]
Study on High-Field Transport and Statistical Variability of Nanosheet Oxide Semiconductor FETs for Device Scaling in Monolithic 3D Integration
Kaito Hikake[1], 〇Xingyu Huang[1], Sung-hun Kim[1], Kota Sakai[1], Zhuo Li[1], Tomoko Mizutani[1], Takuya Saraya[1], Toshiro Hiramoto[1], Takanori Takahashi[2], Mutsunori Uenuma[2], Yukiharu Uraoka[2], Masaharu Kobayashi[1,3] (1.IIS, Univ. of Tokyo, 2.NAIST, 3.d.lab, Univ. of Tokyo)

[16p-C302-8]
DFT計算による電子輸送特性データベースを用いた配線材料としての新たな金属間化合物の探索
〇岩渕 将也[1]、小池 淳一[1] (1.東北大)

[16p-C302-9]
ヨウ化銅（I）を原料とする CVD 法による Ta 上への Cu 堆積
〇宮本 裕[1]、山内 智[1] (1.茨城大工)

[16p-C302-10]
Al箔直接接合によるシリコン酸化膜上厚膜配線の電気特性
〇(M2)室谷 咲貴[1]、上原 さくら[2]、仕幸 英治[1]、梁 剣波[1]、重川 直輝[1] (1.大阪公大工、2.大阪市大工)

[16p-C302-11]
サブTHz超音波を用いたエレクトロマイグレーションの早期非破壊検出
〇長久保 白[1]、出馬 秀平[1]、西村 淳[2]、壁 義郎[2]、荻 博次[1] (1.阪大工、2.スカイワークスフィルターソリューションズ)

[16p-C302-12]
リセット電流低減とサイクル耐性向上に向けたPCM/セレクタ積層メモリの熱構造最適化
〇松澤 雄矢[1]、上遠野 一広[1]、塚越 隆行[1]、藤井 章輔[1]、藤巻 剛[1] (1.キオクシア 先端研)

[16p-C302-13]
不揮発性SRAMのパワーゲーティング・アーキテクチャと性能
加藤 豪人[1]、〇大木 治弥[1]、塩津 勇作[1]、山本 修一郎[1]、菅原 聡[1] (1.東工大・未来研)

[16p-C302-14]
擬似SRAMゲインセルの性能比較
〇吉田 誠[1]、塩津 勇作[1]、菅原 聡[1] (1.東工大・未来研)

[16p-C302-15]
XNOR演算を有するエネルギー最小点動作・PIM型SRAMセル
〇近藤 慶音[1]、塩津 勇作[1]、菅原 聡[1] (1.東工大・未来研)

[16p-C302-16]
エネルギー最小点で動作するINT4推論NNアクセラレータ・マクロの設計
〇塩津 勇作[1]、菅原 聡[1] (1.東工大・未来研)

[16p-C302-17]
低電圧動作・リードポート付き10T-SRAMセルの設計と性能
〇矢口 忠勝[1]、塩津 勇作[1]、菅原 聡[1] (1.東工大・未来研)

[16p-C302-18]
高安定エネルギー最小点動作が可能なULVR-SRAMセルの設計
〇伊藤 克俊[1]、塩津 勇作[1]、菅原 聡[1] (1.東工大・未来研)

Bi_2Te_3/Ge 擬似 vdW 接合による n-Ge へのオーミックコンタクト形成

Ohmic Contact to n-Ge by Bi_2Te_3/Ge quasi-vdW Junction

産総研 [1]、東北大 [2]、○張文馨 [1]、畑山祥吾 [1]、
岡田直也 [1]、入沢寿史 [1]、齊藤雄太 [1,2]
AIST[1], Tohoku Univ.[2] °W. H. Chang[1], S. Hatayama[1],
N. Okada[1], T. Irisawa[1], and Y. Saito[1,2]
°E-mail: wh-chang@aist.go.jp

【背景】

ポスト Si チャネル材料として有望視されている Ge は、Si に比べ移動度が高く、トランジスタ(FET)の高速化と低消費電力化が期待される。しかしながら、界面準位や金属誘起準位(MIGS)に起因したフェルミレベルピニング(FLP)の影響で、一般的な金属電極と n-Ge の間には大きなコンタクト抵抗が存在し、Ge nFET の性能が大きく制限されるという課題がある。最近、我々は Te 系層状物質を用いて、遷移金属ダイカルコゲナイド（TMDC）チャネル上に van der Waals (vdW)接合を形成することによって、FET の性能向上を実証した[1, 2]。本研究では、スパッタリング法による加熱成膜を利用して、Bi_2Te_3/Ge (100) vdW 接合形成を試みた。Bi_2Te_3 と Ge (100)の間に擬似 vdW 接合を形成することによって、Bi_2Te_3/n-Ge の接合特性はオーミックになっていることを確認した。この結果は n-Ge 側の FLP 解消を示唆し、高性能 Ge nFET の実現が期待できる。

【結果および考察】

塩酸で表面洗浄後、直ちに n-Ge (100)ウェハーをチャンバー室に搬入し、スパッタリングにより、W(30 nm)/Bi_2Te_3(20 nm)を成膜した。図 1 に基板加熱有無で比較した Bi_2Te_3/Ge 膜の XRD 分析結果を示す。230 ºC で成膜することで、Bi_2Te_3 の結晶性が大幅に向上することが確認され、また、高い c 軸配向性から、Ge 上への Bi_2Te_3 層状結晶膜の形成に成功したことが示唆される。成膜後 400 度の熱処理をさらに追加することで、TEM 観察から、Bi_2Te_3/Ge 疑似 vdW 接合の形成が確認できた（図 2）。この疑似 vdW 接合の接合特性を確認するため、W/Bi_2Te_3 電極を n-Ge 上に形成した。比較対象として、W 単体電極を有する試料も作製した。図 3 に接合特性の比較を示す。疑似 vdW 接合を形成することによって、Ge 伝導帯側のエネルギー障壁が大幅に低下し、Bi_2Te_3/n-Ge がオーミック接合となることを確認した。今回の発見は、n-Ge コンタクトの課題解決に向けたブレークスルーになるものと期待できる。

【参考文献】

[1] W. H. Chang et al., *Adv. Electron. Mater.* 2201091(2023).
[2] W. H. Chang et al., *SSDM* 455 (2023).

【謝辞】本研究は科研費 (JP23H01474, JP23K26168)の助成を受けて実施された。

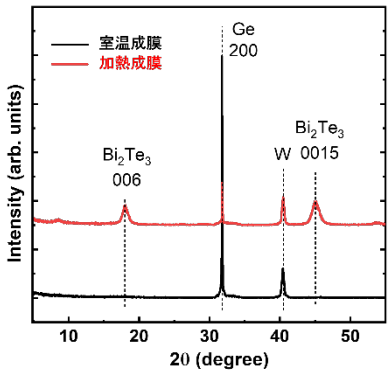


Fig. 1. XRD *θ/2θ* scan of W/Bi_2Te_3/Ge stacked films deposited at room temperature or at 230 ºC by sputtering.

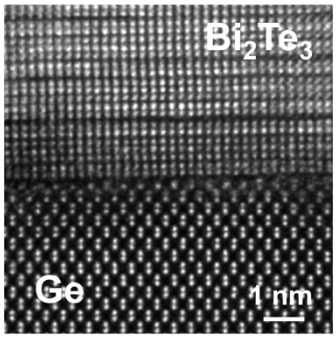


Fig. 2. TEM cross-sectional image of Bi_2Te_3/Ge quasi-vdW interface formed after 400 ºC annealing.

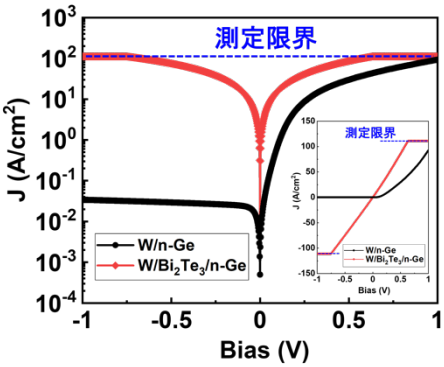


Fig. 3. Comparison of *I-V* characteristics of the W/Bi_2Te_3/n-Ge and W/n-Ge junction diodes. The linear scale of I-V characteristics is shown in the inset.

ALD-GeO_2 を用いた GeSn の表面パッシベーション

Passivation of GeSn surface using ALD-GeO_2

名大院工 [1], 名大未来研 [2]　○加藤 芳規 [1]，坂下 満男 [1]，黒澤 昌志 [1]，中塚 理 [1,2]，柴山 茂久 [1]

Grad. Sch. Eng., Nagoya Univ. [1], IMaSS, Nagoya Univ. [2], ◦Yoshiki Kato[1], Mitsuo Sakashita[1], Masashi Kurosawa[1], Osamu Nakatsuka[1,2], and Shigehisa Shibayama[1]

E-mail: kato.yoshiki.m0@s.mail.nagoya-u.ac.jp, s-shibayama@nagoya-u.jp

［研究背景］IV 族混晶半導体である GeSn は，Sn 組成変化によるバンド変調制御が可能で，Si ULSI プラットフォーム上に集積可能な共鳴トンネルダイオード（RTD）や受発光素子といったデバイスへの応用が期待されている[1]．一方でその実現に向けてはデバイスのリーク電流の抑制が重要であり，GeSn の表面パッシベーション技術，即ち絶縁膜/GeSn 界面の欠陥密度低減と閾値電圧制御技術が要求されている．我々は GeSn の表面パッシベーション絶縁膜として，Ge MOS 界面で低欠陥密度である GeO_2 に着目した[2]．実際のデバイスプロセスでは，三次元構造に対して均一性の高い絶縁膜形成が可能な原子層堆積（ALD）法での堆積が必要不可欠である．

本研究では，*n* 型 Ge 基板上にアンドープ GeSn を堆積し，メサ型の *pn* 接合ダイオードを作製した．アンドープ GeSn は欠陥準位により *p* 型を示す[3]．テトラエトキシゲルマニウム（TEOG）+O_3 を用いた ALD 法による GeO_2 膜形成プロセスを構築し、逆方向リーク電流の低減に成功したので報告する．

［実験方法］*n* 型 Ge(100)基板を化学洗浄後，分子線エピタキシー法を用いて，堆積温度 150 °C で膜厚 200 nm の *p* 型 GeSn（Sn 組成: 5.2%）層および膜厚 2 nm の Si キャップ層を堆積した．その後，試料をメサ型に加工しデバイス化した．パッシベーション絶縁膜には ALD 法を用いて堆積温度 200 °C で膜厚 8 nm の GeO_2 膜および膜厚 56 nm の Al_2O_3 膜を形成した（w/ GeO_2）．比較のため Al_2O_3 膜のみ（w/o GeO_2）の試料も作製し電流密度–電圧（*J*–*V*）特性評価を行った．同時に，GeO_2 膜導入が絶縁膜/半導体界面におよぼす影響を調査するため、*p* 型 Ge(100)基板上にも同条件で MOS キャパシタを作製した．これらの MOS キャパシタの容量–電圧（*C*–*V*）特性評価を行った．

［結果および議論］図 1 は TEOG および O_3 の ALD サイクル数に対する Ge 上に形成した GeO_2 膜厚である．サイクル数に対して膜厚が線形に増加し，Growth per cycle（GPC）は 0.044 nm/cycle であった．既報告の GeO_2 ALD と同等の GPC を実現できることが分かった[4,5]．次に，Al_2O_3/*p*-Ge 界面に，TEOG+O_3 で形成した ALD-GeO_2 膜を導入することで，100 kHz での周波数応答から界面特性の改善が可能であることが見出された（図 2）．

図 3 に GeSn/*n*-Ge *pn* 接合ダイオードの *J*–*V* 特性を示す．パッシベーション絶縁膜として，ALD-GeO_2 膜を導入することで，逆方向電流密度の低減が可能であることが分かった．この結果は，GeSn に対するパッシベーション絶縁膜としての ALD-GeO_2 導入が，GeSn 系 RTD および受発光素子のデバイス性能向上に有用であることを示している．

謝辞　本研究の一部は，JST さきがけ（JPMJPR21B6）および JST CREST（JPMJCR21C2）の支援を受けて実施された．

[1] S. Ishimoto *et al*., SSDM (2023) F-4-03. [2] C. H. Lee *et al*., ECS Trans. **19**, 165 (2009). [3] H. Haesslein *et al*., Phys. Rev. Lett. **80**, 2626 (1998). [4] M. Perego *et al*., Appl. Phys. Lett. **90**, 162115 (2007). [5] C. M. Yoon *et al*., Chem. Mater. **30**, 830 (2018).

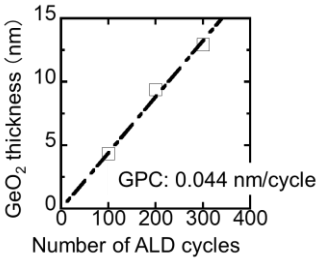


Figure 1 GeO_2 thickness as the function of ALD cycles at substrate temperature of 200 °C. The thickness was measured using ellipsometry.

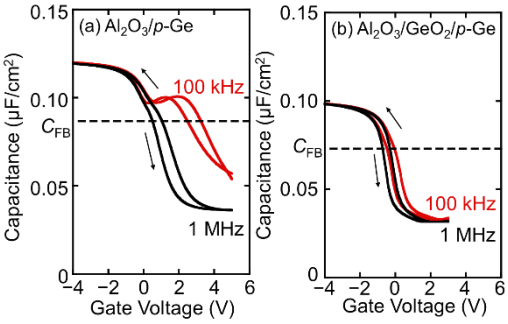


Figure 2 *C*–*V* characteristics measured at room temperature of (a) Al/Al_2O_3/*p*-Ge and (b) Al/Al_2O_3/GeO_2/*p*-Ge MOSCAPs.

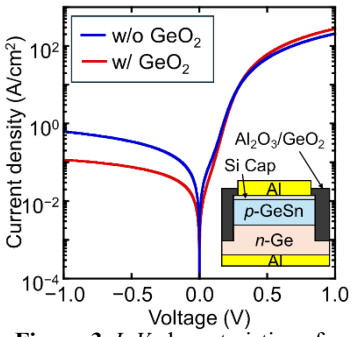


Figure 3 *J*–*V* characteristics of *p*-GeSn/n-Ge junctions passivated by Al_2O_3 and Al_2O_3/GeO_2. The electrode diameter is 160 μm.

原子層堆積法で成膜した非晶質/多結晶 In-Ga-O 酸化物トランジスタにおける信頼性劣化起源に関する考察

Reliability degradation mechanism in atomic layer deposited amorphous/polycrystalline In-Ga-O channel transistors

奈良先端大 [1]，産総研 [2], 東大生研 [3], 東大 d. lab[4]

○高橋 崇典 [1]，上沼 睦典 [2]，小林 正治 [3,4]，浦岡 行治 [1]

NAIST [1], AIST [2], IIS., Univ. of Tokyo[3], d. lab, Univ. of Tokyo[4]

°Takanori Takahashi[1], Mutsunori Uenuma[2], Masaharu Kobayashi[3,4], and Yukiharu Uraoka[1]

E-mail: t.takahashi@ms.naist.jp

【研究背景】 In_2O_3 や ZnO を主成分とする酸化物半導体を用いた電界効果トランジスタ (FET) は超集積回路や半導体メモリへの実装が期待されており、強誘電体メモリ[1]や back end of line 工程へ適用可能な FET[2]が提案されている。各種集積デバイスにおいて、素子の集積度と短チャネル効果を抑制する観点から 10 nm 以下程度の酸化物半導体極薄膜を二次元または三次元構造上へ均一に成膜する必要があり、従来のスパッタ法ではなく原子層堆積 (ALD) 法を用いる必要がある。本研究グループでは集積デバイスに向けた酸化物半導体材料として非晶質 In-Ga-O (IGO) 系が有望であることを示した[3, 4]。しかし、非晶質 IGO-FET は正電圧ストレス (PBS) に対して容易にしきい値電圧 (V_{th}) が正ゲート電圧側に変動する信頼性劣化現象が確認された[4, 5]。本研究では FET の信頼性と ALD-IGO の組成比や熱処理温度との関係、結晶化が及ぼす効果を評価することで V_{th} 不安定性の要因を考察し、その抑制を図ることを目的とした。

【実験方法】 約 10 nm 厚の IGO チャネルを SiO_2 (85 nm) /n^{++}-Si 基板上に ALD 法を用いて成膜し、AlO_x 保護膜を有するトップコンタクト/ボトムゲート型 FET を作製した。IGO チャネルの前駆体には Triethylindium と Trimethylgallium を使用し、成膜温度は 200ºC、酸化剤は O_2 プラズマとした[5]。非晶質および多結晶 IGO 膜における In:Ga の組成比は InO_x 層と GaO_x 層の成長サイクルの比を調整することで制御した。信頼性評価としてはゲート電極に正電圧を印加する PBS を実施した。

【実験結果と考察】 図 1 に同じプロセスで作製した非晶質 IGO と多結晶 IGO-FET の信頼性試験結果を示す。PBS に対する V_{th} 変動量は多結晶 IGO を用いることで抑制された。非晶質酸化物チャネル FET における PBS による V_{th} 変動の起源として半導体膜中の過剰酸素[6]に起因した電子捕獲が挙げられる。本研究では非晶質 IGO の PBS に対する V_{th} 変動量は In:Ga の組成比に依存すること、非晶質 IGO 系は他の酸化物半導体 (Ex. In-Zn-O 系) と比較して V_{th} 変動量が大きいことが示され、理論計算の予測[7]と矛盾しないことを実験的に明確化した。従って、非晶質 IGO-FET における V_{th} 変動はチャネル膜中に導入された過剰酸素に由来することが推察される。

結晶性 IGO が FET の信頼性向上に寄与する要因を考察した。非晶質酸化物半導体は構造自由度が高いため、過剰酸素に対応する O-O 結合の形成エネルギーが単結晶や多結晶構造と比較して低いことが知られている[8]。従って、結晶相を有する IGO を用いることで膜中への過剰酸素の取り込みが非晶質 IGO よりも低減することが期待でき、図 1 の結果は IGO-FET における PBS に対する V_{th} 変動の起源が過剰酸素に由来することを支持した。さらに、多結晶 IGO をチャネルとする FET は非晶質 IGO よりも高い電界効果移動度 (68 cm^2/Vs) が得られており、酸化物 FET の高移動度化および信頼性の向上を図る観点からは結晶性チャネルが有望であることが示された。

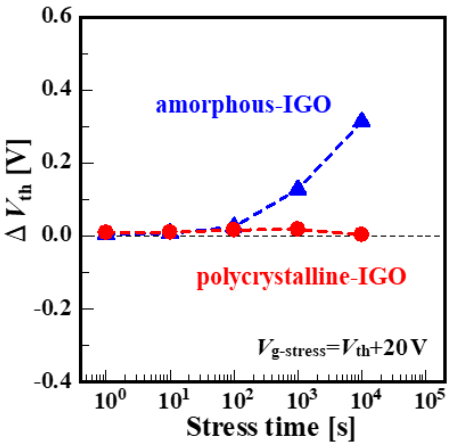


Fig. 1 Shift in V_{th} against PBS in amorphous and polycrystalline IGO channel FETs.

Ref. [1] Z. Li et al., *IEEE Electron Devices Lett.* **43**, 1227 (2022). [2] H. Fujiwara et al., *IEEE Trans. Electron Dev.* **67**, 5329 (2020). [3] T. Takahashi et al., 第 83 回応用物理学会秋季学術講演会, 21p-B203-19 (2022). [4] K. Hikake et al., *IEEE Electron Devices Lett.* **71**, 2373 (2024). [5] T. Takahashi et al., 第 70 回応用物理学会秋季学術講演会, 17p-E302-8 (2023). [6] K. Ide et al., *Appl. Phys. Lett.* **99**, 093507 (2011). [7] H. Han et al., *Phys. Rev. Applied* **3**, 044008 (2015). [8] J. Robertson and Y. Guo, *Appl. Phys. Lett.* **104**, 162102 (2014).

© 2024年 応用物理学会

A Nanosheet Oxide Semiconductor FET Using ALD InZnOx Channel

[1]IIS, The Univ. of Tokyo, [2]d.lab, The Univ. of Tokyo °Sung-hun Kim[1], Kaito Hikake[1], Zhuo Li[1], Takuya Saraya[1], Toshiro Hiramoto[1], and Masaharu Kobayashi[1,2]

E-mail: sh-kim@nano.iis.u-tokyo.ac.jp

Introduction: 2D scaling for high-performance computing is near the physical limit and monolithic 3D (M3D) integration is a promising alternative solution for high density and energy-efficiency [1]. In the M3D integration, upper-layer FETs must be fabricated at low temperature (<400 °C) to ensure the integrity of BEOL interconnects and the property of FEOL devices. Oxide semiconductor (OS) FETs have excellent properties such as high mobility, low leakage, and high thermal stability with fabrication process less than 400 °C [2]. Atomic Layer Deposition (ALD) enables precise control of OS composition with high uniformity and high conformality [3]. Although studies on individual OS compounds such as InO, IZO, IGO, and IGZO were reported, systematic study on nanosheet OS FETs with comparison of OS compounds is needed.

In this paper, we fabricate and characterize OS FETs with ALD IZO studying characteristics trade-off, and compare IZO FETs to IGO FETs to understand the effect of atomic species in InO-based OS material.

Experimental methods: We developed IZO deposition process by ALD with alkyl-based precursors and O_3 at 250 °C. We fabricated IZO FETs by the process flow with bottom-gate structure as shown in **Fig. 1.** Channel width and length of the FETs are 50 µm and 50 µm, respectively.

Results and discussions:

(1) Thermal stability: IZO FET characteristics were maintained well up to 400 °C post deposition annealing, as shown in **Fig. 2**, which is compatible to BEOL process for LSI application.

(2) Zn-concentration dependence: As Zn% increases, threshold voltage (V_{th}) increases but effective mobility (μ_{eff}) decreases while subthreshold swing (SS) is almost maintained as shown in **Fig. 3**. Oxygen vacancy (V_o) is reduced, donor concentration decreases and thus V_{th} increases by adding Zn to InO_x. In addition, ZnO_x interrupts InO_x conduction path and thus the mobility decreases [4]. Post-metallization anneal (PMA) greatly helps to annihilate V_o, raises V_{th}, and lowers SS. In:Zn=2:1 has relatively high V_{th} and high μ_{eff} among others.

(3) Thickness dependence: As thickness decreases, V_{th} increases due to the TFT operation principle, while SS and mobility are maintained down to 4-5 nm as shown in **Fig. 4**. 3 nm-thick IZO shows too large degradation in SS and mobility and too large V_{th} increase. These can be due to thickness fluctuation and emergence of subgap-state by excess oxygen [5] and quantum confinement. 4-5 nm thickness range is a suitable choice for controlling short channel effect in scaled devices, while maintaining IZO channel property.

(4) Bias-stress reliability: We evaluated V_{th} shift (ΔV_{th}) by multiple DC V_g sweeps as shown in **Fig. 5.** ΔV_{th} is stable in the wide range of Zn% at 10 nm thickness. However, when the Zn% is fixed at In:Ga=2:1 and thickness decreases, ΔV_{th} gradually increases. This can be because of the subgap-state formation by excess oxygen [5] and quantum confinement.

(5) Characteristics Trade-off: Fig. 6 summarizes μ_{eff} versus V_{th} with ΔV_{th} of IZO FETs, which shows characteristics trade-off. We compared IZO FETs to IGO FETs in our previous work [5]. **Fig. 7 (a)** shows that IZO FETs have higher μ_{eff} and lower V_{th} at the same thickness and composition than IGO FETs, which is due to the difference in oxygen dissociation energy, oxygen vacancy formation, and thus carrier concentration. **Fig. 7 (b)** compares the thickness dependence of ΔV_{th} at the same composition. ΔV_{th} is less sensitive to thickness scaling in IZO than IGO FETs. This can be because IZO takes less excess oxygen which causes electron traps and ΔV_{th} than IGO. As we faced in IGO FETs, it is still a challenge to achieve high mobility, normally-off operation, and high bias-stress reliability, simultaneously.

Summary: We fabricated and characterized nanosheet IZO FETs by ALD. IZO FETs show higher μ_{eff}, lower V_{th}, and higher bias-stress reliability than IGO FETs, which can be due to the difference in oxygen dissociation energy between Zn and Ga. These findings provide insights for process optimization and device design for M3D integration.

References: [1] Bishop, M.D. et al, IEEE Micro, 39(6), pp.16-27, (2019), [2] K. Nomura et al, Nature,432, 25, 488 (2004), [3] Kim, H.M. et al, IJEM. (2023), [4] Jeon, H. et al, Journal of The Electro. Soc., 158(10), p.H949. (2011), [5] K. Hikake et al., VLSI Symp. T14-1, (2023).

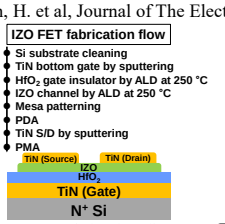


Fig. 1 Fabrication flow of ALD IZO FETs.

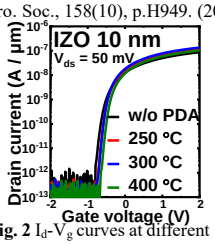


Fig. 2 I_d-V_g curves at different PDA temperature.

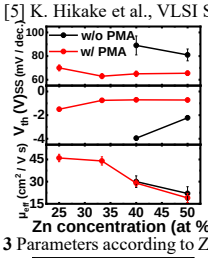


Fig. 3 Parameters according to Zn%.

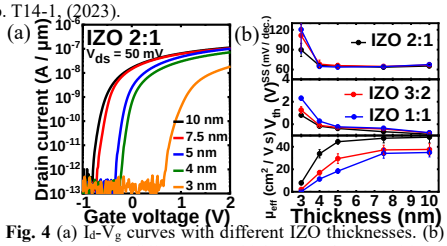


Fig. 4 (a) I_d-V_g curves with different IZO thicknesses. (b) Parameters with different IZO thickness and composition.

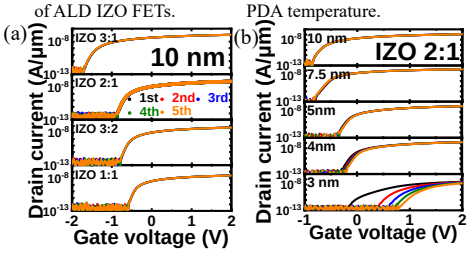


Fig. 5 (a) I_d-V_g curves by multiple V_g sweeps with different Zn% and (b) thickness for In:Zn=2:1.

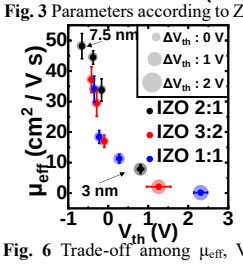


Fig. 6 Trade-off among μ_{eff}, V_{th}, and V_{th} shift in IZO FETs with different Zn% and IZO thickness.

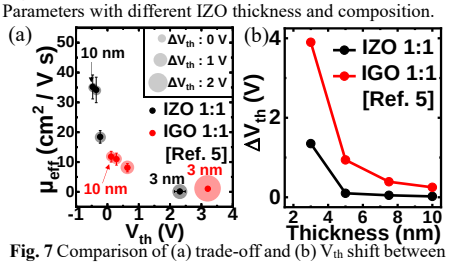


Fig. 7 Comparison of (a) trade-off and (b) V_{th} shift between IZO and IGO FETs [8] at 1:1 ratio with different thickness.

ALD InGaZnOx をチャネル材料とするナノシート酸化物半導体トランジスタ
A Nanosheet Oxide Semiconductor FET Using ALD InGaZnOx Channel

東大生産研 [1] ,東大 d.lab[2]
°(M2)坂井 洸太 [1]、日掛 凱斗 [1]、更屋 拓哉 [1]、平本 俊郎 [1]、小林 正治 [1,2]
IIS, The Univ. Tokyo, °Kota Sakai, Kaito Hikake, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi
E-mail: sakai@nano.iis.u-tokyo.ac.jp

背景と目的：InGaZnOx(IGZO)に代表される酸化物半導体は高移動度、低リーク電流、低温プロセスなど優れた特徴[1]から、ディスプレイ分野で実用化されてきた。これまで LSI デバイスは微細化により集積密度を高め、高速化および低消費電力化が図られてきたが、二次元的な微細化は限界を迎えつつある。そこで酸化物半導体を用いた、モノリシック三次元集積[2]や三次元垂直チャネルメモリ[3]などの三次元集積化が注目を集めている。三次元集積化に向けた成膜手法として、原子層堆積(ALD)法が原子層レベルでの制御性の高い成膜と、高アスペクト比構造へのコンフォーマルな成膜の観点で期待されている。高移動度、高信頼性、ノーマリーオフ特性の実現に向けて、IGZO トランジスタが検討されてきた[4]ものの、ALD による組成および膜厚の系統的な調査は十分に報告されていない。そこで本研究では、これまで我々が報告してきた高移動度、熱耐性を備える ALD InGaOx(IGO)トランジスタの研究をもとに、IGO に Zn を添加することで IGZO を成膜し、性能と信頼性に与える影響を明らかにすることを目的とした。

実験方法：Fig. 1(a)に示すように In:Ga 組成比 2:1、3:2、1:1 の IGO の成膜に Zn サイクルを加えて IGZO を ALD 成膜した。そして Fig. 1(b)に示すプロセスフローによりボトムゲート・トップソースドレインコンタクト構造で HfO_2 ゲート絶縁膜を有する薄膜トランジスタを作製し、トランジスタの電気特性を評価した。

組成比依存性：Fig. 2 に示すように、いずれの組成比でも PMA によりサブスレショルド係数(SS)が改善した。PMA 有ではいずれの組成比でも Zn を加えた結果、しきい値電圧(V_{th})が微増し、移動度は減少傾向が見られた。これは Zn 添加により相対的な In 比が減少して酸素空孔の生成が抑えられキャリア密度が低下するとともに、InOx が形成するキャリアの伝導パスが阻害されるためと考えられる。

PDA 依存性：組成比 2:1:1 で膜厚 10nm の IGZO で PDA 温度依存性を評価した。Fig.3 に示すように PMA 有で比較すると、酸素欠陥の減少によりキャリア密度が減少し V_{th} はやや増加するものの、SS および移動度は 400℃程度まで維持されている。500℃以上では厚膜の HfO_2 ゲート絶縁膜が結晶化しリーク電流が増大してしまうが BEOL プロセスに導入可能な範囲の熱耐性を有していることがわかった。

膜厚依存性：Fig. 4 に示すように組成比 2:1:1 および 3:2:1 の IGZO では 3nm まで、1:1:1 の IGZO では 5nm の膜厚までトランジスタ動作を確認した。それぞれの組成比で 5nm、7.5nm まで SS と移動度は維持され、Vth はチャネルのピンチオフ長に応じて増加が見られた。一方、5nm、7.5nm より薄い膜厚では、しきい値電圧は大きく正方向に増加し、移動度は大きく減少した。しきい値電圧の増加は、量子閉じ込め効果によるバンドギャップ増加[5]も一因と考えられる。移動度の減少は膜厚揺らぎやチャネル形成のための蓄積層形成が不十分となる[6]ことなどが原因と考えられる。Fig. 5 に、正のゲート電圧ストレスによる V_{th} シフトを示した。それぞれの組成比で 5nm、7.5nm より薄くなると急激に増加しており、極薄膜での過剰酸素によるトラップ準位の形成[7]や量子閉じ込め効果による欠陥準位の顕在化などが原因と考えられる。

まとめ：本研究では IGO に Zn を加え、組成比、PDA、膜厚依存性を調査した。Fig. 6 に示すように IGO に比べて、ノーマリーオフ特性と、より高い移動度が実現できる条件があることがわかる。しかし、V_{th} シフトは十分に低いとは言えず、組成比・膜厚を含むプロセス条件の更なる最適化が必要である。

References: [1] K, Nomura, et al., NATURE, 432 (2004), [2] A. Belmonte et al., IEDM, 28.2.1 (2020), [3] F. Mo et al., IEEE EDS, 8, 717 (2020), [4] M. H. Cho et al., IEEE TED, 66, 4, 1783 (2019), [5] M. Si et al., Nano Lett., 21, 1, 500 (2020), [6] S.-G. Jeong et al., IEEE TED. 68, 4, 1670 (2021). [7] K. Hikake et al., IEEE TED, 71, 4, 2373 (2024).

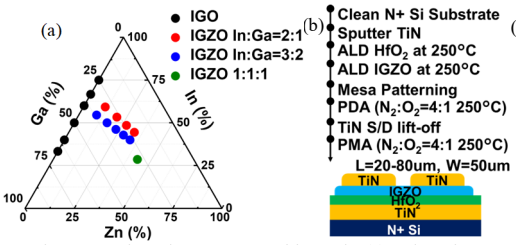


Fig.1: Investigated IGZO composition ratios(a) and Device process flow and schematic device structure(b). Note that ALD cycle ratios and composition ratios do not fully match.

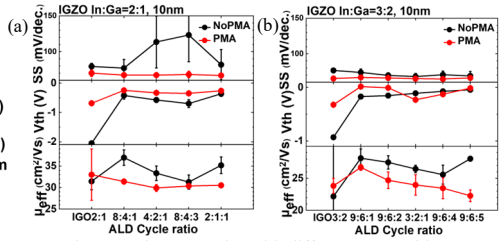


Fig.2: Device properties with different composition ratios based on (a) In:Ga=2:1, and (b) 3:2.

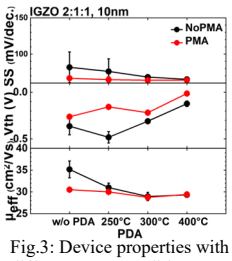


Fig.3: Device properties with different PDA conditions.

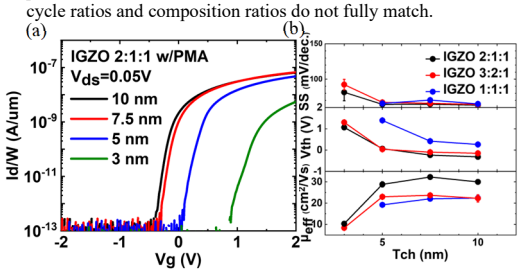


Fig.4: Id-Vg curves with different channel thickness of IGZO 2:1:1(a) and Device properties with different channel thickness(b).

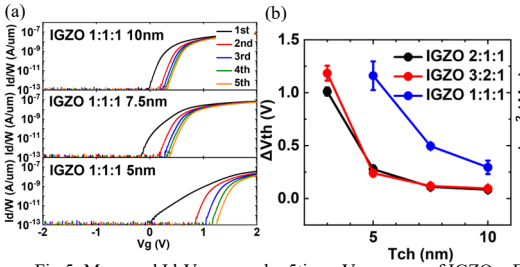


Fig.5: Measured Id-Vg curves by 5times Vg sweeps of IGZO 1:1:1(a) and Vth shift with different composition ratios(b).

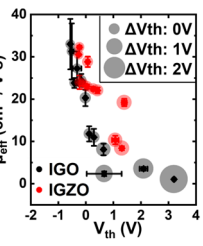


Fig.6: Trade-off between Vth and mobility of IGO and IGZO.

© 2024年 応用物理学会

Study on High-Field Transport and Statistical Variability of Nanosheet Oxide Semiconductor FETs for Device Scaling in Monolithic 3D Integration

Kaito Hikake[1*], Xingyu Huang[1*], Sung-hun Kim[1], Kota Sakai[1], Zhuo Li[1], Tomoko Mizutani[1], Takuya Saraya[1], Toshiro Hiramoto[1],

Takanori Takahashi[2], Mutsunori Uenuma[2], Yukiharu Uraoka[2], and Masaharu Kobayashi[1,3]

IIS, Univ. of Tokyo[1], NAIST[2], d.lab, Univ. of Tokyo[3] *equal contribution

E-mail: xy-huang@nano.iis.u-tokyo.ac.jp

Introduction: Monolithic 3D integration of memory arrays on a computing unit has emerged as a promising solution to reduce the energy cost of data transfer due to its proximity [1]. To achieve 3D monolithic integration of memory units, BEOL-compatible transistor technology is needed. Oxide semiconductor (OS) is a promising channel material because of its high mobility, low leakage and high thermal stability [2-4]. For high density memory application, scalability of OS FETs is an important issue to be addressed. Although excellent short channel nanosheet (NS) OS FETs have been demonstrated [5-10], key aspects of high-field transport and statistical variability are not fully explored yet. In this work, we discuss the high-field carrier transport characteristics and statistical variability of NS OS FETs by ALD process.

Device Fabrication Methods: We developed a device fabrication process of short channel NS OS FETs by using ALD (**Fig. 1**). OS was deposited by thermal ALD using alkyl-based precursors and O_3 at 250°C. The highest temperature of the fabrication process was 300°C at PDA, which is BEOL-compatible. EB lithography and lift-off process were used for Ni S/D electrodes formation. PMA was done after TiN S/D extension metal deposition at 250°C. We also fabricated a test element group (TEG) chip which has >1k OS FETs with the same L_g of 60nm for statistical analysis. For reference, we prepared a foundry's 65nm bulk Si FETs [11].

Results and discussions: First, we used transconductance (g_m) as a metric to study the intrinsic transport characteristics. **Fig. 2** shows the method to correct g_m by parasitic resistance and extract intrinsic g_m (g_m') [12]. **Fig. 3** shows L_g dependence of g_m and g_m' for different Ga% IGO FETs and bulk Si FETs. While bulk Si FETs show velocity saturation behavior even after parasitic correction, NS OS FETs show unsaturated velocity behavior. Thus, OS FET performance can get closer to Si FET by further L_g scaling and parasitic resistance reduction. Next, we studied the statistical variability of NS OS FETs. **Fig. 4** shows the measured I_d-V_g curves of 1k IGO FETs and Si bulk nFETs at L_g=60nm and W_{ch}=140nm. Cumulative distributions of V_{th}, DIBL and I_{on} are shown in **Fig. 5**. NS OS FETs show comparable or tighter distribution of V_{th}, DIBL, and I_{on} than bulk Si FETs due to the nanosheet structure with well controlled donor concentration. The small average DIBL value of 18.7mV/V is obtained in IGO FETs. These results encourage NS OS FETs for high density monolithic 3D integration.

Summary: We fabricated sub-100nm L_g NS OS FETs and demonstrated unsaturated carrier velocity behavior. We obtained statistical variability data of NS OS FETs, which is comparable or better than bulk Si CMOS. This work provides an evidence of the scaling benefit of NS OS FETs for 3D LSI application.

References: [1] W. Gomes, IEDM 2023, 15-5, [2] K. Nomura et al., Nature,432, 25, 488 (2004), [3] H. Kunitake et al., IEDM 2018, 312, [4] K. Hikake et al., VLSI Symp. 2023, T14-1, [5] W. Chakraborty et al., VLSI Symp. 2020, TH2-1, [6] S. Subhechha et al., VLSI Symp. 2021, T10-5, [7] S. Samanta et al., IEE TED, 68, 3, 1050, [8] S. Hooda et al., VLSI Symp. 2023, T17-1, [9] L. Xu et al., IEDM2023, 24-5, [10] C. Niu et al., IEDM2023, 37-2, [11] T. Mizutani et al., SNW 2012, 71, [12] Y. Taur and T. Ning, "Fundamentals of Modern VLSI Devices".

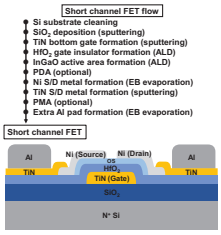


Fig. 1 Short channel FET process flow and schematics of the devices.

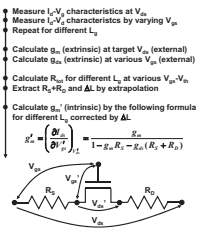


Fig. 2 Calculation method for g_m' (intrinsic) by correcting parasitic resistance from g_m.

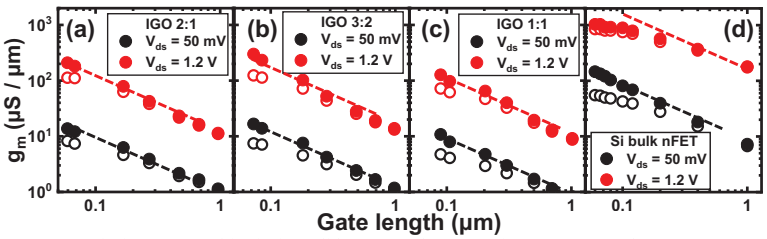


Fig. 3 Extrinsic (open) and intrinsic (solid) transconductance of (a) In:Ga=2:1, (b) In:Ga=3:2, (c) In:Ga=1:1 and (d) bulk silicon FETs in both linear and saturation regions. While bulk Si FETs show velocity saturation behavior even after correction, NS IGO FETs show unsaturated velocity behavior.

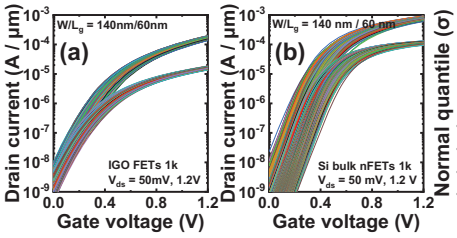


Fig. 4 Measured I_d-V_g curves of (a) 1024 NS IGO FETs and (b) 1024 Si bulk nFETs at V_{ds}=50mV and 1.2V. NS IGO FETs show tighter V_{th} distribution with less DIBL.

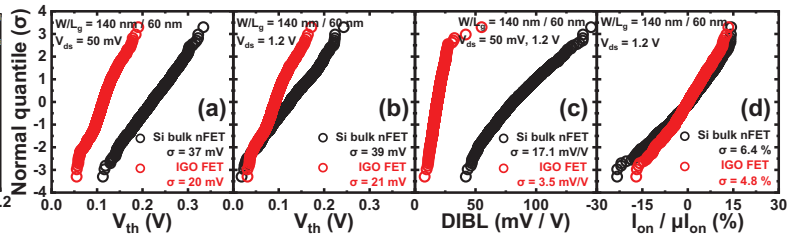


Fig. 5 Cumulative distribution of (a) V_{th} (linear region), (b) V_{th} (saturation region), (c) DIBL, and (d) $I_{on}/\mu I_{on}$. NS IGO FETs show comparable or tighter distribution of V_{th}, DIBL, and I_{on} than bulk Si FETs due to the nanosheet structure with well controlled donor concentration.

© 2024年 応用物理学会

DFT 計算による電子輸送特性データベースを用いた配線材料としての新たな金属間化合物の探索

Exploration of new intermetallic compounds for advanced interconnects using electron transport database obtained by DFT calculation

東北大 [1]　○(D)岩渕 将也 [1]，小池 淳一 [1]

Tohoku Univ. [1], ○Masaya Iwabuchi[1], Junichi Koike[1]

E-mail: iwabuchi.masaya.s7@dc.tohoku.ac.jp

背景　2nm ノード以降のロジックデバイスにおける抵抗率上昇の問題を解決するために、Cu 配線の代替材料が研究されている。金属間化合物は、低抵抗率かつライナー・バリアフリー材料としての使用が期待されている[1]。 本発表では、既報の金属間化合物以外の有力な材料を探索するため、電子の輸送特性データベース[2]から選択した候補材料の抵抗率測定および評価結果を報告する。

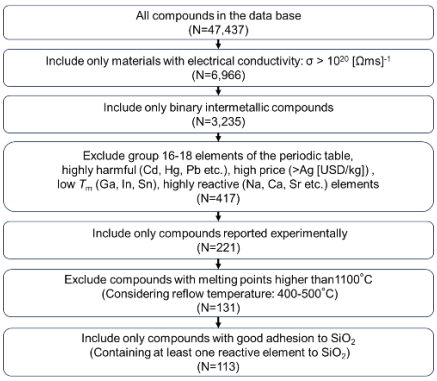


Fig. 1. Screening flow chart of candidate materials

実験方法　Fig. 1 に示されたフローに従って絞り込んだ 113 種類の金属間化合物の中から電気伝導率が高い材料を選択した。サンプル薄膜は、二元同時スパッタリングにより熱酸化膜付き Si 基板上に成膜した。膜厚は 100nm, 10nm とし、Y_2O_3 を界面反応防止のバリア層および表面酸化防止のキャップ層として使用した。400℃×30 分の真空アニール後、結晶構造の同定を X 線回折、膜組成分析を SEM-EDS もしくは ICP-MS にて行った。抵抗率は Van der Pauw 法で測定した。

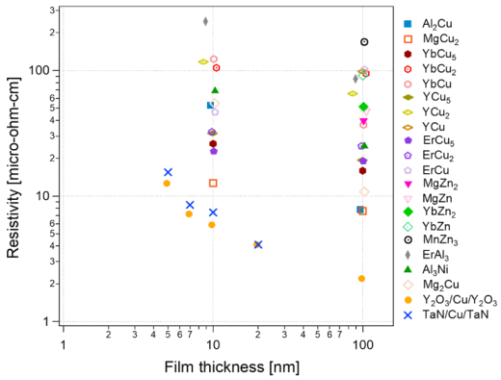


Fig. 2. Resistivity vs. Film thickness for intermetallic compounds

結果と考察　Fig. 2 に測定したサンプルの抵抗率と膜厚の関係を示す。膜厚の減少による抵抗率の増加傾向は金属間化合物によって異なった。Cu を含む金属間化合物においては膜厚 10nm においても 10-30μΩcm 程度の比較的低い抵抗率を示した。一方で、一部の金属間化合物においては、化学量論組成からのずれによって現れる第二相によって抵抗率が上昇した可能性が考えられる。特に 10nm 以下の極薄膜においては、組成変化の影響が大きくなることが予想されるため、金属間化合物を微細配線に使用する場合には、組成変化の影響を考慮した材料設計が必要であることが示唆された。今回の結果から、組成ずれや膜厚の減少による抵抗率の上昇が最も小さい $MgCu_2$ が電気抵抗率の観点では有力な材料であることが示された。

[1] L. Chen et al., J. Appl. Phys. 129, 035301 (2021)

[2] F. Ricci et al., Sci. Data, 4, 170085 (2017)

© 2024年 応用物理学会

ヨウ化銅（I）を原料とする CVD 法による Ta 上への Cu 堆積

Chemical Vapor Deposition of Cu on Ta using CuI-precursor

茨城大工　°宮本　裕，山内　智

Ibaraki Univ., °Yu Miyamoto, Satoshi Yamauchi

E-mail: satoshi.yamauchi.0606@vc.ibaraki.ac.jp.jp

[はじめに] これまでに我々は、ヨウ化銅（Ｉ）（CuI）を真空中で 300 ºC 程度に加熱し昇華させ基板表面上に供給することで、400 ºC 以下で金属上へのみ選択的に Cu を形成することを見出し、Ru 上や Cu-line 上での Cu 堆積形態の調査・検討[1,2]、および微細加工パターン上への積み上げ配線プロセスを提案した。本提案プロセスでは RIE による微細加工可能なバリアメタルの適用が望ましいことから、今回は、微細加工可能な Cu バリアメタルである Ta 上での成長条件に対する Cu 堆積形態について調査した結果を報告する。

[実験方法] Cu の堆積は背圧 1×10^{-4} Pa 程度の SUS 製チャンバー内で行った。基板には、SiO_2/Si 上にスパッタ形成した Ta(厚さ 25 nm)ブランケットを用いた。原料の CuI 粉末（純度 99.999%、Merck）は、PBN 製の K-cell に充填した後、チャンバー内で 280 ℃程度に加熱して昇華させ基板表面に供給した。Cu の堆積は基板温度を 300~400 ºC、CuI 昇華速度を 2～15 μmol/min の範囲で変化させて 40 分間おこなった。

膜厚は触針式表面形状測定装置（DEKTAK3）により測定し、表面形状は共焦点型レーザー顕微鏡(Olympus OLS4000-SMT)と SEM（Hitachi-SU5000）で観察し、Cu による被覆率を求めた。

[実験結果] 図 1 は Ta ブランケット上に真空中で基板温度 340~380 ℃で 40 分間 Cu を堆積させた後の表面 SEM 像である。340 ℃では 130 nm 程度の粒径の Cu が形成されているのに対して 380 ℃では 1.5 μm 程度まで粒径が増大する様子が観察された。

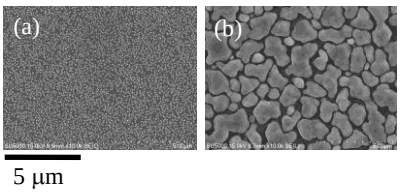


図 1 Cu 堆積後の表面 SEM 像

((a) 340 ℃ (b) 380 ℃)

また図 2 は CuI 供給速度、膜厚、被覆率から算出した原料分解効率についてのアレニュースプロットである。Ru 上では離散的な柱状成長する低温域で 199 kJ/mol の活性化エネルギーが見られており、これは CuI から分解生成した I_2 が Cu 上で End-on で脱離する際に Side-on から配向を変える際のエネルギーに相当している[1]。一方、Ta 上では Ru 上よりも高温域でより大きな 289 kJ/mol の活性化エネルギーが見られた。これは、図 1 から分かるように面内方向が進行する温度域であることから、Ta 上での I_2 の脱離現象を示しており、Side-on から End-on へと配向を変えるエネルギーと考えられる。

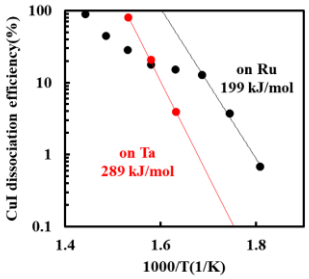


図 2 Ta, Ru 上での原料分解効率の堆積温度依存性

[参考文献]

[1] G. Toyoda et al. , Jpn. J. Appl. Phys., 62 (2023) SH1002.

[2] G. Toyoda et al. , Jpn. J. Appl. Phys., 63 (2024) 06SP08.

Al 箔直接接合によるシリコン酸化膜上厚膜配線の電気特性

Electrical characteristics of thick-metal-film interconnects on silicon oxide films by directly bonding of Al foils

大阪公大工 [1]，大阪市大工 [2]　○(M2)室谷咲貴 [1]，上原さくら [2]，仕幸英治 [1]，梁剣波 [1]，重川直輝 [1]
Osaka Metropolitan Univ. [1], Osaka City Univ. [2], °S. Murotani[1], S. Uehara[2], E. Shikoh[1], J. Liang[1], N. Shigekawa[1]
E-mail: si23600u@st.omu.ac.jp

【はじめに】通信トラフィックの急増に伴う通信システムの高周波化により、集積回路中の受動部品の低損失化が求められている。本研究では、直接接合技術と配線プロセスとの融合、低損失配線の実現を目指し、Si 基板上酸化膜／金属箔接合から厚膜配線を形成するとともに、その電気特性の評価を行った。

【実験方法】Si 基板（抵抗率 1-10 Ω·cm）上の厚さ 2 μm の酸化膜と Al 箔（厚さ 17 μm、シート抵抗 1.8×10^{-3} Ω/sq.）を表面活性化接合（SAB）法[1]により直接接合し、ウェットエッチングによってコプレナ線路（CPW-A）を作製した[2]。また、酸化膜が形成されていない Si 基板上に同様のプロセスでコプレナ線路（CPW-B）を作製した。CPW の信号線長は 1500、3000、4500、6000 μm、信号線幅は≈99 μm、スロット幅は≈52 μm である。10 MHz-13.5 GHz の範囲でそれらの S パラメータ測定を行った。また、酸化膜上及び Si 基板上に接合 Al 箔からなる直径 377 μm の円形電極を形成し、周辺電極（ギャップ 52 μm）間との電流-電圧（I-V）測定を室温で行った。

【実験結果】円形電極／周辺電極間の I-V 特性をその外観とともに図 1 に示す。酸化膜上の電流値は測定限界以下であることから、表面活性化の過程を経ているにもかかわらず酸化膜表面にリークパスが形成されていないことが分かった。CPW-A と CPW-B の 10 GHz における挿入損失の信号線長依存性を線路の外観とともに図 2 に示す。測定結果を解析することにより、CPW-A 、CPW-B の 10 GHz における CPW-A の減衰定数（26 dB/cm）は CPW-B の減衰定数（35 dB/cm）を下回った。この結果は、厚膜金属箔を Si 基板上の酸化膜に直接接合することによる低損失伝送線路実現の可能性を示している。

【謝辞】本研究で用いた Al 箔は東洋アルミニウム株式会社により提供されました。

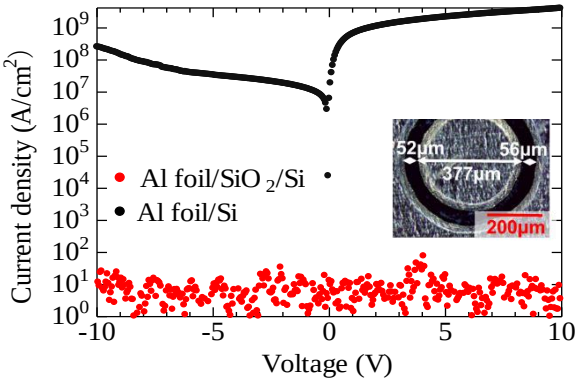


Fig.1. I-V characteristics between Al foil-based circular and surrounding contacts at room temperature. Inset: a fabricated circular contact.

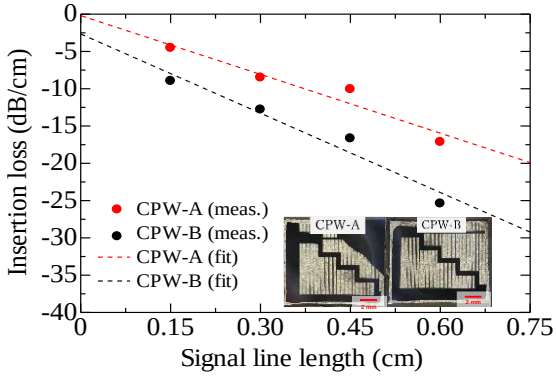


Fig.2. Relationship between the insertion loss and the signal line length for the two types of CPWs at 10 GHz. Insets: fabricated CPWs.

[1] N. Shigekawa, et al., Jpn. J. Appl. Phys. **61**, 120101 (2022).
[2] K. Yonekura, et al., Jpn. J. Appl. Phys. **61**, SF1008 (2022).

サブ THz 超音波を用いたエレクトロマイグレーションの早期非破壊検出

Early non-destructive detection of electromigration studied by sub-THz ultrasound

阪大工 [1]，スカイワークスフィルターソリューションズ [2]　○長久保 白 [1]，出馬 秀平 [1]，
西村 淳 [2]，壁 義郎 [2]，荻博次 [1]

The Univ. of Osaka [1], Skyworks Filter Solutions Japan Co., Ltd. [2], ◦Akira Nagakubo[1], Shuhei Izuma[1],
Atsushi Nishimura[1], Yoshiro Kabe[1], and Hirotsugu Ogi[1]

E-mail: nagakubo@prec.eng.osaka-u.ac.jp

集積回路の小型化によって回路の線幅は nm–μm オーダとなり、高密度電流が原子を拡散させるエレクトロマイグレーション（EM）が古くから問題となってきた。デバイスの信頼性評価のため EM によるボイドの発生や配線の劣化を早期からモニタリングすることは重要である。単純に電気抵抗の変化をモニタリングするだけでなく、1/*f* ノイズを用いた早期診断[1]も提案されているが局所的な欠陥を評価することはできない。TEM や X 線を用いたその場観察[2, 3]ではボイドの形状や分布まで評価することができるが、観察のためには専用の試料が必要になる。

そこで本研究では周波数サブ THz・波長 nm オーダの超音波を用いたエレクトロマイグレーションの局所的かつその場・リアルタイムモニタリングした結果について報告する。本手法では図 1 のように金属ナノ薄膜にフェムト秒パルスレーザを照射することで表面近傍にのみ瞬間的な熱膨張を引き起こす。その局所的かつ瞬間的な熱膨張によって、金属ナノ薄膜内には周波数サブ THz、波長 nm オーダの超音波が発生する[4]。Al ナノ細線に直流電流を 10 秒印加し、停止後にこの手法を用いて超音波エコーを取得するサイクルを繰り返した。電流密度が低い（0.74 kA/cm^2）コントロール実験の場合、エコーは図 2 のようにほぼ一定のままであった。一方、29 MA/cm^2 の高密度電流を印加した場合、図 2 のようにエコー振幅が急速に減少する様子をとらえた。これはエレクトロマイグレーションによって図 1 のように細線中にボイドなどが発生し、超音波が散乱されたことを表している。第 1 エコーに高速 Fourier 変換を施して求めた 70 GHz の成分の時間変化および抵抗の時間変化を図 3 に示す。コントロールの場合ではエコー強度も抵抗もほぼ一定であった。一方、高密度電流を印加した場合、電気抵抗にはほぼ変化が表れていないにもかかわらず、超音波エコーの強度は開始 2 分ほどから減少傾向を示した。これはサブ THz 帯に迫る超音波を用いることでボイドを早期から検出することができる可能性を示している。

[1] K. Dagge *et al*., Appl. Phys. Lett. **68**, 1198 (1996).
[2] H. Moil *et al*., Thin Solid Films **300**, 25 (1997).
[3] G. Schneider *et al*., Appl. Phys. Lett. **81**, 2535 (2002).
[4] C. Thomsen *et al*., Phys. Rev. B **34**, 4129 (1986).

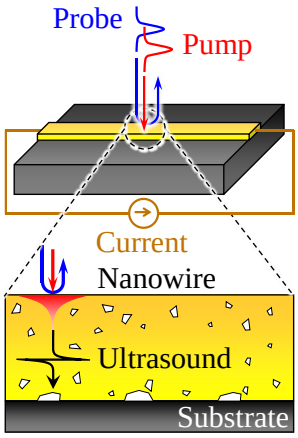


Fig. 1 Schematic of the pump-probe ultrasonics for nanowire.

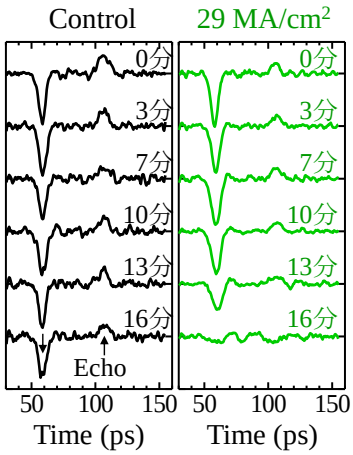


Fig. 2 Echo signals under applicating control and high-density current.

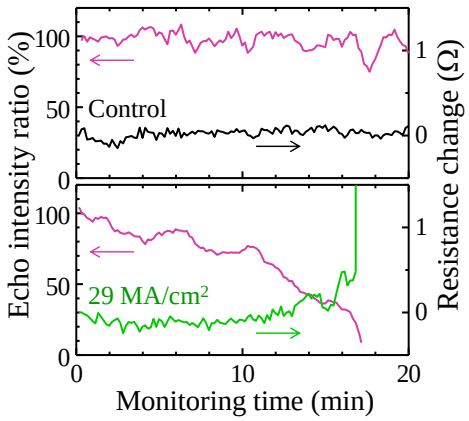


Fig. 3 Time evolution of 70-GHz echo intensity and resistance under applicating control and high-density current.

© 2024年 応用物理学会

リセット電流低減とサイクル耐性向上に向けた PCM/セレクタ積層メモリの熱構造最適化

Optimization of PCM/Selector stacked memory structure for decreasing reset current and improving endurance characteristics

キオクシア　先端研　°松澤雄矢，上遠野一広，塚越隆行，藤井章輔，藤巻剛
KIOXIA , °Yuya Matsuzawa, Kazuhiro Katono, Takayuki Tsukagoshi, Shosuke Fujii, Takeshi Fujimaki
E-mail: yuya1.matsuzawa@kioxia.com

相変化メモリ（Phase change memory, PCM）とセレクタを積層した 1S1R 型メモリは、SCM（Storage Class Memory）のメモリ構成要素として注目を集めている。PCM の書き換え動作は、メモリセルを流れる電流によるジュール熱を利用して行われる。特にリセット動作においては融点まで温度を上昇させるため大電流が必要であり、動作電流の低減が望まれている。また、PCM/セレクタ積層メモリでは書き換え動作を繰り返すと、しきい値（Vth）シフトが発生するため、サイクル耐性の向上が望まれている。本研究では、リセット電流低減とサイクル耐性向上を目指して熱構造最適化に取り組んだ[1]。

将来のクロスポイントアレイ適用を目指して、PCM/セレクタ積層構造を作成した。試作したメモリ素子の断面 TEM 像とメモリ特性、および電圧印加時の熱シミュレーション結果を Fig.1 に示す。素子径は約 90nm で、PCM とセレクタを上中下の 3 つの電極で挟んだ構造である。また、素子の側壁には絶縁膜（Liner）が成膜されている。リセット電流（Ireset）は、セット状態からリセット状態に遷移する際の電圧パルス印加中に流れる電流を計測した。また、電圧パルス印加中のシミュレーションによると、PCM の書き換え動作に必要な熱はセレクタから発生していることが分かる。

Ireset の上部電極（TE）と中間電極（ME）の膜厚依存性を Fig.2 に示す。TE の膜厚増加に伴い、Ireset の低減が確認された。Ireset が低減した理由は、TE を厚膜化することで、TE を介した放熱が抑制されたためである。一方、ME の膜厚と Ireset には明確な相関はなく、電極自体の抵抗による発熱と熱伝導のトレードオフによるものと考えられる。続いて、異なる Liner を適用し、それぞれの書き換えサイクルにおけるセット状態とリセット状態の Vth 変化を Fig.3(a)に示す。Liner-A では、サイクル数増加に伴い Vth の低下が確認された。Liner-A の断面 TEM 像を Fig.3(b)に示す。セレクタの元素が Liner を経由して、PCM へ拡散していることが確認され、Vth の低下の主要因であると考えた。成膜条件を最適化した Liner-B を適用することで、Vth の低下を抑制可能であることを確認した。

本研究では、PCM/セレクタ積層メモリを試作し、リセット電流低減とサイクル耐性向上を目指して熱構造最適化に取り組んだ。TE を厚膜化することで、TE を介した放熱を抑えられ、Ireset を低減できた。また、素子の側壁の Liner を最適化することで、Liner を経由した元素拡散を抑えられ、サイクル耐性向上可能なことを明らかにした。

[1] Y. Matsuzawa et al., IEEE 53rd European Solid-State Device Research Conference (ESSDERC), Lisbon, Portugal, 2023, pp. 25-28.

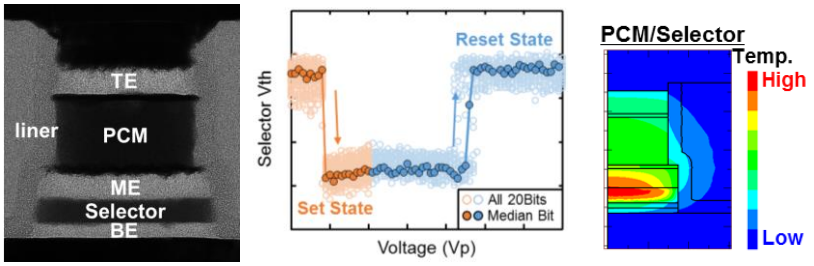


Fig.1 Cross sectional TEM (left), switching property (center) and thermal simulation during voltage application (right)[1]. ©IEEE2023

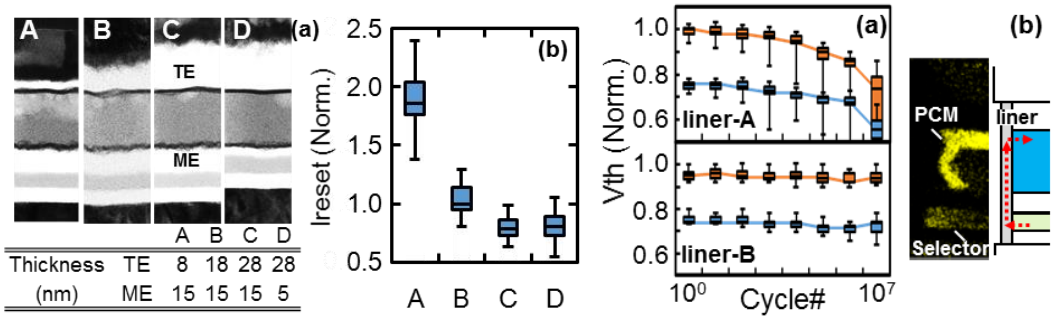


Fig.2(a) TEM images for cells with different TE/ME thickness. (b) Reset current (Ireset) for the cells shown in (a)[1]. ©IEEE2023
Fig.3(a) Endurance property with different liner. (b) TEM-EDS image for the cell failed after cycling stress[1]. ©IEEE2023

不揮発性SRAMのパワーゲーティング・アーキテクチャと性能

Power-gating architecture and performance of nonvolatile SRAM

東工大・未来研 加藤豪人, °大木治弥, 塩津勇作, 山本修一郎, 菅原聡
T. Kato, °H. Oki, Y. Shiotsu, S. Yamamoto, and S. Sugahara, *FIRST, Tokyo Inst. of Tech.*
E-mail: oki.h.ad@m.titech.ac.jp

【はじめに】 キャッシュなどに用いられるSRAMの待機時電力の削減はマイクロプロセッサ(MP)やシステムオンチップ(SoC)といったCMOSロジックシステムの重要な課題の1つになっている. パワーゲーティング(PG)はCMOSロジックシステムにおける効果的な待機時電力削減技術である. しかし, SRAMは揮発性メモリであることからPGの実行機会が制約され, 十分に待機時電力を削減することが難しい. 我々は6Tセルにトランジスタを介して不揮発性メモリ(NVM)素子を接続した不揮発性SRAM (NV-SRAM)を提案している[1]. NV-SRAMは電源遮断(SD)により効果的にリーク電力を削減できるが, NVM素子への書き込みに比較的大きなエネルギーが必要となる. そのため, PGの粒度の指標であるBreak-even time (BET)が長くPGの粒度が大きい. そこで, 我々は高効率な細粒度PGを実現するために, NV-SRAMのBET削減アーキテクチャなどを提案している[1,2]. 本発表では, スタンバイ(SB)時間を予測することなくPGを実行できるアーキテクチャ[3]をNV-SRAMに適用した場合のPG性能について報告する.

【PGアーキテクチャと解析方法】 検証を行ったPGアーキテクチャ[3]は, システムが要求するSB状態の開始からt_W後にPGへの移行動作(ENT)を開始し, SBの終了(時間をt_{SB0}とする)とともにPGからの復帰動作(EXT)を行う. すなわち, t_{SB0}の開始と終了のタイミングを予測することなくPGを実行する. このアーキテクチャの提案を行った超低電圧リテンション(ULVR-)SRAM [4]の場合, t_W = BET + t_{ENT} = BET′ (t_{ENT}はENT動作に必要な時間)とすることで理想限界に近い削減効率を達成できる[3]. 一方, NV-SRAMではENT動作のt_{ENT}が長く, t_W = BET′とした場合, PGの粒度が低下してしまう. そこで, t_Wをエネルギー削減指標γ_E(後述)から決定することで(以下, このt_Wをt_{W0}とする), エネルギー損失を抑えながらPGの粒度を高めることを検討した. PGの性能解析では, t_{SB0}の分布に正規分布を仮定し, その中心値μ, 標準偏差σをパラメータとした. NV-SRAMのENT/EXT動作は, 64bitごとに順次実行する. ただし, SRAM動作用の周辺回路(PNS)はENT動作の開始時にすべて一斉にSDする. これらの解析に必要となるパラメータを抽出するために, NV-SRAM 8kBマクロを設計した. このマクロをサブアレイとして32kB, 256kB, 2MBの容量のNV-SRAMを構成した. 大規模シミュレーションからPG性能の解析に必要なパラメータを抽出した.

【解析結果】 PG性能は総待機時時間(t_{SB0})における消費エネルギーをSB時の消費エネルギーで規格化した指標γ_Eを用いて評価した. 32kB, 256kB, 2MBの容量を構成したNV-SRAMのBET′はそれぞれ0.12, 0.24, 1.4 msである. 以下, 2MBのNV-SRAMの解析結果について示す. 図1にγ_Eが1を超える場合にはPGを実施せず, γ_Eが1以下となる場合のみPGを実施する(仮想的な)理想モデルのγ_Eを示す. μまたはσがBET′以上であるとき, 十分なSD時間が得られるためエネルギーを十分に削減できる紫色の領域(γ_E = ~0.01)が生じる. また, PNSを一斉にSDすることで, μまたはσがBET′以下でもγ_Eを6割程度削減できる水色の領域(γ_E = ~0.4)が現れる. この理想モデルでは図中の赤い領域ではPGを行わないため, γ_E = 1となる. これに対してワーストケースのPGモデルは, t_{SB0}が短くても常にPGを実行するモデルとなり(t_W = 0に相当する), 理想モデルにおける赤い領域に相当する領域で概ねγ_E > 1となる. 図2にt_W = BET′としたときのγ_Eのμ, σ依存性を示す. 理想モデルと比較すると, 水色の領域が消失し, 赤色で示されるエネルギーを削減できない領域が広くなる. ただし, γ_E > 1となる領域は存在しない. 次に, 短いt_Wを設定した場合に生じるγ_Eの最大値が1.5となるt_Wを用いた(この時のt_Wをt_{W0}とする). 図3にt_W = t_{W0} (= 14 μs)としたときのγ_Eのμ, σ依存性を示す. この場合, 水色と紫色で示すようなエネルギーを削減できる領域が拡大し, 理想モデルに近い削減特性が得られる(ただし, 図中の赤い領域のエッジ近傍で僅かにγ_E > 1となる領域が存在する). この場合では, t_{SB0}を予測することなくNV-SRAMの細粒度PGが可能になる. これは不揮発記憶を用いないULVR-SRAMに匹敵する粒度である.

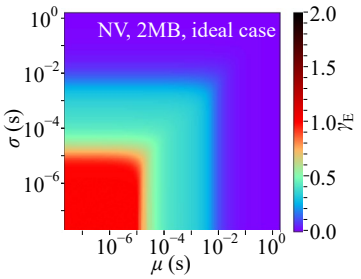


図1. 理想ケースにおけるγ_Eのμ, σ依存性.

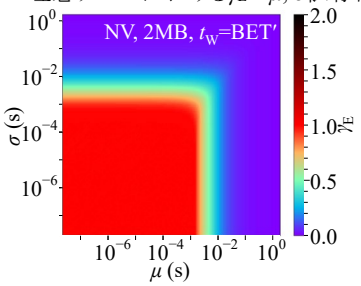


図2. t_W=BET′としたときのγ_Eのμ, σ依存性.

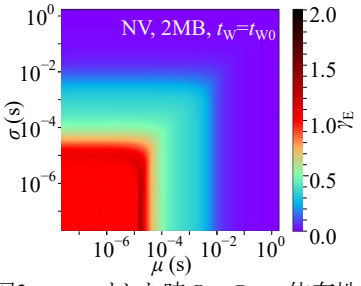


図3. t_W=t_{W0}とした時のγ_Eのμ, σ依存性.

【謝辞】 シミュレーションは東京大学d. lab-VDECを通し, 日本シノプシス合同会社の協力で行われた.

【参考文献】 [1] D. Kitagata *et al.*, JJAP **58**, SBBB12, 2019. [2] D. Kitagata *et al.*, IEICE ELEX **17**, 20200032, 2020. [3] 矢野他, 第69回応物春季講演会, 23p-E307-6, 2022. [4] H. Yoshida *et al.*, IEEE OJCAS **2**, p. 520, 2021.

© 2024年 応用物理学会

擬似SRAMゲインセルの性能比較

Comparative study of gain cells for pseudo-SRAM

東工大・未来研 °吉田誠, 塩津勇作, 菅原聡
°S. Yoshida, Y. Shiotsu, and S. Sugahara, *FIRST, Tokyo Inst. of Tech.*
E-mail: yoshida.s.bf@m.titech.ac.jp

【はじめに】 近年，マイクロプロセッサの4次キャッシュやAIアクセラレータなどに搭載される大容量オンチップ・メモリが期待されている．SRAMのインターフェースを使用し，高密度集積化が可能なメモリセルを用いて構成する擬似SRAMはこのような応用に適したメモリである．擬似SRAMに用いるメモリセルとして，ロジックCMOSプロセスのみで構成可能なDRAMセルの1つであるゲインセルが検討されている．ゲインセルは主に2，3，4個のトランジスタ(Tr)数から構成されるものが提案されており，それぞれ2T，3T，4Tセルと呼ばれている[1-3]．これらの特徴や性能はTr数によって大きく異なる．本発表では，同一のTrモデルを用いて温度，Trの伝導型，アーキテクチャによる性能を系統的に評価，比較した結果を報告する．

【ゲインセルの構成】 図1(a)，(b)，(c)にnMOS構成2T，3T，4Tセルの構成を示す(これらはpMOSで構成することもできる)．すべてのセルで1つのTr (M_2)のゲートノードを記憶ノード(Q)とする．2Tセルと3Tセルでは，HOLD時にM_1を通して流れるリーク電流によってQのデータが破壊されるためデータリテンションタイム(DRT)が短い．特にM_1にnMOSを用いた場合Hレベルのデータが，pMOSを用いた場合Lレベルのデータが破壊されやすい．4Tセルは，M_3，M_4からなるフィードバック(FB)系を追加することでデータ破壊を抑制し，DRTを大幅に改善できる．また，2Tセルと4TセルのREAD動作では，M_2がON状態の非選択セルによってRBL電圧V_{RBL}が影響を受けるが，3Tセルではこの非選択セルの影響を排除できる．このように，Tr数を増やすことで，面積以外の性能・特徴が改善されていくわけではなく，各セルの性能・特徴は一長一短である．

【セルの設計と評価】 HSPICEを用いてセルの設計と解析を行った．デバイスには65nm SOTBプロセスのLSTPモデルを用いた．セルの設計では，電源電圧V_{DD}と0を書き込んだQの状態がリーク電流によって破壊され，HレベルとLレベルの電位差がほぼ一致する時間をDRTと定義し，このDRTが最大となるように各Trのしきい値やチャネル幅を最適化した．最適化の結果，セルの面積は，2TセルではSRAMセルの41%，3Tセルでは50%，4Tセルでは73%となった．図2にnMOSおよびpMOSで構成した各セルの待機時電力を示す．HOLD時に遮断状態にあるM_1についてWBLのバイアス制御を行い，M_1をスーパーカットオフし，リーク電流を削減した場合も同図に示す．すべてのゲインセルはSRAMセルより90%以上の待機時電力を削減できる．また，バイアス制御によって待機時電力をさらに削減できる．図3に各セルのDRTを示す．今回用いたデバイスモデルではpMOSよりnMOSのしきい値が高いため，nMOSのDRTの方が長い．25℃では，バイアス制御を行わない場合，2Tセル，3TセルのDRTは4Tセルの2%程度と非常に短いが，バイアス制御によってDRTは大幅に改善し，4Tセルの35%程度まで近づく．しかし，85℃では25℃の場合と比べて，2Tセル，3TセルのDRTは自身のDRTから1桁以上大きく劣化するのに対し，4Tセルではこの温度変化によってDRTは25%程度しか劣化せず，nMOSの場合で4.1 ms，pMOSの場合で3.8 msと長いDRTを実現できる．85℃では，2Tセル，3TセルのDRTはバイアス制御を行った場合でも4Tセルの3%程度となる．FBの導入はDRTの延長だけでなく，温度耐性にも重要になる．

【謝辞】 シミュレーションは東京大学d. lab-VDECを通し，日本シノプシス合同会社の協力で行われた．

【参考文献】 [1] D. Somasekhar *et al.*, IEEE JSSC **44**, pp.174-185, 2009. [2] D. Somasekhar *et al.*, IEEE ISSCC, pp. 274-275, 2008. [3] R. Guiterman *et al.*, IEEE TCAS-I **65**, pp.1245-1255, 2018.

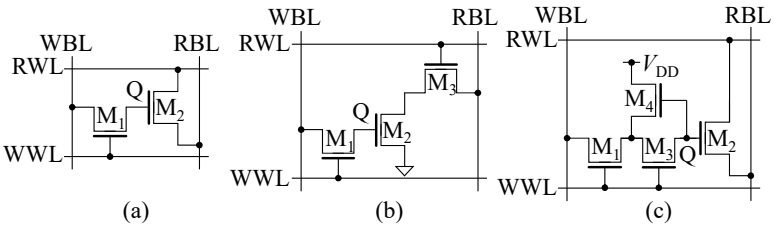


図 1. (a) 2T セル，(b) 3T セル，(c) 4T セルの回路構成

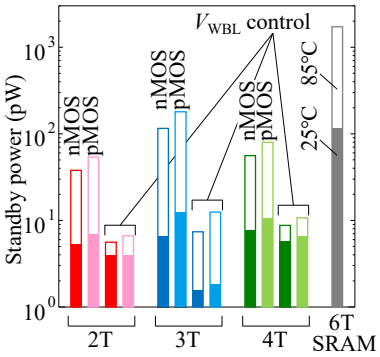


図 2. 各セルの待機時電力

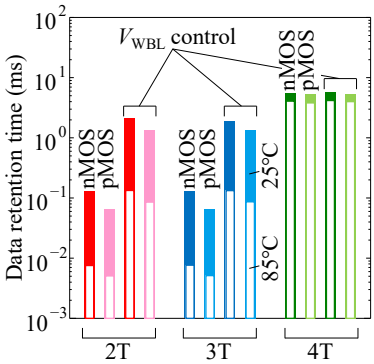


図 3. 各セルの DRT

XNOR演算を有するエネルギー最小点動作・PIM型SRAMセル

A processing-in-memory SRAM cell with XNOR function for energy minimum-point operation

東工大・未来研 °近藤慶音, 塩津勇作, 菅原聡
°K. Kondo, Y. Shiotsu, and S. Sugahara, *FIRST, Tokyo Inst. of Tech.*
E-mail: kondo.k.ar@m.titech.ac.jp

【はじめに】 モバイルエッジ階層におけるAIアクセラレータの低消費電力化にはエネルギー最小点(EMP)動作が可能なprocessing-in-memory (PIM)型ハードウェアが特に有効である. EMP動作はエネルギー効率(TOPS/W)を最大化するだけでなく, 積和(MAC)演算の並列許容数を増大させることが可能となり並列数に応じて処理性能(TOPS)も向上できる. 最近, 我々は超低電圧リテンション(ULVR-)SRAMセル($10T^{UR}$セル)を用いて, EMP動作が可能なPIM型の2値化ニューラルネットワーク(BNN)アクセラレータ・マクロを開発し, EMP動作によるエネルギー効率および処理性能の向上を明らかにした[1]. しかし, PIMにおけるMAC演算の並列化では, MAC演算ユニットがチップ面積を占める割合が増大するだけでなく, 並列化にともなうメモリアレイ内の配線数の増加によってセル面積が規定される(配線数が制限), またはセル面積にデッドスペースを生じるといった問題を引き起こす. BNNの場合ではMAC演算の一部をXNORで表現できる. そこで, XNOR演算の機能を$10T^{UR}$セルに組み込むことで, 並列化にともなうデッドスペースを有効利用できる新たなセルの開発を行った. 本発表では, EMP動作に適した$10T^{UR}$ベースのXNOR内蔵セル($14T^{UR+pXN}$セル)と, その性能について報告する.

【セル構成】 XNORの機能を持たせたSRAMセルは以前から検討されているが[2], EMPという低電圧での動作を実現するため改良を行った. 図1に$14T^{UR+pXN}$セルの回路構成を示す. 図中のノードQ_{XNOR}は従来方式ではnMOSトランジスタ(Tr)で充電を行っていたが, 今回は低電圧でもプルアップが容易なpMOS Trに変更した. また, 読み出しポートには2Tr構成のisolated read port (IRP)を用いることで読み出し時の非選択セルの影響を排除した. このセルでは$10T^{UR}$セルにわずか4つのTrを付加するだけXNOR演算が可能になる. 記憶ノードQにあらかじめ重みを書き込んでおき, 推論時に相補信号の入力をビット線WBLとWBL′に設定することで, 重みと入力とのXNOR演算を実行できる. 従来技術との比較を行うため, XNOR演算部をすべてnMOS Trで構成したセル($14T^{UR+nXN}$セル)も準備した.

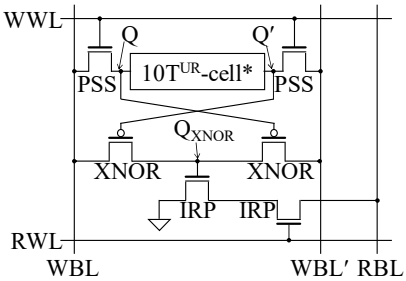


図 1. $14T^{UR+pXN}$ セルの回路構成

【解析結果】 セルの解析にはHSPICEを用いた. デバイスには65nm CMOSプロセスのLPモデルを用いた. 図2に$14T^{UR+nXN}$と$14T^{UR+pXN}$のXNOR動作時(RBL放電時)の動作波形を示す(Q_{XNOR}, RBLの電位V_{QXNOR}, V_{RBL}およびRBLに接続したインバータの出力V_{OUT}). 動作電圧は0.4 V (EMP)である. $14T^{UR+nXN}$セルではQ_{XNOR}の充電電位が不十分であるのに対して, $14T^{UR+pXN}$セルではEMP電圧である0.4 Vまで完全に充電できる. このため, $14T^{UR+nXN}$セルに比べて$14T^{UR+pXN}$セルではRBL放電時間が43%向上できる. 図3にローカルばらつきを考慮したモンテカルロシミュレーションから解析したRBL放電時間の分散を示す. $14T^{UR+nXN}$セルではQ_{XNOR}の不十分な充電特性のため, 分散が大きく動作速度も遅い. 一方, $14T^{UR+pXN}$セルでは, Q_{XNOR}の電位がEMPにまで完全に充電されることから, 分散が小さく動作速度が速い. したがって, $14T^{UR+pXN}$セルはばらつき耐性が高く, また高速に読み出し動作が可能である. この$14T^{UR+pXN}$セルでは, $10T^{UR}$セルを用いてデータ読み出し後にXNORゲートを用いて演算する場合と比較して, 1サイクルあたりの消費エネルギーを~30%削減できる. 今回設計した$14T^{UR+pXN}$セルでは, デッドスペースを生じることなく, RBLを16並列化できる. したがって, 本技術はBNNを用いた並列化PIMの効果的なセルアーキテクチャとなる.

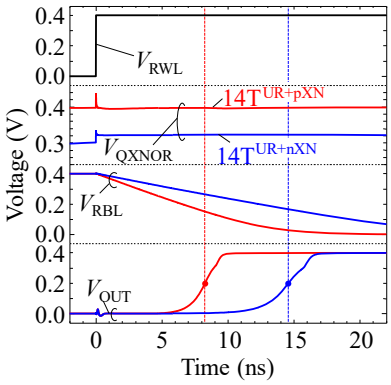


図 2. XNOR 動作の波形(RBL 放電時)

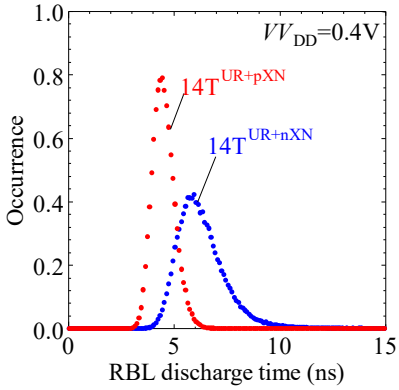


図 3. RBL 放電時間の分散

【謝辞】 シミュレーションは東京大学d. lab-VDECを通し, 日本シノプシス合同会社の協力で行われた.

【参考文献】 [1] 塩津他, 第84回応用物理学会秋季学術講演会, 2023, 20a-A304-11. [2] K. Tamaru, IEICE Trans. Electron., **E76-C**, 1993, pp. 1545–1554.

エネルギー最小点で動作するINT4推論NNアクセラレータ・マクロの設計

Design of an INT4-inference neural-network accelerator macro for energy minimum point operation

東工大・未来研 °塩津勇作, 菅原聡
°Y. Shiotsu, and S. Sugahara, *FIRST, Tokyo Inst. of Tech.*
E-mail: y.shiotsu@isl.titech.ac.jp

【はじめに】 将来のAI技術では，これまで以上にエネルギー効率の高いニューラルネットワーク(NN)アクセラレータが要求される．Processing-in-memory (PIM)型ハードウェアはNNアクセラレータの高性能化に有効である．特に，SRAMを用いたPIM型NNアクセラレータは，現状のロジックCMOS技術のみで実装が可能なため，応用上重要である．このようなNNアクセラレータの性能向上には，エネルギー最小点(EMP)となる駆動電圧を用いた推論動作が極めて効果的であるが，SRAMのEMP動作が困難なことから，この実現は容易ではない．最近，我々は従来のCMOS技術で実装され，EMPでのSRAM動作と超低電圧を用いたパワーゲーティングが可能なULVR-SRAM [1]を用いて，PIM型2値化NN(BNN)アクセラレータ・マクロを開発した[2,3]．積和(MAC)演算ユニットを並列化実装し，EMP動作を用いた推論を行うことで，エネルギー効率(TOPS/W)，処理性能(TOPS)ともに高いアクセラレータを構成できることを示した[2,3]．本発表では，INT4による推論が可能なEMP動作・PIM型NNアクセラレータ・マクロの設計と，そのEMP動作について報告する．

【PIM型マクロの構成】 ULVR-SRAMで構成されたメモリアレイの出力にバスを介することなくMAC演算ユニットを接続するPIMアーキテクチャを用いてマクロを構成した．INT4のMACユニットは乗算器で重みと入力ベクトル成分の積をとり，この結果をAdder treeにより足し合わせることでMAC演算を実現した．このMAC演算結果に整数のバイアスを加え，アクティベーション(ACTV)を判定することで1つの出力が得られる．このマクロの重みデータの容量は8kBである．バイアスについては別途格納領域を設けてある．このマクロは小容量であるが，このマクロを複数組み合わせることで任意の構造のネットワークを構成できる．1マクロ当たり128ノード分の処理が可能であるが，256，1024ノードであればそれぞれ4，64マクロで構成できる．図1に開発したINT4 MACユニットを用いたNNアクセラレータマクロのレイアウトを示す．このマクロではMAC演算ユニットを1系統有し(並列化を行っていない)，この演算ユニットはRTLから論理合成を行い，自動配置配線によって生成した．また，今回はマクロ内にACTVユニットも実装した．また，MAC演算ユニットを8系統有し，8並列のMAC演算を実行できるマクロについても設計を行った．

【解析結果】 設計したマクロの性能は，寄生抵抗・容量を抽出して高速SPICE (FineSim)を用いた大規模シミュレーションから解析した．デバイスには65nm CMOSプロセスのLPモデルを用いた．図2にINT4のMACユニット1系統を有するNNアクセラレータ・マクロにおける動作周波数f，平均電力P_{avg}，消費エネルギーE (1サイクル当たり)の仮想電源電圧VV_{DD}依存性を示す．EはVV_{DD} = 0.4 Vで最小，すなわちEMPとなる．このとき，fは650 MHzから40 MHzに低下するが，P_{avg}を99%削減できる．推論のエネルギー効率ηはEMPで最大となり，9.7 TOPS/Wとなった．これは1.2 Vの通常電圧動作と比較すると8倍程度にもなっている．このηの値はBNNの場合のマクロ[2]と比較しても約1/7倍で済んでおり，INT4においても高いエネルギー効率を実現している．また，8並列MAC演算ユニットを有する並列化マクロでは，EMPにおけるηはさらに17 TOPS/Wまで向上する．EMP動作はINT4の場合でも高エネルギー効率化に有効である．

【謝辞】 シミュレーションは，東京大学d. lab-VDECを通し，日本シノプシス合同会社の協力で行われた．

【参考文献】 [1] H. Yoshida *et al.*, IEEE OJCAS **2**, 2021, p. 520. [2] Y. Shiotsu *et al.*, IEEE JXCDC **8**, 2022, p. 134. [3] 塩津他，第84回応用物理学会秋季学術講演会，2023，20a-A304-11.

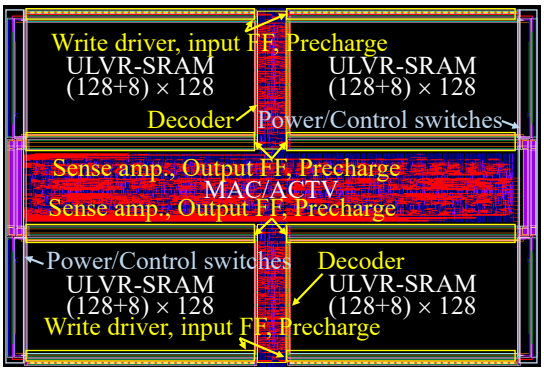


図 1. マクロのレイアウト.

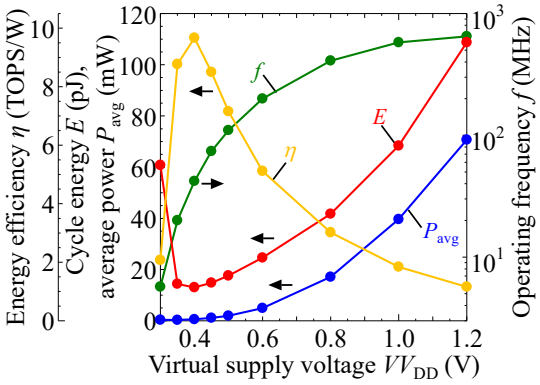


図 2. P_{avg}, f, E, η の VV_{DD} 依存性.

低電圧動作・リードポート付き10T-SRAMセルの設計と性能

Design and performance of a 10T-SRAM cell using isolated read ports for low voltage operation

東工大・未来研 °矢口忠勝, 塩津勇作, 菅原聡
°T. Yaguchi, Y. Shiotsu, and S. Sugahara, *FIRST, Tokyo Inst. of Tech.*
E-mail: yaguchi.t.ag@m.titech.ac.jp

【はじめに】 CMOSロジックシステムにおける動作時電力の削減には，エネルギー最小点(EMP)またはこの近傍の低電圧動作による高エネルギー効率化が有効である．しかし，ロジックシステムに通常用いられる6T-SRAMは，このような低電圧動作によってREAD時のノイズマージン(NM)とWRITE時の動作マージン(WM)がそれぞれ大きく劣化するため，使用することが難しい．この6TセルではREADモードがワーストケースであることから，まずはREAD時のNMを向上させる設計が重要になる．Isolated read port (IRP)は低電圧でもREAD時のNMを確保できる技術である[1,2]．このIRP付きSRAMセルでは，WMがワーストケースとなるため，WMに特化したセル設計が低電圧動作に有効であると考えられる．しかし，このような試みはほとんど知られていない．本発表では低電圧動作が可能なIRP付き10Tセルの設計について報告する．

【セル構成と設計】 図1にIRP付き10Tセルの構成を示す[2]．10Tセルは，6Tセルと2組のIRPで構成され，READ動作とWRITE動作を分離するためにREAD用のワード線(RWL)とビット線(RBL)，WRITE用のワード線(WWL)とビット線(WBL)の各制御線を分ける．10TセルはIRPを用いてRBLを放電することで記憶ノードへの電流の流入を生じることなくREAD動作を行うため，READ時のNMをスタンバイ時のNMと同等にまで向上できる．通常，IRP付き低電圧セルでは従来の6Tセルの設計をそのまま流用している場合が多い．しかし，WMがワーストケースとなるIRP付きセルでは，この方法は適していない．IRP付き10TセルではWMを指標とした設計が必要となる．以下，最適設計を行うIRP付きセルを$10T^{OPT}$とする．

【解析方法】 本研究では，トランジスタモデルに45nm bulk CMOSデバイスを使用し，HSPICEで解析を行った．READ時のNMには擬スタティックノイズマージン(QSNM)，WRITE時のWMにはワード線マージン(CWLM)を用いた[3,4]．設計ではチップ温度も考慮し，25℃と85℃で解析した．$10T^{opt}$の最適設計では，CWLMのW_{DRV}，W_{LD}，W_{PT}依存性において基準値を満たす中から，リーク電力が最小となる設計点を決定した．CWLMの基準値はモンテカルロシミュレーションによるセルの不良率が6σの基準を満たすようにセルフコンシステントに決定した．この最適化を動作電圧に対して行い，動作可能電圧の下限(V_{DDmin})を決めた．また，同様にして比較用の標準設計SRAMセル(W_{LD} = 90 nm, W_{PT} = 135 nm, W_{DRV} = 200 nm)についてもV_{DDmin}を評価した．以下，これを$6T^{std}$と表記する．また，$6T^{std}$にIRPを設けた10Tセル($10T^{std}$)も比較に用いた．

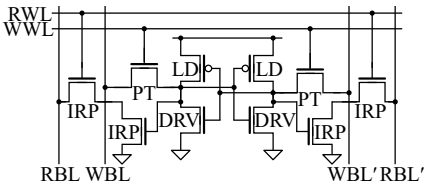


図1. IRP付き10Tセルの回路構成

【解析結果】 標準設計セルの解析の結果，V_{DDmin}は$6T^{std}$では0.8 V，$10T^{std}$では0.7 Vとなり，標準設計セルでは通常電圧(1.0 V)から2-3割程度の低減率に留まることがわかった．次に，$10T^{opt}$の最適設計からV_{DDmin}の検証を行った．図2に10Tセルの0.5 VにおけるCWLMのW_{DRV}(= W_{LD})，W_{PT}依存性を示す(W_{DRV} = W_{LD}はリーク電力削減の観点から，今回はこのように設定した)．この図では各プロセスコーナーの中からCWLMのワースト値をプロットした．図中の赤枠は基準値(110 mV)以上となるCWLMの領域を示してある．0.5 Vでも基準値を満たす領域が存在し，その領域内でリーク電力が最小となるW_{DRV} = W_{LD} = 90 nm, W_{PT} = 240 nmを$10T^{opt}$の設計値とした．図3に$10T^{opt}$と各標準設計セルの0.5 Vにおける不良率解析結果を示す．$6T^{std}$セルはREAD時のQSNM，$10T^{std}$，$10T^{opt}$セルはWRITE時のCWLMを示している．$6T^{std}$，$10T^{std}$セルではマージンが大幅に劣化しており，6σを大きく上回る不良率となる．一方，$10T^{opt}$セルは，0.5 Vでも十分に低い6σ不良率を確保できている．したがって，IRP付き10Tセルは最適設計することで，EMP近傍の低電圧化が期待できる．

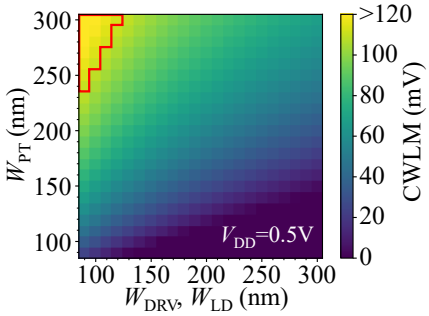


図2. CWLMのW_{DRV}(=W_{LD}), W_{PT}依存性

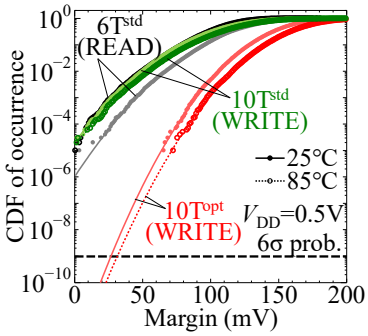


図3. QSNMとCWLMの累積分布

【謝辞】 シミュレーションは東京大学d. lab-VDECを通し，日本シノプシス合同会社の協力で行われた．

【参考文献】 [1] Y. Morita *et al.*, IEEE Symp. VLSI Circuits, p. 256, 2007. [2] H. Noguchi *et al.*, IEEE ICICDT, p. 55, 2008. [3] H. Yoshida *et al.*, IEEE OJCAS **2**, p. 520, 2021. [4] H. Makino *et al.*, IEEE TCAS-II **58**, p. 230, 2011.

© 2024年 応用物理学会

高安定エネルギー最小点動作が可能なULVR-SRAMセルの設計

Design of a ULVR-SRAM cell for highly stable energy minimum-point operation

東工大・未来研 °伊藤克俊, 塩津勇作, 菅原聡
°K. Ito, Y. Shiotsu, and S. Sugahara, *FIRST, Tokyo Inst. of Tech.*
E-mail: ito.k.bp@m.titech.ac.jp

【はじめに】 我々は新型シュミットトリガ(ST)インバータをベースとしたデュアルモード(DM)インバータを用いて構成した超低電圧でリテンション(ULVR)可能なULVR-SRAM ($10T^{ULVR}$)セルを提案している[1]. $10T^{ULVR}$セルは, STモードで生じるフィードバック(FB)効果により0.2 VのULVRと, 0.4 V程度のエネルギー最小点(EMP)におけるSRAM動作を実現し, 待機時電力と動作時電力を効果的に削減できる[2]. 最近, 我々は8個のトランジスタで構成される新型のULVR-SRAM ($8T^{ULVR}$)セルを提案した[3]. $8T^{ULVR}$セルはST構成とは異なる特有のFB構造を有し, 低電圧下においてHOLD状態のノイズマージン(NM)をほぼ最大限にまで拡大できる. しかし, この$8T^{ULVR}$セルのEMP動作は困難である(READ動作における十分なNMの確保が難しい). そこで, この$8T^{ULVR}$セルにisolated read port (IRP) [4]を導入したセル($10T^{ULVR+IRP}$)の検討を行った. IRPを用いればREAD動作時のNMをHOLD時のNMと同等にできる. 本発表では$10T^{ULVR+IRP}$セルの設計および性能について報告する.

【回路構成】 図1に$10T^{ULVR+IRP}$セルの回路構成を示す. IRPは$8T^{ULVR}$セル部の一方の記憶ノードに接続する. ワード線はWRITE動作用(WWL)とREAD動作用(RWL)に分けて配線し, パワー・ビット線(PBL, PBL′)はWRITE動作時の相補ビット線と仮想電源電圧VV_{DD}を兼ねる[3]. さらに読み出し専用のビット線RBLを設けてある. IRPを用いることで, セルの記憶状態に影響を与えることなくREAD動作を実現できることから, READ動作時のNMはHOLD時とほぼ同等にまで向上できる. FBトランジスタ(FBT)のバイアスV_{FB}をVV_{DD}と同じ値に設定することで, ULVRおよびEMP動作のどちらでもNMを最大化できる.

【解析結果】 セルの設計と解析はHSPICEを用いて行った. デバイスには65nm CMOSプロセスのLPモデルを用いた. $8T^{ULVR}$セル部はデバイスのばらつきを考慮して, ULVR時の擬スタティックノイズマージン(QSNM) [1]を25℃と85℃で確保できるように, トランジスタサイズを最適設計した. このとき, WRITE動作時の動作マージン(CWLM [5])も考慮した. また, IRPはREAD動作時の動作速度を考慮して設計した. 図2に最適設計した$10T^{ULVR+IRP}$, $8T^{ULVR}$, $10T^{ULVR}$セルにおける0.4 VのREAD動作時のバタフライカーブを示す. $8T^{ULVR}$セルでは記憶ノードの電位がビット線の影響を強く受けるため, バタフライカーブが大きく歪む. 一方で, $10T^{ULVR+IRP}$セルのバタフライカーブでは, IRPによってこの影響を排除できるため, 記憶点側のローブが大きく広がり, 極めて高いNMが得られる. これは, $10T^{ULVR}$セルに比べてもはるかに高いNMとなる. 図3に$10T^{ULVR+IRP}$, $8T^{ULVR}$, $10T^{ULVR}$セルのQSNMを示す. 結果は25℃と85℃における評価のうちQSNMが低い方(ワーストケース)を示している. $8T^{ULVR}$セルではREAD動作時のQSNMは著しく低下するが, $10T^{ULVR+IRP}$セルではREAD動作時, ULVR時のどちらでもQSNMは$10T^{ULVR}$セルより高い値を実現できる. プロセスコーナーのワーストケースであっても, $10T^{ULVR+IRP}$セルは$10T^{ULVR}$セルと比較してREAD動作時では2.3倍, ULVR時では1.4倍のQSNMを確保できる. これらの結果は図2で示した伝達特性を反映している. さらに, ローカルばらつきを考慮したQSNMのモンテカルロシミュレーションから, $10T^{ULVR+IRP}$セルは全動作で6σの極めて小さい不良率を達成できることを確認した. 以上から, $10T^{ULVR+IRP}$セルはEMP動作におけるNMを大幅に改善できることを明らかにした.

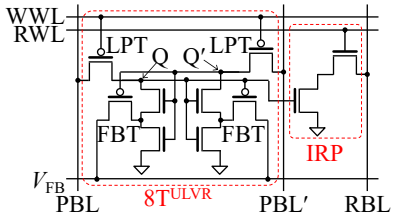


図1. $10T^{ULVR+IRP}$セルの回路構成

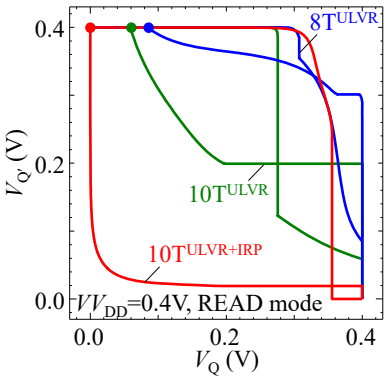


図2. READ動作時のバタフライカーブ

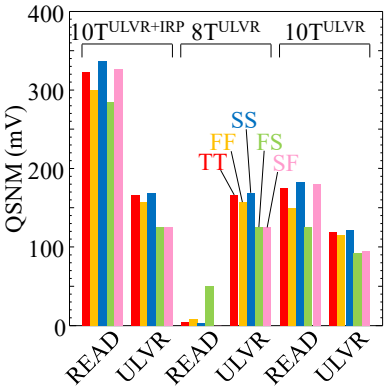


図3. 各セルのQSNM

【謝辞】 シミュレーションは東京大学d. lab-VDECを通し, 日本シノプシス合同会社の協力で行われた.

【参考文献】 [1] H. Yoshida *et al.*, IEEE OJCAS **2**, p. 520, 2021. [2] Y. Shiotsu *et al.*, IEEE JXCDC **8**, p. 134, 2022. [3] 伊藤他, 第83回応用物理学会秋季学術講演会, 21a-C105-5, 2022. [4] Y. Morita *et al.*, IEEE Symp. VLSI Circuits, p. 256, 2007. [5] H. Makino *et al.*, IEEE TCAS-II **58**, p. 230, 2011.

13 半導体 | 一般セッション(ポスター講演)：13.5 デバイス／配線／集積化技術

[17p-P06-1~3] 13.5 デバイス／配線／集積化技術

[17p-P06-1]
GeSiSn/GeSnヘテロ構造を用いたp型HEMTの構造設計
〇(M1)鳥本 昇汰[1]、坂下 満男[1]、黒澤 昌志[1]、中塚 理[1,2]、柴山 茂久[1] (1.名大院工、2.名大未来研)

[17p-P06-2]
半導体高密度実装向けAu粒子焼結バンプの特性にAu粒子径が与える影響
〇中村 紀章[1]、牧田 勇一[1]、藤野 晶仁[1]、小川 晃平[1]、小泉 輝明[1]、村井 博[1]、井上 謙一[1]、岡田 洋平[2]、白鳥 陽紀[2]、神谷 秀博[2] (1.田中貴金属工業、2.東京農工大)

[17p-P06-3]
針接触および接合型Ge ショットキーバリアダイオードの室温以上におけるI-V特性の温度依存性
〇安藤 陸[1]、須田 順子[1]、前田 就彦[1] (1.東京工科大工)

GeSiSn/GeSn ヘテロ接合を用いた *p* 型 HEMT の構造設計

Structural design of *p*-type HEMT using GeSiSn/GeSn heterostructure

名大院工 [1]，名大未来研 [2]　○鳥本 昇汰 [1]，坂下 満男 [1]，黒澤 昌志 [1]，中塚 理 [1,2]，柴山 茂久 [1]

Grad. Sch. Eng., Nagoya Univ. [1], IMaSS, Nagoya Univ. [2], °Shota Torimoto[1], Mitsuo Sakashita[1], Masashi Kurosawa[1], Osamu Nakatsuka[1,2] and Shigehisa Shibayama[1]

E-mail: torimoto.shota.f3@s.mail.nagoya-u.ac.jp, s-shibayama@nagoya-u.jp

［研究背景］高電子移動度トランジスタ（HEMT）は，今日のイメージングや高速通信技術を支える高周波動作半導体デバイスである．我々は，既存の Si 集積化技術との親和性に優れるⅣ族半導体から構成される HEMT に注目している．先行研究として SiGe/Ge *p* 型 HEMT が動作報告されている[1]．我々はⅣ族半導体 HEMT のさらなる高移動度化に向けて、良質な結晶品質を保ちつつ，より深い量子井戸への正孔の閉じ込めが期待できる GeSiSn/GeSn ヘテロ接合に着目した[2]．Ⅳ族二元混晶 $Ge_{1-x}Sn_x$ は Sn 組成増大によってキャリアの有効質量が減少するため[3]，高移動度チャネル材料としても有望である．しかし，これまでに理論･実験共に GeSiSn/GeSn *p* 型 HEMT に関する報告がない．

本研究では，GeSiSn/GeSn *p* 型 HEMT の室温動作に向けて，エネルギーバンド構造と正孔密度分布の理論計算に基づくデバイス構造設計を行った．

［結果および議論］量子力学シミュレーションソフトウェア nextnano を用いて，300 K における *p* 型 $Ge_{0.95-x}Si_xSn_{0.05}/Ge_{0.96}Sn_{0.04}/Ge(001)$ 構造のエネルギーバンド構造と正孔密度分布を計算した．*p* 型 $Ge_{0.95-x}Si_xSn_{0.05}$ の Si 組成: x（=0.1, 0.3, 0.5），膜厚: W（=10, 20, 30 nm）を変数とした．

図 1 に例として x=0.3，W=20 nm の場合の計算結果を示す．*p* 型 $Ge_{0.65}Si_{0.3}Sn_{0.05}$/ $Ge_{0.96}Sn_{0.04}$ 界面に 0.14–0.24 eV の価電子帯端バンドオフセットが形成されており，*p* 型 $Ge_{0.65}Si_{0.3}Sn_{0.05}$ の正孔密度に加えて $Ge_{0.96}Sn_{0.04}$ 側にはそれを上回る 2 次元的な正孔密度ピークが発現した．

デバイス動作においては，チャネル外の余分な電流パスとなる *p* 型 $Ge_{0.95-x}Si_xSn_{0.05}$ 中の正孔が少ない方が望ましい．そこで，*p* 型 $Ge_{1-x}Si_xSn_{0.05}$（キャリア供給層）と $Ge_{0.96}Sn_{0.04}$（チャネル層）それぞれの正孔密度分布を厚さ方向で積分することで正孔面密度（S_{GeSiSn}，S_{GeSn}）を算出し比較を行った（図 2）．図 2 において，$r = S_{GeSn}/(S_{GeSiSn}+S_{GeSn})$が 1 に近づくほど，*p* 型 $Ge_{0.95-x}Si_xSn_{0.05}/Ge_{0.96}Sn_{0.04}$ の内，$Ge_{0.96}Sn_{0.04}$ に存在する正孔の数が支配的となる．$Ge_{0.96}Sn_{0.04}$ に存在する正孔の数を支配的にする方法として，*p* 型 $Ge_{1-x-y}Si_xSn_y$ の薄膜化および高 Si 組成化が有効であることが分かった．それぞれ (1) *p* 型 $Ge_{0.95-x}Si_xSn_{0.05}$ の薄膜化によって *p* 型 $Ge_{0.95-x}Si_xSn_{0.05}$ 内の空乏層幅が拡大するため正孔密度が減少する，(2) *p* 型 $Ge_{0.95-x}Si_xSn_{0.05}$ の高 Si 組成化によって $Ge_{0.96}Sn_{0.04}$ 側の量子井戸が深くなることが、r 増大に寄与すると考えられる．

［謝辞］本研究の一部は，JST さきがけ（JPMSJPR21B6）および JST CREST（JPMJCR21C2）の支援を受けて実施された．

[1] D. Weißhaupt *et al*., Semicond. Sci. Technol. **38**, 035007 (2023). [2] M. Fukuda *et al*., Semicond. Sci. Technol. **32**, 104008 (2017). [3] K. Lu Low *et al*., J. Appl. Phys. **112**, 103715 (2012).

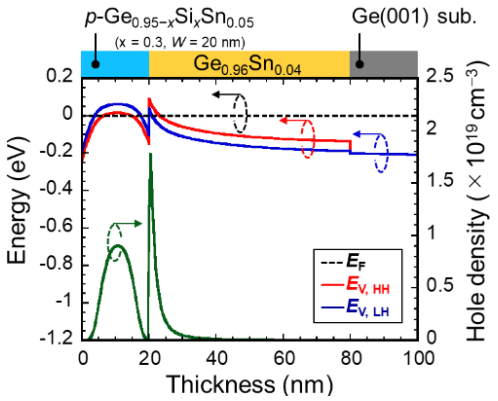


Fig. 1 Simulated band structure and hole density of *p*-$Ge_{0.95-x}Si_xSn_{0.05}/Ge_{0.96}Sn_{0.04}/Ge(001)$ under x = 0.3, W = 20 nm, at 300 K.

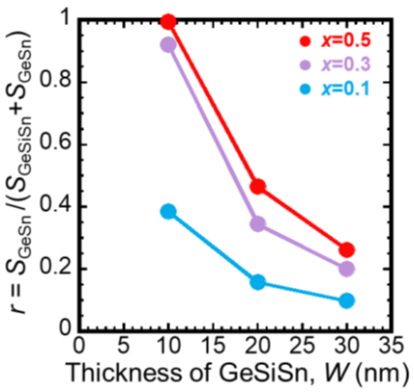


Fig. 2 Calculated hole surface density ratio as a function of thickness of *p*-$Ge_{0.95-x}Si_xSn_{0.05}$.

半導体高密度実装向けAu粒子焼結バンプの特性にAu粒子径が与える影響

Effect of Au particle diameter on the properties of Au particle sintered bumps for high-density semiconductor mounting

○中村 紀章[1]，牧田 勇一[1]，藤野 晶仁[1]，小川 晃平[1]，小泉 輝明[1]，村井 博[1]，井上 謙一[1]，
岡田 洋平[2]，白鳥 陽紀[2]，神谷 秀博[2]（田中貴金属工業株式会社[1]，東京農工大学[2]）
°N. Nakamura[1], Y. Makita[1], A. Fujino[1], K. Ogawa[1], T. Koizumi[1], H. Murai[1], K. Inoue[1], Y. Okada[2], H. Shiratori[2],
H. Kamiya[2] (TANAKA Kikinzoku Kogyo K.K.[1], Tokyo University of Agriculture and Technology[2])
E-mail : n-nakamura@ml.tanaka.co.jp

[緒言]

半導体高密度実装向けの接合材として、ポーラス構造をもつAu粒子焼結バンプを提案している。Au粒子焼結バンプは、サブミクロンサイズ（0.1～0.5 μm）のAu粒子から形成され、200 °Cでの接合が可能で、縦方向の圧縮による変形能を備えつつ横方向への広がりが少ないという特徴を持ち、基材との Au/Au 拡散によって30 MPa以上の十分な接合強度を示す [1]。

今回は、Au粒子の粒子径が焼結体の特性およびその形成工程に与える影響を調べたので報告する。

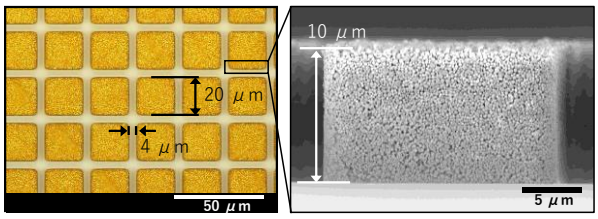


Fig. 1 Top and Side view of sub-micron Au particle bumps

[実験]

Au粒子焼結バンプは、フォトレジストで作製した型にAu粒子ペーストを流し込み、真空乾燥により乾燥体とした後、上部の余分なAu粒子をかきとり、その後レジストを除去することで形成される。

Au粒子ペーストには、湿式還元法で作製されたサブミクロンサイズのAu粒子を使用する。ペーストはAu粒子と有機溶剤により構成され、大きな分子量を持つ添加剤や保護材、および分散剤は使用していない。

今回は平均粒子径が0.17, 0.25, 0.31, 0.46 μmの4種類の粒度分布が比較的狭いAu粒子を作製し、Au 粒子ペーストとした。Au 粒子径はSEM画像を解析することにより算出した。

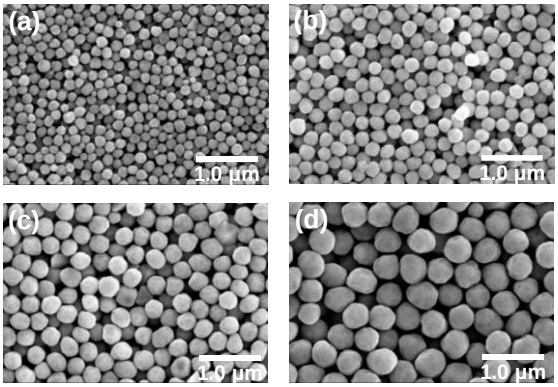


Fig. 2 Sub-micron Au particles
Average diameter of Au particles
(a) 0.17 μm (b) 0.25 μm (c) 0.31 μm (d) 0.46 μm

Au粒子ペーストを真空乾燥させた乾燥体の硬さ（かきとり性）はボンドテスター、乾燥体加熱時の変位の大きさを TMA、乾燥体を接合温度で焼結させた焼結体の電気抵抗率は低抵抗率計で測定した。

[結果]

サブミクロンAu粒子の粒子径と乾燥体のかきとり性および加熱時の変位の大きさ、焼結体の電気抵抗率には相関がみられた。

Au粒子径が大きいほど、乾燥体のかきとりに必要な力が小さく、乾燥体加熱時の変位量が小さく、焼結体の電気抵抗率は高くなる傾向があることがわかった。

[参考文献]

[1] 小柏俊典 他, “サブミクロン金粒子焼結体を用いた低温接合技術”, エレクトロニクス実装学会誌, Vol.10, No.2, pp.560-566, 2007.

針接触および接合型 Ge ショットキーバリアダイオードの室温以上における I-V 特性の温度依存性

Temperature Dependence of I-V Characteristics Above Room Temperature of Needle Contact and Junction Contact Ge Schottky Barrier Diodes

東京工科大学[1]，(M2)安藤　陸[1]，須田　順子[1]，前田　就彦[1]

Tokyo University of Technology[1], °Riku Ando[1], Yoriko Suda[1], Narihiko Maeda[1]

E-mail: g5123003ad@edu.teu.ac.jp

エネルギーの有効利用が重要な課題となっている現代において、サスティナブルな電力源であるレクテナ等のエネルギーハーベスティング技術や小電力で稼働する電子システムの開発に注目が集まりつつある。我々はこのような小電力分野において、未だに初期の半導体素子作製プロセスを適用した針接触型の Ge ショットキーバリアダイオード(SBD)が利用される場合がある点に着目し、同一材料で作製された接合型および針接触型 1N60 Ge SBD の I-V 特性を比較した結果、針接触型 Ge SBD の方が接合型 Ge SBD よりもしきい値電圧(V_{th})が低いことを見出し、この特性を説明可能なバンドモデルの提案をおこなってきた[1]。本研究では、室温以上における接合型および針接触型 Ge SBD の I-V 特性の温度依存性の測定をおこなったので報告する。

本研究では市販品である接合型および針接触型の 1N60 Ge SBD の I-V 特性の温度依存性の測定を、暗黒下でデバイスをシリコンオイルに油浴させた状態で室温から 140 ℃の温度範囲で実施した。結果を Fig.1 に示す。Fig.1(a), (b)より接合型および針接触型 Ge SBD の V_{th} は温度上昇と共に低下している。またどの温度領域においても針接触型 SBD の方が接合型 SBD よりも V_{th} が低いことがわかる。また Fig.1 を解析し、接合型および針接触型 Ge SBD のショットキーバリア高さと理想係数の温度依存性を評価した結果を Fig.2 に示す。Fig.2 より接合型および針接触型 Ge SBD 双方において温度上昇と共にショットキーバリア高さが低下し、理想係数が増大していることがとがわかる。一方、針接触型 Ge SBD の逆方向特性において 120 ℃以上の温度領域で飽和電流が増加している。これらの結果は、小電力応用においては針接触型 Ge SBD を 60-100 ℃の温度領域で使用することで室温時よりも V_{th} が低下し、良好な整流特性が得られることを示唆している。

[1] Riku Ando et.al, Jpn. J. Appl. Phys. 63, 020908 (2024).

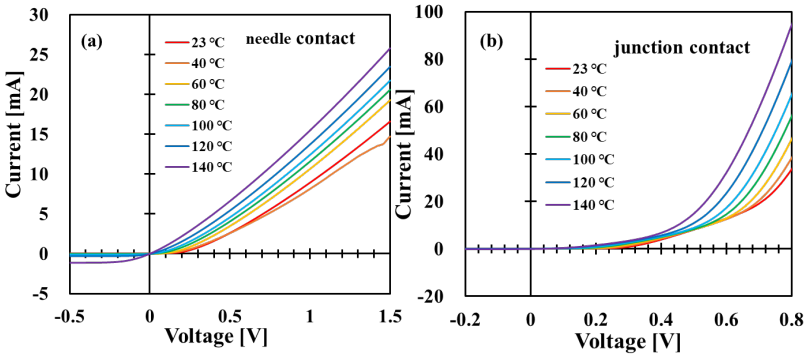


Fig.1 (a)針接触型および(b)接合型 1N60 Ge SBD の I-V 特性の温度依存性

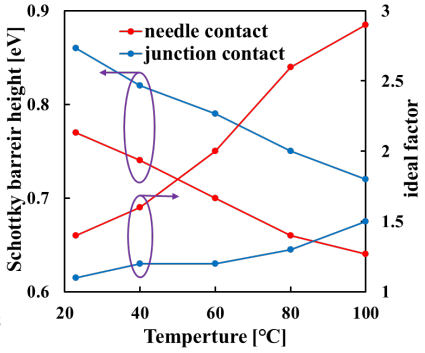


Fig.2 接合型および針接触型 Ge SBD のショットキーバリア高さと理想係数の温度依存性

13 半導体 | 一般セッション(口頭講演)：13.5 デバイス／配線／集積化技術

[18a-A23-1~13] 13.5 デバイス／配線／集積化技術

[18a-A23-1]

Si MOSFETのSS値の極低温領域における温度依存性の定量的理解

姜 旼秀[1]、トープラサートポン カシディット[1]、岡 博史[2]、森 貴洋[2]、竹中 充[1]、〇高木 信一[1] (1.東大院・工、2.産総研)

[18a-A23-2]

低温下おける200 nm SOI MOSFETの負基板バイアス依存性

〇李 龍聖[1]、森 貴之[1]、八田 浩輔[1]、小林 亮介[1]、岡 博史[2]、森 貴洋[2]、井田 次郎[1] (1.金工大、2.産総研)

[18a-A23-3]

極低温下でのホットキャリア注入に起因した巨大なしきい値電圧変動の理解

〇(D)下方 駿佑[1,2]、岡 博史[1]、加藤 公彦[1]、稲葉 工[1]、飯塚 将太[1]、浅井 栄大[1]、森 貴洋[1] (1.産総研、2.慶大物情)

[18a-A23-4]

トランジスタマトリックスアレイを用いた極低温における特性ばらつきとランダムテレグラフノイズの測定

〇水谷 朋子[1]、竹内 潔[1]、更屋 拓哉[1]、岡 博史[2]、森 貴洋[2]、小林 正治[1,3]、平本 俊郎[1] (1.東大生研、2.産総研、3.東大d.lab)

[18a-A23-5]

Precise Extraction of Effective Mobility in Si nMOSFETs at Cryogenic Temperatures Using Quasi-Static C-V Technique

〇(M2)Yutong Chen[1], Zhao Jin[1], Xueyang Han[1], Hiroshi Oka[2], Takahiro Mori[2], Kasidit Toprasertpong[1], Mitsuru Takenaka[1], Shinichi Takagi[1] (1.The Univ. of Tokyo, 2.AIST)

[18a-A23-6]

Influence of Channel Resistance on Split C-V Characteristics in MOSFETs and the Correction Based on a Transmission Model for Accurate Evaluation of Effective Mobility

〇(M2)Zhao Jin[1], Yutong Chen[1], Xueyang Han[1], Hiroshi Oka[2], Takahiro Mori[2], Kasidit Toprasertpong[1], Mitsuru Takenaka[1], Shinichi Takagi[1] (1.U. Tokyo, Eng., 2.AIST)

[18a-A23-7]

シリコン２次元超格子MOSトランジスタの提案と有効質量増大の観測

〇(M2)杉本 裕人[1]、赤堀 海洋[1]、竹内 滉太[1]、戸澤 佑亮[1]、佐藤 弘明[1,2]、堀 匡寛[1,2]、小野 行徳[1,2] (1.静大院工、2.静大電研)

[18a-A23-8]

[110]方向に応力がかかったSi 量子井戸における谷分離の第一原理計算

〇林 稔晶[1]、影島 博之[2]、登坂 仁一郎[1]、西口 克彦[1] (1.NTT物性研、2.島根大学)

[18a-A23-9]

MOS界面の単一欠陥チャージポンピングによって可能となった両性準位における電子捕獲素過程の直接観測 (12) -欠陥構造緩和 (III)-

〇土屋 敏章[1]、堀 匡寛[1]、小野 行徳[1] (1.静大電研)

[18a-A23-10]

MOS界面の単一欠陥チャージポンピングによって可能となった両性準位における電子捕獲素過程の直接観測 (13) -準位深さの影響-

〇土屋 敏章[1]、堀 匡寛[1]、小野 行徳[1] (1.静大電研)

[18a-A23-11]

等電子トラップTFETに内在する二重量子ドットの大規模特性評価

〇千足 勇介[1]、稲葉 工[1]、八木下 淳史[1]、加藤 真[1]、石川 智弘[1]、岡 博史[1]、加藤 公彦[1]、浅井 栄大[1]、小倉 実[1]、中山 隆史[1]、飯塚 将太[1]、森 貴洋[1] (1.産総研)

[18a-A23-12]

P型Si二重量子ドットにおける磁場に依存した量子キャパシタンスの評価

〇(M1)和田 陸久[1]、溝口 来成[1]、近藤 知宏[1]、土屋 龍太[2]、峰 利之[2]、久本 大[2]、水野 弘之[2]、米田 淳[1]、小寺 哲夫[1] (1.東工大、2.日立研開)

[18a-A23-13]

シリコンPN 単電荷ポンプによる電子正孔比較

〇山端 元音[1]、藤原 聡[1] (1.NTT物性研)

Si MOSFET の SS 値の極低温領域における温度依存性の定量的理解

Quantitative Understanding of Temperature Dependence of Sub-threshold Swing in Si MOSFETs at Cryogenic Temperatures

東大院工，姜旼秀，ﾄｰﾌﾟﾗｻｰﾄﾎﾟﾝ ｶｼﾃﾞｨｯﾄ，岡 博史，森 貴洋，竹中 充，°高木 信一
Univ. Tokyo, Min-Soo Kang, Kasidit Toprasertpong, Hiroshi Oka, Takahiro Mori, Mitsuru Takenaka, °Shinichi Takagi
E-mail: takagi@ee.t.u-tokyo.ac.jp

【背景】 4 K 近傍の極低温での Si MOSFET の電気特性の正確な理解は、量子コンピュータシステムの制御回路応用などの点で重要である。MOSFET の低電圧動作の観点から重要な電気特性である sub-threshold swing (SS)は、Boltzmann 極限の下では温度に比例するが、十分低温では値が飽和することが、Si nMOSFET に対して報告されており[1]、mobile tail state とバンド端にピーク値をもって Gaussian 分布する immobile state を仮定することによって、実験結果を定量的に再現できることが知られている[2-4]が、pMOSFET の SS 値の報告は少なく、nMOSFET との定量的比較にも乏しい。本研究では、基板濃度の異なる Si nMOSFET と pMOSFET の SS 値の温度依存性を系統的に評価すると共に、両者を定量的に再現できる物理モデルの構築に成功したので、報告する。

【実験手法・結果】 10^{15} 台から 10^{18} cm^{-3} 台までの幅広い範囲での基板不純物濃度を持つ Si nMOSFET と pMOSFET の SS 値の温度依存性を Fig. 1 と 2 に示す。nMOSFET の SS 値は温度の低下と共に飽和するが、pMOSFET の SS 値は温度の低下と共に増加する傾向が見られることが分かる。このような pMOSFET の SS の温度依存性と基板不純物濃度依存性の実験結果は、従来の DOS モデル[1]では十分説明できないことから、アモルファス半導体の DOS モデルを念頭に、Fig. 3 に示す様な tail state の深いエネルギー位置にある DOS を immobile state、浅いエネルギー位置にある DOS を mobile state と見なす新しいモデルを提案する。提案モデルにより計算された SS 値の温度依存性を Fig.1 と 2 の破線で示す。実験結果をよく説明できることが分かる。同じ物理パラメータを用いて、nMOSFET と pMOSFET の SS 値のドレイン電流依存性も定量的に説明できる。これらの実験結果を再現できる DOS のエネルギー分布を Fig. 4 に示す。pMOSFET の方が immobile state の密度が高いことから、温度の低下と共にフェルミレベルでの immobile state 量が、pMOSFET で著しく増加する。これが pMOSFET の SS 値が温度の低下と共に増加する物理的起源と考えられる。

【結論】 Si pMOSFET では温度の低下と共に SS 値が増大することを実験的に見出した。nMOSFET との温度依存性の違いは、tail state の低エネルギー領域を immobile state、高エネルギー領域を mobile state とする DOS モデルにより、定量的に再現できることが明らかとなった。

【謝辞】 本研究は国立研究開発法人新エネルギー・産業技術総合開発機構 (NEDO) の委託業務 (JPNP16007)の支援により実施した。

【参考文献】 [1] Beckers et al., EDL, 41, 276 (2020) [2] Beckers et al., TED, 67, 1357 (2020) [3] Kang et al., JJAP, 61, SC1032 (2022) [4] Kang et al., JJAP, 62, SC1062 (2023)

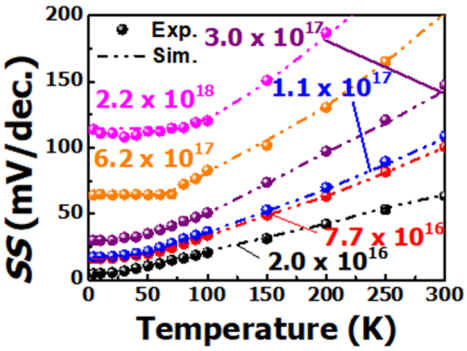


Fig. 1 Experimental and simulated temperature dependence of SS-T characteristics of nMOSFETs

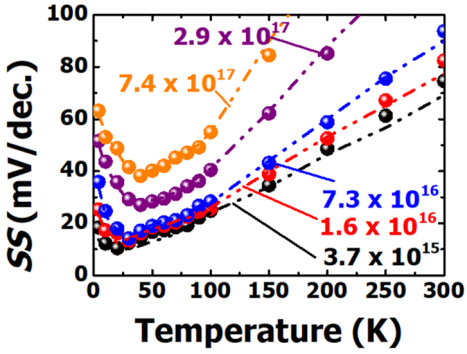


Fig. 2 Experimental and simulated temperature dependence of SS-T characteristics of pMOSFETs

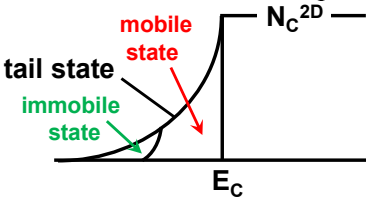


Fig. 3 Newly proposed band tail state model including mobile states and immobile states.

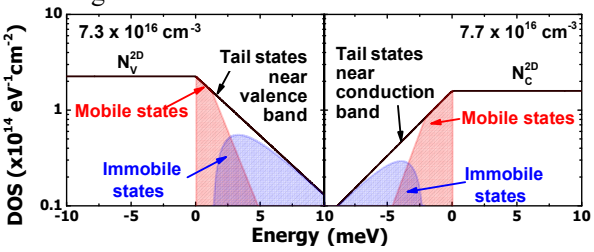


Fig. 4 Comparison in simulated DOS distributions and boundary energy between mobile and immobile states between nMOSFETs and pMOSFETs with similar N_{sub} of (7-8) x 10^{16} cm^{-3}

© 2024年 応用物理学会

低温下おける 200 nm SOI MOSFET の負基板バイアス依存性

Negative Back Bias Effect of Cryogenic 200 nm SOI MOSFET

金沢工大 [1]，産総研 [2]，°李 龍聖 [1]，森 貴之 [1]，八田 浩輔 [1]，小林 亮介 [1]，岡 博史 [2]，森 貴洋 [2]，井田 次郎 [1]

Kanazawa Inst. of Tech.[1], AIST[2], °R. Ri[1], T. Mori[1], K. Hatta[1], R. Kobayashi[1], H. Oka[2], T. Mori[2], J. Ida[1]

E-mail: c6300973@st.kanazawa-it.ac.jp

はじめに: 量子コンピュータの量子ビット数を増やすためには配線数の増大及びそこからの熱流入が課題であり，解決のために Cryo-CMOS 技術の研究開発が行われている. MOSFET の中でも, SOI 技術は基板バイアス(V_{sub})によってしきい値電圧(V_{th})を制御することが可能であり，低消費電力 Cryo-CMOS の実現が期待できる．その意味で V_{th} を低くできる正基板バイアスをまず評価し極低温でのみ現われるヒステリシス現象を見出し報告してきた[1]．本稿では V_{th} を高くする方向である負基板バイアスの温度依存性においても,低温と室温では異なる振舞いを示すことが判明したので報告する.

実験方法及び結果: 実験にはゲート長 200 nm，ゲート幅 1 μm，ゲート酸化膜厚 4.4 nm, Si 膜厚 40 nm, 埋め込み酸化膜厚 145 nm のラピスセミコンダクタ社 200 nm SOI プロセス によって作製された MOSFET を使用した.チャネル不純物濃度を変えたデバイスを作製し，本稿では Low Vt (LVt)及び，より不純物濃度が低い Ultra Low Vt (ULVt)の結果を示す. Fig. 1 に 300 K 及び 3 K における I_d–V_g 特性の V_{sub} 依存性を示す. (a)は LV_t, (b)は ULV_t である(Fig. 2, 3 も同様). Fig. 2 に V_{th}–V_{sub} の温度依存性を示す. Fig. 3 に V_{sub} = 0 V が基準の V_{sub} に対する V_{th} の変化量(ΔV_{th})を示す. LVt と ULVt のどちらのデバイスも 300 K から 200 K までは, V_{sub} 増加とともに V_{th} の変化が飽和する Bulk-MOSFET と同等な基板バイアス特性を示すが, 100 K から 30K で直線的になり，さらに低温では直線的で変化量が小さくなることが確認できる．具体的には, Fig. 2(a)より, 300 K から 30 K では, V_{sub} = −15 V ほどで V_{th} が飽和するのに対して, 15 K 以下では, V_{sub} に比例して V_{th} が増加している. Fig. 2(b)でも同じように 100 K まで飽和が見えるが, 50 K から V_{sub} に比例して V_{th} が増加していることが確認できる.これは，温度によるフリーズアウトの影響, 完全空乏，部分空乏の程度の差などが考えられる.

謝辞: 本講演で発表した研究は，国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO) の委託業務(JPNP16007)の結果得られたものです.

参考文献: R.Ri *et al.*, “Back Bias Effect with Hysteresis in Cryogenic 200 nm SOI MOSFETs”, EuroSOI-ULIS, May. 2024

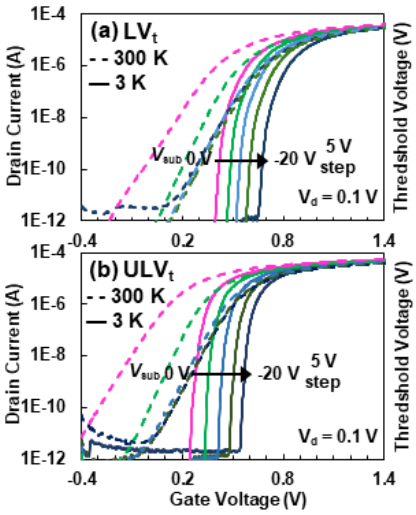


Fig. 1 I_d–V_g dependence on V_{sub}. (a) ULV_t, (b) LV_t. --- 300 K — 3 K

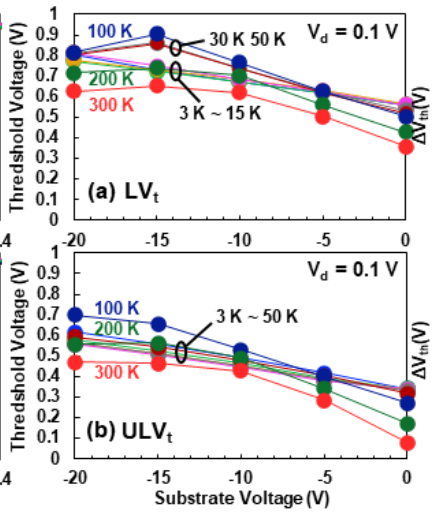


Fig. 2 V_{th} dependence on V_{sub}. (a) ULV_t, (b) LV_t.

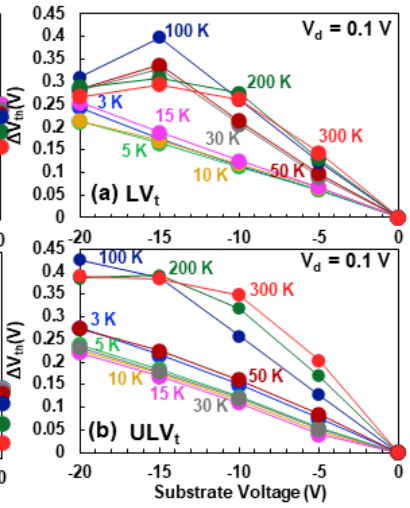


Fig. 3 ΔV_{th} dependence on V_{sub}. (a) ULV_t, (b) LV_t. (based on V_{sub} = 0 V).

© 2024年 応用物理学会

極低温下でのホットキャリア注入に起因した巨大なしきい値電圧変動の理解

Understanding Large V_{th} Shift by Hot Carrier Injection at Cryogenic Temperatures

産総研 [1], 慶大物情 [2] ○(D)下方駿佑 [1,2], 岡博史 [1], 加藤公彦 [1], 稲葉工 [1], 飯塚将太 [1], 浅井栄大 [1], 森貴洋 [1]
AIST [1], APPI, Keio[2], °S. Shitakata[1,2], H. Oka[1], K. Kato[1], T. Inaba[1], S. Iizuka[1], H. Asai[1], and T. Mori[1]
E-mail: s-shitakata@aist.go.jp

大規模量子コンピュータの実現には、室温からの熱流入を削減しながら量子ビットの状態の制御・読出を行うクライオ CMOS 集積回路技術が不可欠である。MOSFET の極低温動作の理解が求められるが、近年の研究では、しきい値電圧(V_{th})の温度依存他の様々な特性にバンド端準位が強く影響することが明らかになってきた[1, 2]。一方で、信頼性に関連する議論は始まったばかりであり、これまでにはホットキャリアによる特性劣化(Hot Carrier Degradation; HCD)が低温で増大することが報告されているが[3]、そのメカニズムは明らかではない。そこで本研究では、ホットキャリア注入後の V_{th} 変動の温度依存性を評価し、また極低温下では有効性が未検証である重水素(D_2)アニールによる劣化抑制効果[4]を試験することで、メカニズムの理解を試みた。

実験には、(100)面バルクシリコンウエハ(p 型、1~5Ωcm)に poly-Si/熱酸化 SiO_2 ゲートスタックのセルフアラインプロセスで作製した n-MOSFET を用いた。酸化膜厚は 8nm である。電極形成後に水素(H_2)または D_2 フォーミングガスアニール(FGA)をそれぞれ 400℃で 30 分間行った。作製した試料(ゲート長 1μm)に対して、室温または 4K でのホットキャリアストレス印加($V_{D,\,stress}$=6.5V, $V_{G,\,stress}$=2.3V)を行った。その後各温度でストレス印加した試料について、温度(T_m)を変化させ電気特性の評価を行った(図 1)。

まず H_2 FGA 試料について、4K でのストレス印加後は、既報告[3]にあるような大きな V_{th} 変動が観測された。ストレス印加後の試料について、V_{th} の温度依存性を評価した結果を図 2(a)に示す。10000s の総ストレス印加時間(t_{stress})であっても、室温に戻すと V_{th} の変化量は微少になっていることがわかる(紫線)。一方、室温でのストレス印加試料についても同様に V_{th} 温度依存性をみると、ほぼ同一の傾向を示している(赤線)。このことから、ストレス印加温度に関わらず、同一描像の界面劣化が発生していると考えられる。一方で、V_{th} に与える影響は、ストレス印加温度によって異なることが示唆される。ここで得られた V_{th}-T_m 曲線には、100K 付近以下の温度帯で V_{th} が急上昇する特徴が見られる。これは、極低温特有の V_{th} の温度依存性であり、バンド端準位密度に依存すると考えられている[1,2]。この V_{th} の上昇量はストレス印加時間に相関する(青線、緑線、紫線)ことから、極低温下で見られる巨大な V_{th} 変動は、バンド端準位の増加に起因すると考えられる。ここで注目すべきは、今回のストレス時間は、印加温度によらず、室温では 10mV 以下の微少な V_{th} 変動しか起こさない時間であるということである。それにも関わらず、4K では 100mV 以上の巨大な V_{th} 変動が発生している。室温における HCD は界面ダングリングボンド欠陥の増加に起因すると考えられているが[4]、これとはまるで独立するように 4K での V_{th} 変動が発生している。すなわち、4K での V_{th} 変動の原因と考えられるバンド端準位量の増大は、界面ダングリングボンド欠陥量の増大以上に発生しているものと考えられる。次に、室温においては HCD を抑制すると知られている D_2 FGA の効果を検証した結果を図 2(b)に示す。ストレス印加温度によらず、4K での V_{th} 変動は H_2 FGA の場合に比べて抑制されており、極低温下でも一定の効果があることがわかる。しかしながら、その抑制量は、ストレス印加温度に依存しており、室温でのストレス印加時により顕著な D_2 FGA の効果が見られる(図 2(a,b)の紫線および赤線)。D_2 FGA の効果は Si-D 結合の振動周波数がバルクシリコンのフォノンと共鳴することで発現すると考えられており[5]、温度変化で格子振動が変化するため、ストレス印加温度依存性が表れるものと考えている。

以上まとめると、HCD による極低温下での V_{th} 増大現象は、バンド端準位の増加が原因であることがわかった。これは、HCD によるダングリングボンドの発生量とは比例していないと考えられる。一般に HCD を抑制する D_2 アニールは、4K ストレス印加においては効果が薄く、これはフォノン周波数の温度依存に起因すると考えられる。

【謝辞】本研究は NEDO の委託業務(JPNP16007)および文部科学省 Q-LEAP(JPMXS0118069228)の助成を受けて実施した研究の結果得られたものである。本研究におけるデバイス試作は、産業技術総合研究所・未踏デバイス試作共用ライン(COLOMODE)にて実施された。

【参考文献】 [1] A. Beckers *et al.*, IEEE-JEDS **8**, 780 (2020). [2] H. Oka *et al.*, IEDM 2023. [3] Y. Zhang *et al.*, IEEE-TDMR **21**, 620 (2021). [4] J. W. Lyding *et al.*, APL **68**, 2526 (1996). [5] C. G. Van de Walle and W. B. Jackson, APL **69**, 2441 (1996).

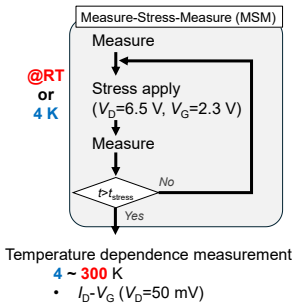


Fig. 1 Experimental procedure of this study.

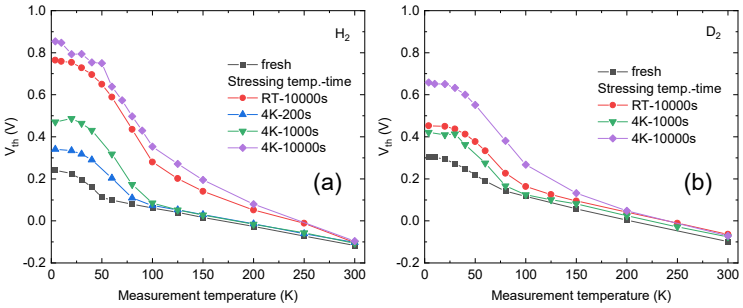


Fig. 2 V_{th} as a function of measurement temperature under different stress condition (temperature and time) for (a) H_2 FGA and (b) D_2 FGA.

トランジスタマトリックスアレイを用いた 極低温における特性ばらつきとランダムテレグラフノイズの測定

Measuring Variability and Random Telegraph Noise at Cryogenic Temperatures using Transistor Matrix Array

東大生研 [1]，産総研 [2]，東大 d.lab[3] ○水谷 朋子 [1]，竹内 潔 [1]，更屋 拓哉 [1]，岡 博史 [2]，森 貴洋 [2]，小林 正治 [1,3]，平本 俊郎 [1]

[1]IIS, Univ. of Tokyo, [2]AIST, [3]d.lab, Univ. of Tokyo ○Tomoko Mizutani[1], Kiyoshi Takeuchi[1], Takuya Saraya[1], Hiroshi Oka[2], Takahiro Mori[2], Masaharu Kobayashi[1,3], and Toshiro Hiramoto[1]

E-mail: mizutani@ nano.iis.u-tokyo.ac.jp

【はじめに】量子コンピュータを実用化には，極低温で動作する CMOS 回路が不可欠であり，回路設計には Cryo-CMOS の特性ばらつきを理解する必要がある[1-7]．本研究では，極低温測定用のトランジスタマトリックスアレイを作製し，Cryo-CMOS の特性ばらつきおよびランダムテレグラフノイズ (RTN) を調査したので報告する[8]．【結果】65nm バルク技術で作製したトランジスタマトリクスアレイを用いて，nMOS，pMOS の 300 K および 1.5 K における IV 特性を測定した．図 1 は定電流 (0.1μA×W/L) および外挿法 (それぞれ V_{THC}，V_{THEX} と表記) によって抽出されたしきい値電圧 (V_{TH}) の正規確率プロットである．L/W=65nm/120nm である．1.5 K では V_{TH} ばらつきが増加する．また V_{THC} は V_{THEX} よりもばらつきが大きい．これらは以前 nMOS について報告した結果と一致しており[3]，今回 pMOS においても確認された．本研究では Cryo-CMOS の RTN ばらつきについても調査した．ノイズ波形はデバイス間で大きく異なるため，ノイズ動作を理解するには多数のデバイスの RTN 測定が不可欠である．図 2 は 1.5K における nMOS の RTN 波形の例である．ノイズ波形にはばらつきがあることがわかる．また疑似並列測定法[9]を用いて，室温で報告されている時定数が非常に長い RTN が極低温においても多数存在することを確認した (図 3)．【まとめ】極低温測定用のトランジスタマトリックスアレイを作製し，1.5 K での静特性およびノイズ特性のばらつき測定を行った．疑似並列測定法を用いたノイズ測定では 1.5K で極めて遅い RTN の存在を確認した．

【謝辞】本講演の成果は，国立研究開発法人新エネルギー・産業技術総合開発機構 (NEDO) の委託業務 (JPNP16007) の結果得られたものです．

【文献】 [1] A. Appaswamya el al., IEEE ISDRS, 2009. [2] N. C. Dao et al., IEEE EDL, vol. 38, no. 7, pp. 847-850, 2017. [3] T. Mizutani et al., JJAP, 61, SC1006, 2022. [4] K. D., Torsten et al., Cryogenics, vol. 62, pp. 84-93, 2014. [5] B. C. Paz et al., IEEE ICMTS, 2020, 8.3. [6] A. Grill et al., IEEE IRPS, 2020. [7] P. A. T. Hart et al., IEEE J-EDS, Vol. 8, pp. 797-806, 2020.Cryogenics, vol. 62, pp. 84-93, 2014. [8] T. Mizutani et al., IEEE ICMTS, 2024. [9] K. Takeuchi et al., IEEE VLSI Tech. 2009, pp. 54-55.

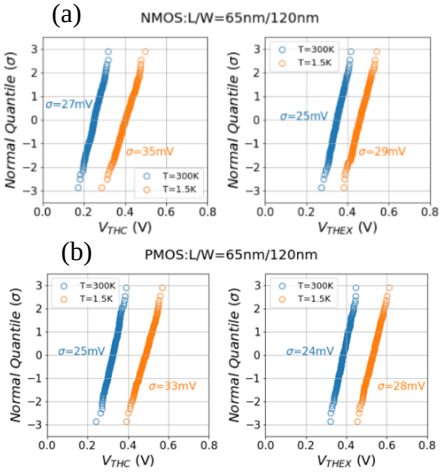


Fig.1. Cumulative distributions of V_{THC} and V_{THEX}. (a) nMOS and (b) pMOS.

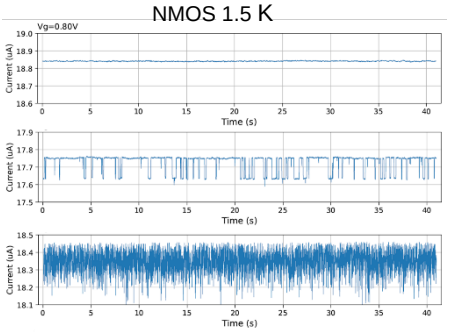


Fig.2. Drain current vs. time waveforms of three identically designed FETs to show variability of noise.

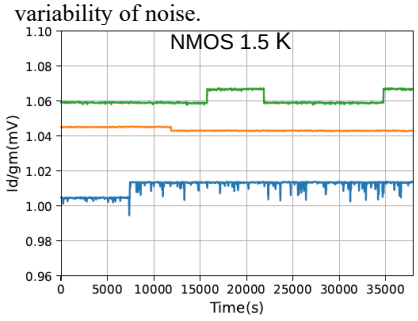


Fig.3. RTN waveforms with extremely slow transitions.

Precise Extraction of Effective Mobility in Si nMOSFETs at Cryogenic Temperatures Using Quasi-Static C-V Technique

Yutong Chen[1], Zhao Jin[1], Xueyang Han[1], Hiroshi Oka[2], Takahiro Mori[2], Kasidit Toprasertpong[1], Mitsuru Takenaka[1] and Shinichi Takagi[1]
The University of Tokyo, Faculty of Engineering[1], National Institute of Advanced Industrial Science and Technology[2]
E-mail: chenyutong@mosfet.t.u-tokyo.ac.jp

【Background】 The increasing demand for the development of quantum computers and control circuits of qubits has led to a focus on cryogenic CMOS [1]. Consequently, it is important to examine the electrical characteristics of CMOS at cryogenic temperatures. One of the important parameters for I-V characteristics is the inversion-layer mobility, which can be measured in several ways, such as Hall measurements and effective mobility based on extraction of surface carrier concentration (N_s) made by split C-V [2]. However, the accuracy of effective mobility as evaluated by split C-V at low temperatures has not yet been examined. In this study, we investigate this issue quantitatively by varying the measurement frequency. Our findings indicate that the conventional split C-V approach may not be universally applicable to long channel MOSFETs, because of the channel resistance. Consequently, we introduce the Quasi Static C-V (QSCV) method [3, 4] to accurately determine Ns even at 4 K.

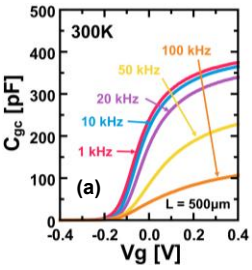
【Experiment】 I-V transfer measurements and split C-V measurements are performed from 300 K to 4 K on n-MOSFETs with gate length (L)/width (W) of 500 μm/ 160 μm, 200 μm/200 μm, and 100 μm/100 μm. All devices are made on (100) Si wafer with a substrate boron concentration of $3\times10^{16}/cm^{-3}$ and 6.8 nm gate oxide (SiO_2) thickness. In addition, we performed Hall measurements from 300 K to 4 K with the magnetic field strength of 1T for the nMOSFETs with gate length/width of 500 μm/160 μm.

【Results】 Figs. 1a and 1b show the gate channel capacitance (C_{gc})-V_g characteristics for nMOSFETs with 500 μm/160 μm by using split C-V method with different frequencies in a temperature range of 300 K and 4 K, respectively. It is evident that frequency dispersion is observed at both temperatures, with the phenomenon being more pronounced at 4 K. Fig. 2 presents a comparison between Hall mobility and effective mobility, evaluated at various frequencies from 1 kHz to 10 kHz at 4 K. In low N_s region, the measured effective mobility is much higher than the Hall mobility. Fig. 3 shows the C_{gc}-V_g characteristics by using QSCV and split C-V at 4 K. Fig. 4 shows the comparison between Hall mobility and effective mobilities measured by split C-V and QSCV at 4 K. The effective mobility obtained by QSCV is in good agreement with the Hall mobility, thereby demonstrating the high accuracy of the Ns and mobility evaluated by QSCV at cryogenic temperatures. Fig. 5 shows N_s as a function of frequency at 4 K measured from nMOSFETs with different gate lengths. The results indicate that the nMOSFET with longer channel length causes the larger reduction in Ns at 4 K. Fig. 6 shows channel resistance versus N_s at 300 K and 4 K, calculated from Hall measurements by using $R_{ch} = 1/(\mu_H e N_S)$. It is observed in Fig. 7 that the long channel device at cryogenic temperature shows the significantly higher channel resistance in the low N_s region than that at room temperature because of the lower mobility, leading to inaccuracy of N_s by split C-V at cryogenic temperature.

【Conclusion】 We have proposed a QSCV method to extract Ns and effective mobility in a low Ns region. This method differs from the conventional split C-V method in that it is experimentally demonstrated to be more accurate by comparison with Hall mobility.

【References】 [1] E. Charbon *et al*, IEDM, 13.5 (2016) [2] J. Koomen, Solid-State Electron., 16, 801 (1973) [3] K. Toprasertpong *et al*, IEDM, 23.7 (2019) [4] K. Sumita *et al*, Appl. Phys. Lett. 119, 103501 (2021)

【Acknowledgments】 This work was supported by a project, JPNP16007, commissioned by the New Energy and Industrial Technology Development Organization (NEDO), Japan.



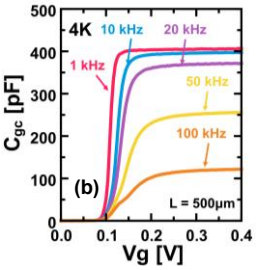


Fig. 1a (left) and Fig.1b (right) show C_{gc}-V_g curves at 300 K and 4 k with the frequencies of 1 kHz to 100 kHz

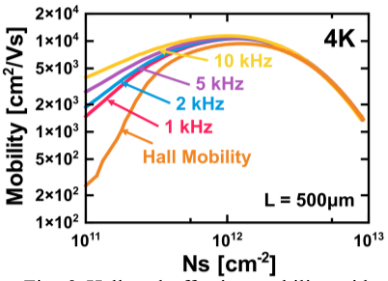


Fig. 2 Hall and effective mobility with the frequencies of 1 kHz to 10 kHz at 4 K

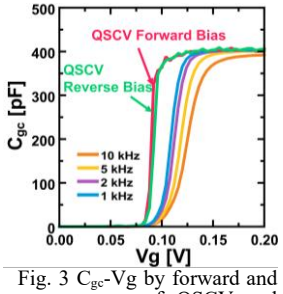


Fig. 3 C_{gc}-Vg by forward and reverse scan of QSCV and split C-V measurements at 4 K

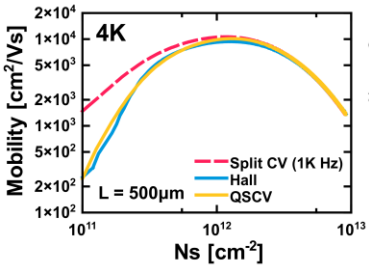


Fig. 4 Hall mobility and effective mobility from QSCV and split CV with the frequency of 1 kHz at 4 K

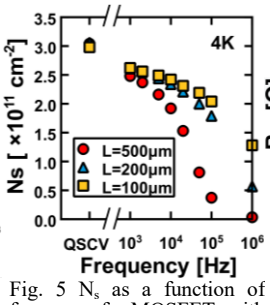


Fig. 5 N_s as a function of frequency for MOSFETs with different gate lengths at 4 K

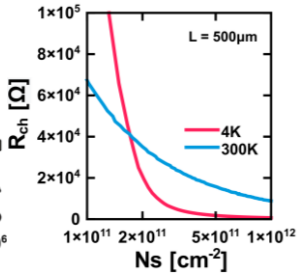


Fig. 6 Channel resistance vs. N_s at 4 K evaluated by Hall measurements.

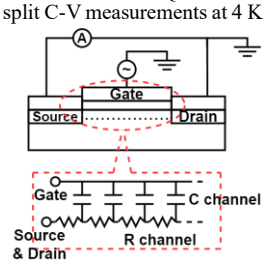


Fig. 7 Schematic cross-section view of inversion layer in a MOSFET with the equivalent circuit

© 2024年 応用物理学会

Influence of Channel Resistance on Split C-V Characteristics in MOSFETs and the Correction Based on a Transmission Model for Accurate Evaluation of Effective Mobility

Zhao Jin[1], Yutong Chen[1], Xueyang Han[1], Hiroshi Oka[2], Takahiro Mori[2], Kasidit Toprasertpong[1], Mitsuru Takenaka[1] and Shinichi Takagi[1]
The University of Tokyo, Faculty of Engineering[1], National Institute of Advanced Industrial Science and Technology[2]
E-mail: jin@mosfet.t.u-tokyo.ac.jp

【Background】 Split C-V is a classic technique for evaluating the electrical properties of MOSFET devices. Specifically, it involves measuring the gate-channel capacitance (C_{gc}) to estimate surface carrier density (N_S) and effective carrier mobility [1]. This technique is particularly valuable for FETs on insulating substrates, where traditional bulk MOS capacitor structures are unavailable [2, 3, 4]. Traditionally, the impact of channel resistance is neglected by choosing a sufficiently low measurement frequency. However, high MOS channel resistance due to low N_S, long channel length, and low mobility can degrade the accuracy of C_{gc} measurements and the subsequent evaluation of N_S and effective mobility [5]. When there is limitation to lowering the measurement frequency, a method to eliminate the influence of channel resistance on C_{gc} is very important. In this study, we propose and demonstrate a C_{gc} correction method by using a transmission model for MOS channels.

【Experiments】 Fig. 1 illustrates the measurement setup for split C-V and the transmission line equivalent circuit model of a MOSFET. This model includes the differential capacitance and resistance along the channel length of a MOSFET [5]. In practical measurements, a phase change occurs due to the delay caused by RC circuits, which affects the accuracy of C_{gc} measurements [5]. Fig. 2 presents examples of the calculated discrepancy between the measurable capacitance and the correct C_{gc} as a function of measurement frequency. The discrepancy increases with higher frequencies and appears at lower frequencies for higher channel resistance and gate oxide capacitance. Using a transmission line model, the relationship between measured parallel capacitance $C_{measure}$, conductance $G_{measure}$, and C_{gc} are expressed as a function of measurement frequency ω, as seen in Table 1. The corrected C_{gc} is evaluated as a function of ω by using a parameter τ, which can be determined by experimental $C_{measure}$ and $G_{measure}$. Bulk-Si n-MOSFETs on a (100) surface were used for measurements. A device with channel length (L)/width (W) of 200 μm/100 μm and gate SiO_2 thickness (T_{ox}) of 25 nm was used for room temperature measurements. Also, a device with L/W of 500 μm/160 μm and T_{ox} of 6.8 nm was used for measurements of temperature dependence.

【Results】 Fig. 3(a) shows the original and corrected N_S at a given V_g. The variation in N_S with different frequencies is significantly reduced after applying the correction. Fig. 3(b) depicts the estimated N_S at a given V_g as a function of frequency at various temperatures. At 4 K, the change in N_S is more substantial. However, the proposed method effectively corrects N_S even at this temperature. Fig. 5 illustrates the effective mobility determined from N_S with and without correction at 4 K at different frequencies. Without correction, the mobility for N_S below 10^{12} cm^{-2} is strongly dependent on the measurement frequency due to inaccuracies in estimated N_S. The correction method provides consistent and accurate effective mobility values until the measurement frequency of 20 kHz.

【Conclusion】 We proposed a method to correct the split C-V characteristics and have verified the effectiveness through experiments. Accuracy in effective mobility evaluation can be significantly improved for MOSFETs with high channel resistance by using this method.

【References】 [1] C. G. Sodini et al, Solid-State Electron., 25 (1982) 833 [2] M. Schmidt et al, Solid-State Electron., 53 (2009) 1246 [3] H. Oka et al, VLSI Tech. & Circ. (2022) [4] I. Nifa et al, Microelectron. Eng. 215 (2019) 110976 334 [5] P. Chow et al, IEEE TED, 33 (1986) 1299

【Acknowledgments】 This work was supported by a project, JPNP16007, commissioned by the New Energy and Industrial Technology Development Organization (NEDO), Japan.

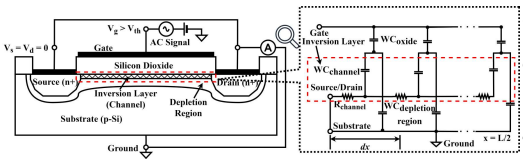


Fig. 1 Measurement setup of split C-V and equivalent circuit [5] of in-version-layer of a MOSFET

$$C_{measure} = C_{gc} \cdot \frac{1}{\sqrt{2}\tau\omega} \frac{\sinh\sqrt{2}\tau\omega + \sin\sqrt{2}\tau\omega}{\cos\sqrt{2}\tau\omega + \cosh\sqrt{2}\tau\omega}$$

$$\frac{G_{measure}}{\omega} = C_{gc} \cdot \frac{1}{\sqrt{2}\tau\omega} \frac{\sinh\sqrt{2}\tau\omega - \sin\sqrt{2}\tau\omega}{\cos\sqrt{2}\tau\omega + \cosh\sqrt{2}\tau\omega}$$

$$\frac{G_{measure}}{\omega C_{measure}} = \frac{\sinh\sqrt{2}\tau\omega - \sin\sqrt{2}\tau\omega}{\sinh\sqrt{2}\tau\omega + \sin\sqrt{2}\tau\omega}$$

Table 1 Relationship between measured $C_{measure}$, $G_{measure}$, and C_{gc} expressed by frequency ω

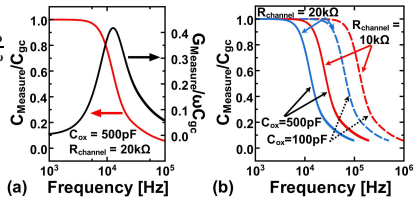


Fig. 2 Calculated measurable Cgc versus frequency

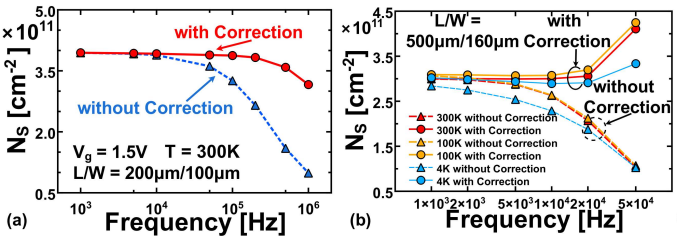


Fig. 3 Change in evaluated N_S at certain gate voltage with and without correction as a function of measurement frequency at different temperatures

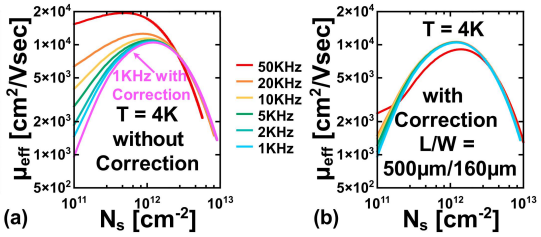


Fig. 4 Effective mobility calculated from split C-V with and without correction at 4 K

シリコン２次元超格子 MOS トランジスタの提案と有効質量増大の観測

Si two-dimensional-superlattice MOS transistor and effective-mass enhancement

静大院工 [1], 静大電研 [2] °(M2)杉本 裕人 [1], 赤堀 海洋 [1], 竹内 滉太 [1], 戸澤 佑亮 [1],
佐藤 弘明 [1,2], 堀 匡寛 [1,2], 小野 行徳 [1,2]
Shizuoka Univ., °Yuto Sugimoto, Hiro Akahori, Kota Takeuchi, Yuryo Tozawa,
Hiroaki Satoh, Masahiro Hori, Yukinori Ono
E-mail: sugimoto.yuto.19@shizuoka.ac.jp

【はじめに】２次元超格子構造は、２次元電子系のバンド変調（分散関係の変調）を誘起し、これにより電子相関が増強され、超伝導などの新奇物性を発現させることができる。このためグラフェンなどの２次元層状物質[1]や GaAs ヘテロ構造[2]において活発に研究がなされているが、Si を用いた検討はなされていない。ここでは、MOS（SiO_2/Si 界面）チャネル電子系の超伝導化の可能性を探索することを目的に、MOS 界面における強相関電子系の生成を目指して、「２次元超格子 MOS トランジスタ」とその作製プロセスを提案する。また、実際に試作し、低温（T = 0.3～3.0 K）において、強い電子相関の生成に必須となる、有効質量の顕著な増大を観測したので報告する。

【２次元超格子構造とその作製プロセス】２次元超格子構造は、ゲート熱酸化プロセスを２段階に分けることにより形成する。第一段の熱酸化により形成した酸化膜上に電子線描画を用いてレジストの２次元配列パターンを形成し、続いてこれをマスクに HF ウエットエッチングにより部分的に酸化膜を除去する（Fig. 1(a) top）。その後、追酸化を行い酸化膜厚に周期的なアンデュレーションを生じさせる（Fig. 1(a) bottom）。同構造においては、酸化膜厚の薄い領域に電界が集中し、ゲート電圧印加により２次元チャネルの電子密度に空間的な濃淡パターンが生じると期待される。実際の試作には SOI 基板（(100)面）を用い、80 nm ピッチの正方２次元周期構造を形成した（Fig. 1(b)の AFM 像参照）。第一段、第二段の熱酸化膜の膜厚は、ともに 15 nm に設定した。

【測定結果とその意義】ここでは、電界効果移動度（μ_{fe}）と有効質量（m^*）のチャネル電子密度（N_s）依存性を計測し、２次元パターンのない通常 MOS トランジスタとの比較を行った。μ_{fe} はゼロ磁場での伝導度計測により求め、一方、m^*と N_s は、Shubnikov-de Haas（SdH）振動を解析することにより求めた[1,3]。Fig. 1(b)は、T = 0.3 K におけるμ_{fe} の N_s 依存性を示している。２次元超格子構造を有する場合、低 N_s 側でμ_{fe} が低く抑えられており、特に矢印で示されているようにμ_{fe} の立ち上がりを与える N_s が増大している。これは、２次元電子系が金属絶縁体転移する際の臨界電子密度の増大を反映しているものと予想され、電子相関の影響が強く示唆される。Fig. 1(c)は、有効質量比 m^*/m_e（m_e は真空中での電子質量）の N_s 依存性を示している。２次元超格子構造を有する場合、低 N_s 側で m^*/m_e が急激にかつ大幅に増大している。有効質量の増大は、伝導帯電子のバンドの曲率の低下を意味しており、そのような場合、運動エネルギーに打ち勝って電子相関（電子間相互作用）が強く働くことが知られている[4]。ここでの有効質量増大の観測は、そのような強相関電子系をシリコン MOS トランジスタ上で実現できる可能性を示している。

本研究は、科研費（22K18294, 24H00312, 24K00942）の助成を受けて行われた。

[1] Y. Cao et al., *Nature* **556** (2018) 80.
[2] D. Q. Wang et al., *Nano Lett.* **23** (2023) 1705.
[3] F. F. Fang et al., *PRB* **16** (1977) 4446.
[4] A. A. Shashkin and S. V. Kravchenko, *Appl. Sci.* **9** (2019) 1169.

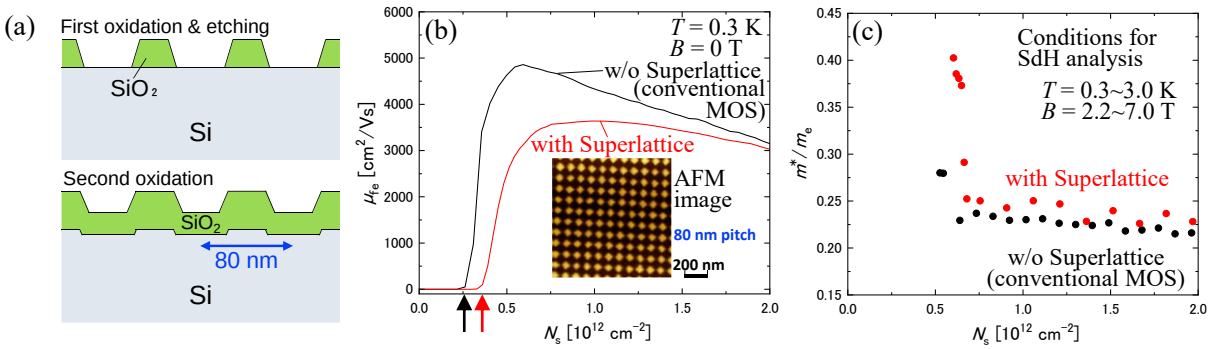


Fig.1: (a) Process for the two-dimensional superlattice. (b) Field-effect mobility μ_{fe} as a function of the electron density N_s. The arrows correspond to the threshold voltages, reflecting the critical densities of the metal-insulator transition. Inset shows the AFM image of the superlattice. (c) Effective mass ratio m^*/m_e as a function of N_s, derived using SdH oscillations.

© 2024年 応用物理学会

[110]方向に応力がかかった Si 量子井戸における谷分離の第一原理計算

First-principal calculations on valley splitting in Si quantum wells stressed in the [110] direction

NTT 物性研 [1], 島根大学 [2]　○林　稔晶 [1]，影島　博之 [2]，登坂　仁一郎 [1]，西口　克彦 [1]

NTT BRL [1], Shimane Univ. [2], ◦Toshiaki Hayashi[1], Hiroyuki Kageshima[2], Jinichiro Noborisaka[2], Katsuhiko Nishiguchi[2]

E-mail: tshk.hayashi@ntt.com

Si 閉じ込め構造における谷分離の研究は量子ビットのデコヒーレンスを誘発する原因の一つとして近年注目を浴びている[1,2]。通常、Si-MOS や量子ドットデバイスにおける谷分離の大きさは 1meV 以下と小さい。それに対し、我々のグループは SIMOX 基板の Si/埋め込み酸化膜界面において約 23meV と非常に大きい谷分離を発見してきた[3]。これは Si ベース量子ビットのデコヒーレンス抑制につながるかもしれない。しかし、Si/埋め込み酸化膜界面で何が起こっているかを実験的にアクセスすることが難しく、巨大谷分離の起源は長年謎のままだった。我々のデバイスは高温熱処理をおこなった特殊なものであるということを踏まえ、Si/埋め込み酸化膜界面に大きな歪が生じ、その結果として谷分離が増大するという仮説を立て、実験結果の再解釈を実施した[4]。

我々は実験と並行して Si 量子井戸の第一原理計算を実施している[5]。特に今回の発表では[110]方向に応力が印加された場合について議論する。プログラムは PHASE を用いている。計算モデルは (001)面に平行な Si スラブで、両面とも H 原子で終端してある。歪テンソルを用いて応力を歪に変換[6]し、[$\bar{1}$10]、[110]、[001]方向にとった基本格子ベクトルの長さを調節することによって歪んだ格子をモデル化した。図 1 は 21 原子層の Si スラブにおける谷分離を応力の関数としてプロットしている。低圧力では量子閉じ込めによる谷分離が支配的であるが、応力が強くなるにつれ谷分離はその強度に比例する。これは大川の kp 法による解析結果[7]を再現している。以上から、電界による閉じ込め効果[5]と歪の効果を組み合わせれば、我々が実験的に示した巨大谷分離を再現できる可能性を示せた。

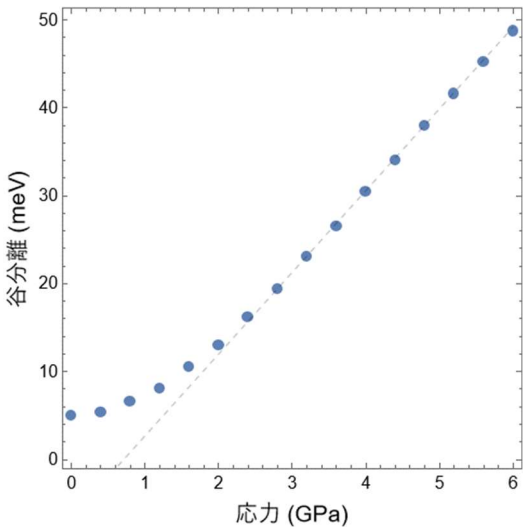


図 1. 谷分離の応力依存性

[1] M. Lodari, et al., Phys. Rev. Lett. 128, 176603 (2022).
[2] G. Wang, et al., Phys. Rev. B 105, 165308 (2022).
[3] K. Takashina, et al., Phys. Rev. Lett. 96, 236801 (2006).
[4] J. Noborisaka, et al., J. Appl. Phys. 135, 204302 (2024).
[5] 林、影島、登坂、西口、第 84 回応用物理学会　秋季学術講演会 21a-A304-7.
[6] V. Sverdlov, “Strain-Induced Effects in Advanced MOSFETs”, Springer-Verlag (2011).
[7] F. J. Ohkawa and W. Uemura, J. Phys. Soc. Jpn. 43, 917 (1977).

© 2024年 応用物理学会

MOS 界面の単一欠陥チャージポンピングによって可能となった両性準位における電子捕獲素過程の直接観測（12）
-欠陥構造緩和（Ⅲ）-

Direct observation of electron capture processes in amphoteric defect states achieved by charge pumping in individual defects at MOS interface (12) -Lattice relaxation (Ⅲ)-

静大電研　○土屋敏章，堀　匡寛，小野行徳
Shizuoka Univ., ○Toshiaki Tsuchiya, Masahiro Hori, Yukinori Ono
E-mail: tsuchiya.toshiaki@shizuoka.ac.jp

これまで我々はチャージポンピング（CP）法によってナノ MOS 素子内に存在する MOS 界面欠陥の単一性の判定法を確立し，単一欠陥からの CP 電流 I_{CPS} が 0～2fq（f:ゲートパルス周波数，q:電気素量）の様々な値を示すことを発見した[1]．これにより単一欠陥が 2 電子準位を有していることを実証し，すべての I_{CPS} 値を説明できる単一欠陥の 10 種のタイプ分類を行った（図 1）．また，I_{CPS}=fq 一定を大前提としている従来 CP 理論を本質的に改訂した[2]．さらに，単一界面欠陥の 2 電子準位の密度分布（DOS）を導出し，既報[3]の ESR による P_{b0} センターの DOS との一致性を示した．そして，各準位における伝導帯電子の捕獲時定数の実測[4]，および，各準位に捕獲された電子の価電子帯ホールとの再結合時定数の実測に成功し[5]，これらの値を考察してこの 2 電子準位がドナー型（D-like）とアクセプタ型（A-like）の両性を有することに整合することを実証した．以上の結果から，界面欠陥が P_{b0} センターであることを単一欠陥単位（原子スケール）ではじめて実証した．さらに，D-like および A-like 準位への連続的な伝導帯電子捕獲素過程の観測から，D-like 準位が電子捕獲した直後に欠陥構造緩和が起きていることの直接観測に成功した[6][7]．また，両準位に捕獲されている電子が価電子帯ホールと連続的に再結合する素過程の観測から，A-like 準位の捕獲電子が再結合した直後に欠陥構造緩和が起きていることの直接観測に成功した[8]．さらに，電子捕獲過程における欠陥構造緩和時定数と，再結合過程における欠陥構造緩和時定数との間に強い正の相関関係があることを発見し，電子捕獲・再結合過程における可逆的な欠陥構造緩和過程の存在を発見した．

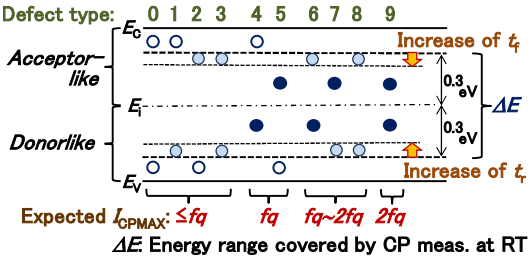


Fig. 1 Classification of single amphoteric Si/SiO₂ interface-defects [1, 2].

本件では欠陥構造緩和についてさらに考察する．図 2 に示すように構造緩和が D-like 準位の伝導帯電子捕獲直後，および，A-like 準位捕獲電子の再結合直後に起きていることから，伝導帯電子の捕獲時の放出エネルギー，および，A-like 準位捕獲電子の再結合時の放出エネルギーが構造緩和のエネルギー源と推測される．しかし，例えばタイプ 1 欠陥では，伝導帯電子の D-like 準位への捕獲過程は存在するためこの放出エネルギーで構造緩和が生じ得るが，A-like 準位の捕獲電子は伝導帯に放出されていて再結合過程に寄与しないため構造緩和が生じ得ないことになる．これは CP サイクルの繰返しによる可逆的な構造緩和と矛盾する．図 3 に示すように電子捕獲・放出（再結合に限らない）に伴い欠陥内の電荷バランスに変化が生じ，系安定化のために可逆的に構造緩和が生じると考える．欠陥のタイプによって検出できる遷移過程が異なることを考慮することですべての実験結果を矛盾なく説明することが可能である．

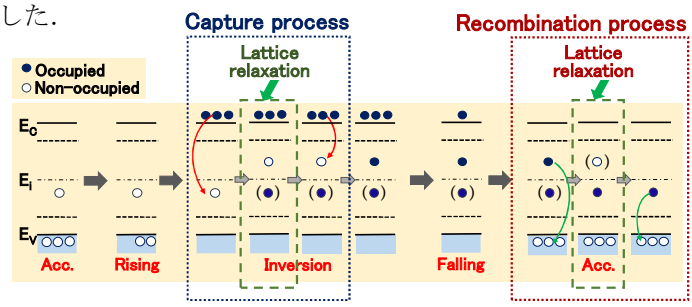


Fig. 2 Electron capture/emission processes occurring at a Type-9 defect during one cycle of the gate pulse using the schematic energy-band diagrams.

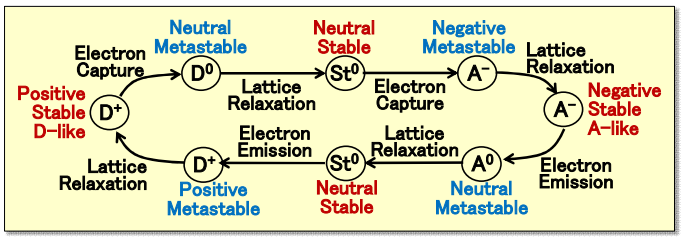


Fig. 3 State transitions including lattice relaxation associated with the capture and emission of electrons during one cycle of the gate pulse.

本研究の一部は科研費 No. 20H02203 の助成を受けて行われた．

参考文献

[1] T. Tsuchiya and Y. Ono, JJAP 54, 04DC01, 2015.
[2] T. Tsuchiya and P. M. Lenahan, JJAP 56, 031301, 2017.
[3] P. M. Lenahan et al., IEEE T-NS 48(6), p. 2131, Dec. 2001.
[4] 土屋 他，第 69 回春応物 23p-E307-18～20, 2022.
[5] 土屋 他，第 84 回秋応物 21a-A304-10～11, 2023.
[6] 土屋 他，第 83 回秋応物 22a-A102-1～2, 2022.
[7] 土屋 他，第 70 回春応物 16a-A403-9～10, 2023.
[8] 土屋 他，第 71 回春応物 23a-12J-5～6, 2024.

© 2024年 応用物理学会

MOS 界面の単一欠陥チャージポンピングによって可能となった両性準位における電子捕獲素過程の直接観測（13）
-準位深さの影響-

Direct observation of electron capture processes in amphoteric defect states achieved by charge pumping in individual defects at MOS interface (13) -Effects of level depth-

静大電研　○土屋敏章，堀　匡寛，小野行徳
Shizuoka Univ., ○Toshiaki Tsuchiya, Masahiro Hori, Yukinori Ono
E-mail: tsuchiya.toshiaki@shizuoka.ac.jp

これまで我々はチャージポンピング（CP）法によってナノ MOS 素子内に存在する MOS 界面欠陥の単一性の判定法を確立し，単一欠陥からの CP 電流 I_{CPS} が 0～2fq（f:ゲートパルス周波数，q:電気素量）の様々な値を示すことを発見した[1]．これにより単一欠陥が 2 電子準位を有していることを実証し，すべての I_{CPS} 値を説明できる単一欠陥の 10 種のタイプ分類を行った（図 1）．また，I_{CPS}=fq 一定を大前提としている従来 CP 理論を本質的に改訂した[2]．さらに，単一界面欠陥の 2 電子準位の密度分布（DOS）を導出し，既報[3]の ESR による P_{b0} センターの DOS との一致性を示した．そして，各準位における伝導帯電子の捕獲時定数の実測[4]，および，各準位に捕獲された電子の価電子帯ホールとの再結合時定数の実測に成功し[5]，これらの値の考察からこの 2 電子準位がドナー型（D-like）とアクセプタ型（A-like）の両性を有することに整合することを実証した．以上の結果から，界面欠陥が P_{b0} センターであることを単一欠陥単位（原子スケール）ではじめて実証した．さらに，D-like および A-like 準位への連続的な伝導帯電子捕獲素過程の観測から，D-like 準位が電子捕獲した直後に欠陥構造緩和が起きていることの直接観測に成功した[6][7]．また，両準位に捕獲されている電子が価電子帯ホールと連続的に再結合する素過程の観測から，A-like 準位の捕獲電子が再結合した直後に欠陥構造緩和が起きていることの直接観測に成功した[8]．さらに，電子捕獲過程における欠陥構造緩和時定数と，再結合過程における欠陥構造緩和時定数の間に強い正の相関関係を発見し，電子捕獲・再結合過程における可逆的な欠陥構造緩和過程の存在を発見した．

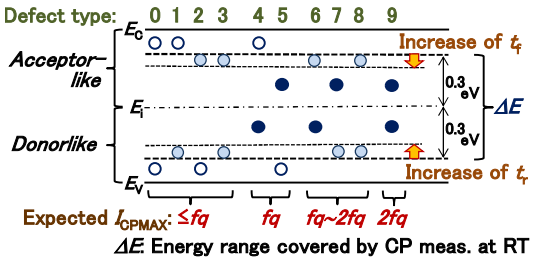


Fig. 1 Classification of single amphoteric Si/SiO$_2$ interface-defects [1, 2].

本件では単一欠陥の A-like や D-like 準位における電子捕獲・再結合時定数に及ぼす各準位深さの影響を検討する．τ_A (τ_D)を A-like (D-like)準位への伝導帯電子の捕獲時定数，τ_{RA} (τ_{RD})を A-like (D-like)準位に捕獲された電子の再結合時定数とする．τ_A については欠陥 Type2 と 5 の比較を行い，A-like 準位深さによる有意差は無かった．τ_D については Type1, 8 と Type6, 9 の比較を行った（図 2）．図から，バラツキはあるが最小二乗法による両者の回帰直線はほぼ同一であり，準位深さの影響は見られない．従って，両準位とも電子捕獲時定数は準位深さに依存しておらず，少なくともバンドギャップ中心 E_i±0.3 eV の範囲内では両準位の捕獲断面積は各々一定と言える．なお，図 2 の横軸 CP_V_{Top} は各単一欠陥位置における伝導帯電子濃度を統一するために欠陥毎に設定したゲートパルスの Top 電圧であり，τ_D が CP_V_{Top} に依存するのは，D-like 準位の捕獲断面積が大きいため，CP_V_{Top} が高い欠陥ほど実効的な電子濃度が高くなるためである[7]．一方，τ_{RA} については Type2,6, 8 と Type5, 7, 9 の比較を行った（図 3）．図から，深い準位（Type5, 7, 9）の方がτ_{RA} は大きい傾向にある．深い準位ほど捕獲電子に対する原子核の束縛力が強いためと考えられる．なお，τ_{RD} についてはデータ不十分なため省略する．

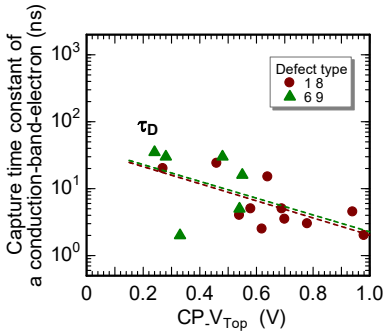


Fig. 2 Comparison of capture time constant of a conduction-band electron at a D-like state τ_D dependence upon CP_V_{Top} between Type 1&8 and 6&9 defects.

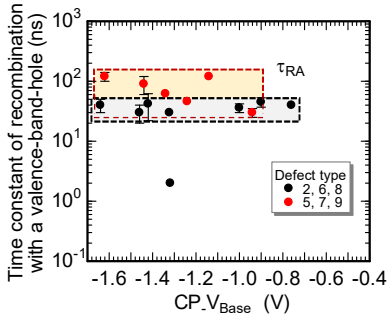


Fig. 3 Comparison of recombination time constant of an electron captured at an A-like state with a valence-band-hole τ_{RA} as a function of CP_V_{Base} between Type 2, 6, 8 and Type5, 7, 9 defects.

本研究の一部は科研費 No. 20H02203 の助成を受けて行われた．

参考文献

[1] T. Tsuchiya and Y. Ono, JJAP 54, 04DC01, 2015.
[2] T. Tsuchiya and P. M. Lenahan, JJAP 56, 031301, 2017.
[3] P. M. Lenahan et al., IEEE T-NS 48(6), p. 2131, Dec. 2001.
[4] 土屋 他, 第 69 回春応物 23p-E307-18～20, 2022.
[5] 土屋 他, 第 84 回秋応物 21a-A304-10～11, 2023.
[6] 土屋 他, 第 83 回秋応物 22a-A102-1～2, 2022.
[7] 土屋 他, 第 70 回春応物 16a-A403-9～10, 2023.
[8] 土屋 他, 第 71 回春応物 23a-12J-5～6, 2024.

© 2024年 応用物理学会

等電子トラップ TFET に内在する二重量子ドットの大規模特性評価

Large-scale Characterization of Double Quantum Dots in Isoelectronic-Trap-Assisted Tunnel Field-Effect Transistors

産総研 °(P)千足 勇介，稲葉 工，八木下 淳史，加藤 真，石川 智弘，
岡 博史, 加藤 公彦，浅井 栄大，小倉 実，中山 隆史，飯塚 将太，森 貴洋
National Institute of Advanced Industrial Science and Technology (AIST)
°Yusuke Chiashi, Takumi Inaba, Atsushi Yagishita, Makoto Kato, Tomohiro Ishikawa, Hiroshi Oka, Kimihiko Kato, Hidehiro Asai, Minoru Ogura, Takashi Nakayama, Shota Iizuka, and Takahiro Mori
E-mail: yusuke.chiashi@aist.go.jp

量子コンピュータやセンサをはじめとする量子技術の応用へ向けて、シリコンスピン量子ビットに注目が集まっている。我々はこれまで、等電子トラップ援用トンネルトランジスタ(IET-TFET)において、10 K までの高温量子ビット動作に成功してきた[1]。IET-TFET の量子ビット動作には、電子を閉じ込める量子ドットが直列に結合した二重量子ドット構造が利用される。一方の量子ドットは IET によるものだと考えられるが、もう一方は偶発的に存在した未知の量子ドットであり由来は明らかとなっていない。

今回、偶発的に存在した量子ドットの正体を探るべく、4K において 354 個の IET-TFET 素子を評価し、二重量子ドット特性の統計を評価した結果を報告する。実験では 300 mm 極低温オートプローバーを用いて、300 mm ウエハ上に形成した IET-TFET を評価した。

Fig. 1(a)は IET-TFET から観測された典型的な微分コンダクタンスの電圧マッピングである。量子ドットを介した伝導により、様々な特徴線が生じている様子が確認される。特徴線のうち、左下 $V_s < 0$ V に観測されるギザギザ線は、二重量子ドットにおいて片方のドットに連続して電子が入る様子を反映しており[2]、以前報告された量子ビットとして動作する素子においても観測されている。ギザギザ線は二重量子ドットの捕獲可能電子数に差がある場合に生じることがわかっている。一般に、IET のような単一不純物や欠陥が量子ドットとなる場合、捕獲可能な電子数は２個となる。一方で不純物がクラスター化した場合には、その大きさに応じて捕獲可能電子数が増加することが知られている[3]。よって観測されたギザギザ線は、IET 量子ドットと、クラスター化した何らかの不純物もしくは欠陥のつくる量子ドットに由来することが示唆される。次に、統計的傾向を探るため、取得した電圧マッピング全体について Fig. 1(b)のようにギザギザ線を方向で分類した。Fig. 1(c)は電圧マッピングを分類したヒストグラムである。ギザギザ線は測定した全デバイスのうち 63 %で観測され、出現するギザギザ線の方向が Direction 1 と 3 に偏っていることが明らかとなった。等価回路モデルを用いたシミュレーション[4]によってこれを解析すると、この特徴を与える二重量子ドットは弱結合であり、またソース側に IET 量子ドットが、ドレイン側にクラスター由来と考えられる量子ドットが存在する構造になっていることがわかった。弱結合状態は、量子ビットの動作に必要なスピンブロッケイド現象の発現条件でもあり、本素子が量子ビット動作するという事実とも矛盾がない。更なる高温動作の実現には、クラスター由来量子ドットを消失させ、別途制御された量子ドットを形成する必要がある。

【謝辞】本研究は文部科学省光・量子飛躍フラッグシッププログラム(Q-LEAP) JPMXS0118069228 の一環として実施された。本研究におけるデバイスは産総研スーパークリーンルーム(SCR)において試作された。
【参考文献】[1]K. Ono *et.al.*, *Sci. Rep.* **9**, 469 (2019). [2] T. Ota *et.al.*, *Phys. Rev. Lett.* **93**, 066801(2004). [3] D. Moraru *et.al.*, *Sci. Rep.* **4**, 6219 (2014). [4] A. V. Danilov *et.al.*, *Phys. Rev. B* **65**, 125312 (2002).

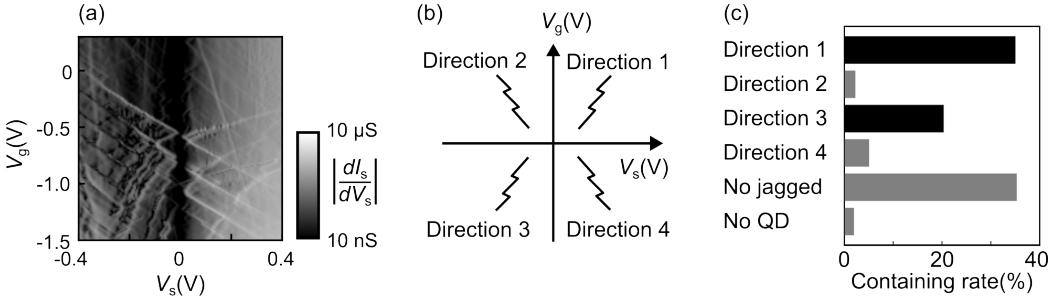


Figure 1 (a)The differential conductance of the source current. (b)The classification of jagged pattern. (c) The histogram of the jagged patterns on 354 TFETs. No QD means the samples without coulomb blockade feature.

P 型 Si 二重量子ドットにおける磁場に依存した量子キャパシタンスの評価

Evaluation of magnetic field-dependent quantum capacitance in a p-type Si double quantum dot

東工大 [1], 日立研開 [2] ◦和田 陸久 [1], 溝口 来成 [1], 近藤 知宏 [1], 土屋 龍太 [2], 峰 利之 [2], 久本 大 [2], 水野 弘之 [2], 米田 淳 [1], 小寺 哲夫 [1]

Tokyo Tech [1], R&D Group, Hitachi Ltd. [2], ◦Riku Wada[1], Raisei Mizokuchi[1], Chihiro Kondo[1], Ryuta Tsuchiya[2], Toshiyuki Mine[2], Digh Hisamoto[2], Hiroyuki Mizuno[2], Jun Yoneda[1], Tetsuo Kodera[1]

E-mail: wada.r.ad@m.titech.ac.jp

シリコンスピン量子ビットのスピン状態読出しにおいて重要な役割を果たすパウリスピン閉塞(PSB)という現象では、様々な要因が PSB を解除し、読み出しの妨げになるといった問題がある。PSB を解除する要因の一つに、スピン軌道相互作用(SOC)がある[1]。SOC は p 型のデバイスで強く働き、集積化に適した高速なスピン操作に利用されてきた。本研究では、PSB における SOC の影響の理解に向け、p 型シリコン二重量子ドットのドット間電荷遷移(ICT)の磁場依存性を調べた。

実験では、ゲートセンシングという手法を用いて[2]、いくつかの ICT における量子キャパシタンスの磁場依存性を調べた(Fig.1)。ゲートセンシングでは、ゲート電極に高周波を印加し、その反射波の位相変化からキャパシタンス変化を読み取る。ドット間のトンネル結合が十分に大きく、遷移が可能なスピン状態間のトンネリングであれば量子キャパシタンスが生じる。今回の結果では、それぞれの ICT で異なる磁場依存性が見えていることから、各 ICT でのスピン状態や SOC の大きさが異なっていることが示唆される。Fig. 1(a)では、磁場によって、量子キャパシタンスを持つ準位から持たない準位へ基底準位の遷移が現れており、典型的な PSB が生じていると考えられる。一方で、Fig. 1(b)の ICT では、0.3 T 以上では磁場に比例して ICT の位置が変わっている。このような振る舞いは、異なる磁場依存性をもつ準位間が強い SOC 等によって結合することで量子キャパシタンスが生じている場合に観測される。講演では、上記の結果をより詳細に解析し、PSB 解除に対する SOC の影響について議論する予定である。

本研究は JST Moonshot R&D Grant Number JPMJMS2065, MEXT Quantum Leap Flagship Program (MEXT QLEAP) Grant No. JPMXS0118069228, JST さきがけ(JPMJPR21BA), 科研費(JP23H05455, JP23H01790, JP23K17327)の支援を受けて遂行された。

[1] T. Lundberg, et al., *npj Quantum Inf.* **10**, 28 (2024). [2] J.I. Colless, et al., *Phys. Rev. Lett.* **110**, 046805 (2013).

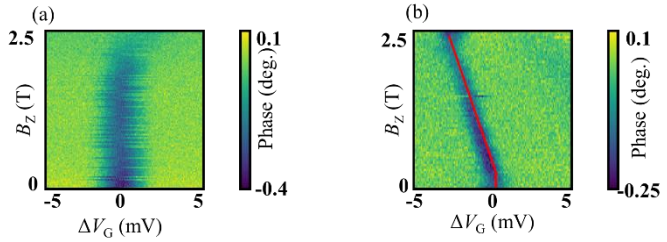


Fig.1 Magnetic field dependences of ICTs.

シリコン PN 単電荷ポンプによる電子正孔比較

Comparison of electron and hole by a silicon PN single-charge pump

NTT 物性基礎研　○山端　元音、藤原　聡
NTT Basic Research Labs., ○Gento Yamahata and Akira Fujiwara
E-mail: gento.yamahata@ntt.com

クロック制御により電荷を一つずつ転送する単電荷ポンプは正確な電流生成が可能であるため電流標準への応用が期待される [1]。応用へ向け、歩留まり良く高精度動作が可能な素子設計条件を見出す必要がある [2]。一つの指針として、有効質量の重い正孔を使うことにより転送精度向上が期待され、これまで極低温での特性評価により単正孔ポンプの優れた特性を観測してきた [3,4]。一方、より正確にデバイス物理を理解するためには単一の素子での電子と正孔の比較が望ましい。今回、P 型と N 型の電極を持つ単電荷ポンプを利用し電子と正孔の特性を比較したので報告する。

素子の概略図を図 1(a) に示す。直径 10 nm オーダーのシリコン細線上に 3 つの微細ゲート電極 (GN, GC, GP) を持つ。細線及び細線と繋がる幅広部分はもう 1 層のゲート電極 (UG) に覆われている。UG の外側領域をそれぞれ N 型 (リン)、P 型 (ボロン) に不純物ドープし、N 型ソース、P 型ドレインを形成した。動作原理を図 1(b)、(c) のポテンシャル図で説明する。まず、ドレイン側 (b) もしくはソース側 (c) での再結合電流を十分大きくするためドレイン側にバイアス電圧 $V_b \sim 1$ V を印加した。UG の電圧により細線領域に存在する電荷を選択できる。単電荷転送では入口障壁の形状が重要となるため [4]、今回は GC に高周波電圧 (周波数 f) を印加しどちらの極性でも入口障壁となるようにして電子正孔比較を行った。この際、単電子（単正孔）の場合は GP（GN）に負 (正) の DC 電圧を印加し出口側障壁を形成した。これにより単電子もしくは単正孔を転送し正確な電流 $I_P = ef$ (e：電荷素量) を得ることができる。図 1(d) に電流電圧特性の一例を示す。単電子転送と単正孔転送を単一の素子で観測することに成功した。更に、温度依存性と周波数依存性を調べた結果、数百 MHz 程度までは正孔が優位な特性を持つことが分かった。単一の素子を利用した電子と正孔の初めての比較であり、今後の素子設計における重要な知見である。

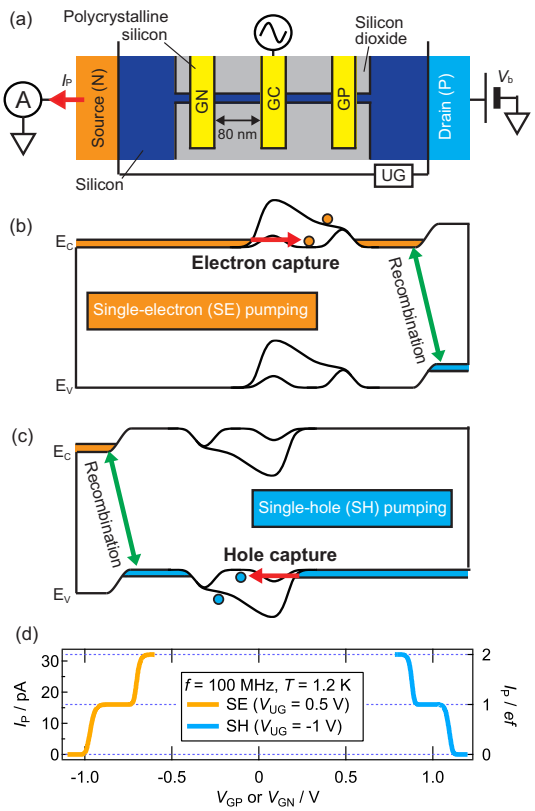


Fig. 1: (a) Schematic of the device with a part of the electrical connections. (b, c) Schematic potential diagrams for single-electron (SE) and single-hole (SH) pumping. (d) I_P and I_P/ef as a function of V_{GP} (SE pumping) or V_{GN} (SH pumping).

参考文献: [1] G. Yamahata *et al.*, Appl. Phys. Lett. **109**, 013101 (2016). [2] A. Fujiwara *et al.*, ECS Trans. **112**, 119 (2023). [3] G. Yamahata *et al.*, Appl. Phys. Lett. **106**, 023112 (2015). [4] G. Yamahata *et al.*, J. Appl. Phys. **135**, 014502 (2024).

© 2024年 応用物理学会

13 半導体 | 一般セッション(口頭講演)：13.6 ナノ構造・量子現象・ナノ量子デバイス

[16p-B2-1~15] 13.6 ナノ構造・量子現象・ナノ量子デバイス

[16p-B2-1]
超短光パルスペア励起下におけるプラズモンからのテラヘルツ波放射
〇長谷川 尊之[1]、小島 磨[2] (1.大阪工大工、2.千葉工大工)

[16p-B2-2]
多重積層InAs/GaAs量子ドットを用いた光伝導アンテナの様々な励起光波長における光電流の励起光強度依存性
〇海津 利行[1]、小島 磨[2]、南 康夫[3]、北田 貴弘[4]、原田 幸弘[5]、喜多 隆[5]、和田 修[6] (1.京大ナノハブ、2.千葉工大工、3.日大生産工、4.松江高専、5.神戸大院工、6.神戸大)

[16p-B2-3]
GaAs/AlAs多重量子井戸におけるポンプ-プローブ信号に対するレーザースペクトルフィルタリングの効果
〇小島 磨[1]、西田 伊吹[1]、大勝 敦氏[1] (1.千葉工大工)

[16p-B2-4]
AlAs/GaAs超格子中の電流−電圧特性と散乱時間の温度依存特性
〇前田 凪[1]、朱 翔宇[1]、ベスコン マーク[2]、長井 奈緒美[1]、黒山 和幸[1]、平川 一彦[1] (1.東大生研・ナノ量子機構、2.マルセイユ大IN2MP)

[16p-B2-5]
Lattice temperature dependence of electron cooling in semiconductor double barrier heterostructures
〇Xiangyu Zhu[1], Alec Cochard[1,4], Gueric Etesse[2], Marc Bescond[1,2], Gerald Bescond[3], Naomi Nagai[1], Kazuhiko Hirakawa[1] (1.IIS/LIMMS, UTokyo, 2.IM2NP-CNRS, AMU, 3.Ecole Normale Superieure, 4.ESPCI Paris)

[16p-B2-6]
GaNAs量子井戸とトンネル結合したInAs量子ドットにおける発光円偏光度の磁場による振動特性
〇坂野 駿介[1]、樋浦 諭志[1]、高山 純一[1]、村山 明宏[1] (1.北大院情報科学)

[16p-B2-7]
InP/InAs 単一ナノワイヤ発光の光励起条件と熱影響
〇田原 光[1]、松本 拓海[1]、章 国強[2]、俵 毅彦[1] (1.日本大学、2.NTT 物性研)

[16p-B2-8]
歪印加デバイスを用いたQD発光エネルギー制御
〇田端 孝成[1]、鍜治 怜奈[1]、小田島 聡[1]、足立 智[1] (1.北大院工)

[16p-B2-9]
ホット $^{+}$イオン注入法による Si 量子ドットの発光強度向上効果
〇米津 和正[1]、水野 智久[1] (1.神奈川大学理)

[16p-B2-10]
熱酸化膜中へのGeホットイオン注入によるGeO_2量子ドットの形成

〇(M2)坂 颯人[1]、水野 智久[1] (1.神奈川大学理)

[16p-B2-11]

反応促進溶媒を添加した有機溶媒中での多孔質Siの低温加熱破砕による
無極性溶媒分散性マルチカラーSi量子ドットコロイドの作製

〇(M2)小西 智貴[1]、中村 俊博[1]、越田 信義[2] (1.法政大院理工、2.農工大院共生)

[16p-B2-12]

単一ペロブスカイト量子ドットに対する電気伝導特性評価

〇高橋 央輔[1]、大塚 朋廣[2,3]、柴田 憲治[1] (1.東北工大、2.東北大通研、3.理研CEMS)

[16p-B2-13]

単一PbS量子ドットトランジスタへの電気二重層ゲートの適用

〇滝口 智稀[1]、高橋 央輔[1]、大塚 朋廣[2,3]、柴田 憲治[1] (1.東北工大、2.東大通研、3.理研CEMS)

[16p-B2-14]

SOI上InGaAsナノワイヤ縦型ゲートオールアラウンドトランジスタの作製

〇谷山 慶太[1]、竹田 有輝[1]、東 佑樹[1]、鄭 子ヨウ[1]、本久 順一[1]、冨岡 克広[1] (1.北海道大)

[16p-B2-15]

単電子回路によるプリム法表現のための信号伝搬速度制御を用いた重み表現回路

〇石井 峻平[1]、大矢 剛嗣[1,2] (1.横国大院理工、2.横国大 IMS)

超短光パルスペア励起下におけるプラズモンからのテラヘルツ波放射

Terahertz wave radiation from plasmon excited by ultrashort optical pulse pair

大阪工大工 [1], 千葉工大工 [2], 長谷川 尊之 [1], 小島 磨 [2]

Osaka Inst. Technol.[1], Chiba Inst. Technol.[2], T. Hasegawa[1] and O. Kojima[2]

E-mail: takayuki.hasegawa@oit.ac.jp

超短光パルス照射による半導体結晶からのテラヘルツ波放射は、電子-格子ダイナミクスの観測や、結晶表面近傍の物性評価に用いられる。プラズモンから放射されるテラヘルツ波は、結晶中のキャリア密度や電場を反映することから、物性評価の新たな指標となることが期待される。我々はこれまで、超短光パルスのペアを用いて、パルス時間間隔により内部電場強度を制御した実験からプラズモンのテラヘルツ波放射を多面的に調査してきた。今回は、各光パルスで発生するテラヘルツ波の重畳を低減させた実験系において[1]、プラズモンのテラヘルツ波放射を内部電場強度および光励起キャリア密度の両面から調査した。

試料は *n* 型 GaAs 層（3 μm）の上に厚み 200 nm の非ドープ GaAs 層をエピタキシャル成長させた層構造である。非ドープ層は約 28 kV/cm の電場を内蔵する。テラヘルツ波時間波形は、モード同期 Ti:sapphire レーザー（~80 fs）を光源とし、電気光学サンプリング法を用いて計測した。試料照射前の励起光パルスを分割して光パルスペアを生成し、その一方の経路長を変化させることでパルス時間間隔を制御した。測定は、室温、乾燥空気下で行った。

図 1 中の黒点線および赤線は、それぞれ単パルスを照射した条件と光パルスペアを同時刻（時間間隔 0 ps）で照射した条件でのテラヘルツ波時間波形を示す。両者の時間波形は明確に異なる。一方、光パルスペアの片方を 2.0 ps 後に照射した条件（図 1 中の青線）では、単パルス励起条件での波形と一致する。つまり、赤線の時間波形は、光パルスペアの同時刻照射に起因する。図 2 は、各時間波形のフーリエ変換パワースペクトルを同色で示したものである。単パルス励起条件のものと比べて、同時刻照射におけるスペクトルのピーク周波数が高い。本試料におけるテラヘルツ波放射機構の一つはプラズモンである。このことから、同時刻照射において観測された放射周波数の増加はプラズマ周波数のキャリア密度依存性を反映していると考えられる。つまり、各光パルスで励起されたキャリアがコヒーレントにプラズモン振動に関与していることを示唆している。

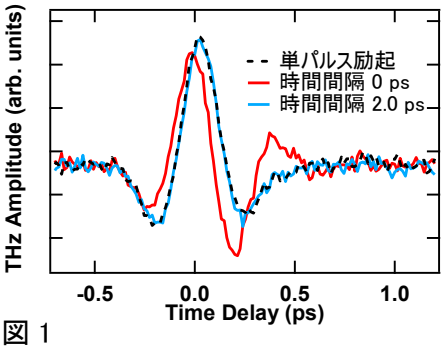


図 1

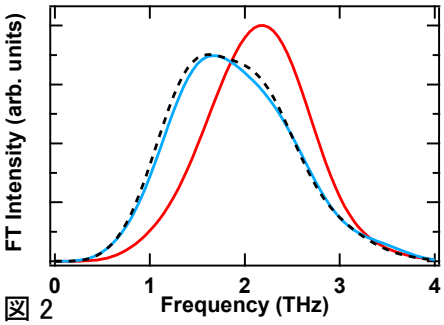


図 2

[1] T. Hasegawa and O. Kojima, Appl. Phys. Express **17**, 051006 (2024).

多重積層 InAs/GaAs 量子ドットを用いた光伝導アンテナの様々な励起光波長における光電流の励起光強度依存性

Excitation Power Dependence of Photocurrent of Photoconductive Antenna with Multiple-stacked InAs/GaAs Quantum Dots for Various Excitation Wavelengths

京大ナノハブ [1], 千葉工大工 [2], 日大生産工 [3], 松江高専 [4], 神戸大院工 [5], 神戸大 [6] ○海津 利行 [1], 小島 磨 [2], 南 康夫 [3], 北田 貴弘 [4], 原田 幸弘 [5], 喜多 隆 [5], 和田 修 [6]

Kyoto Univ.[1], Chiba Inst. Tech.[2], Nihon Univ.[3], NIT of Matsue[4], Grad. Sch. of Eng., Kobe Univ.[5], Kobe Univ[6]., ○T. Kaizu[1], O. Kojima[2], Y. Minami[3], T. Kitada[4], Y. Harada[5], T. Kita[5], O. Wada[6]

E-mail: kaizu.toshiyuki.8h@kyoto-u.ac.jp

テラヘルツ波は、通信やセンシング、イメージングへの応用に向けた研究が活発に進められており、1.5 μm 光通信波長帯で動作するテラヘルツ波発生・検出デバイスとして、GaAs マトリックス中の InAs 量子ドット(QDs)を用いた光伝導アンテナ(QD-PCA)が注目されている。高出力・高検出感度のテラヘルツデバイスを実現するためには、低い暗電流と高い光電流、短いキャリア寿命を満足する QD-PCA の開発が不可欠であり、メサ加工による暗電流の低減[1]と QD 基底準位の共鳴励起波長 1.18 μm における光電流特性[2]についてこれまで報告した。本研究では、1.0～1.5 μm の様々な励起光波長における多重積層 InAs/GaAs QD-PCA の光電流特性の励起光強度依存性を評価し、1.5 μm 光通信波長帯での QD-PCA の動作について議論する。

試料は、分子線エピタキシを用いてアンドープ GaAs(001)基板上に作製した。基板温度 480 °C で InAs QDs(2.0 分子層)と GaAs スペーサ層(50 nm)を 20 層積層した後、基板温度を 250 °C に下げて低温 GaAs 層(30 nm)を成長した。試料表面に、Ti/Au 電極蒸着とフォトリソグラフィによって、アンテナギャップ 6 μm の光伝導アンテナを形成し、分光した supercontinuum パルス光を励起光源として、QD 基底準位(GS: 1180 nm)、第一励起準位(1st ES: 1100 nm)、GaAs バンドギャップ中のミッドギャップ準位(MGS: 1460 nm)の共鳴励起波長における光電流の励起光強度依存性を室温で測定した。バイアス 4 V 印加時の光電流の励起光強度依存性を図 1 に示す。すべての励起光波長において、光電流は励起光強度 P に対して sublinear の依存性(P^{α}: α=0.67～0.70)を示し、QD 内ならびに GaAs 障壁層でのキャリアの再結合の影響が示唆される。特に QD 励起では、量子閉じ込め効果による高いキャリアの再結合ロスが生じるのに対し、MGS 励起ではアンテナギャップ間の高電界によって GaAs 障壁層のキャリアが低い再結合ロスで電極から取り出される。さらに、MGS はパルス光励起前に電子によって占有されており、高強度の光パルスによって多数のキャリアが励起される。その結果、強励起光強度における MGS 励起の光電流が QD 励起の光電流と比較して高くなっている。本研究は JSPS 科研費 JP19K04532、JP22K04218 の助成を受けたものである。

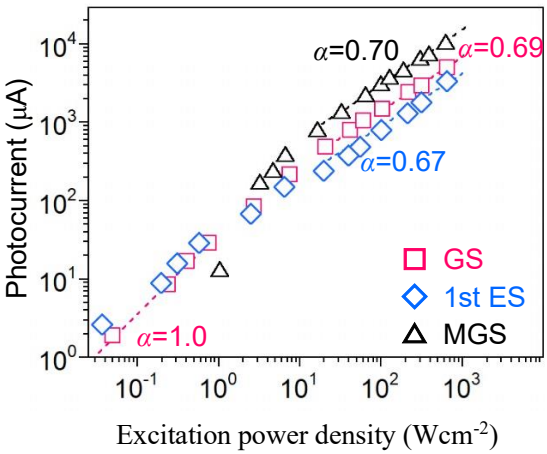


Fig.1 Characteristics of photocurrent as a function of the excitation power density for different excitation wavelengths obtained under pulse excitation condition.

[1] 海津他, 第 67 回応用物理学会春季学術講演会, 12a-D511-7 (2020).
[2] 海津他, 第 69 回応用物理学会春季学術講演会, 23p-D316-8 (2022).

GaAs/AlAs 多重量子井戸におけるポンプ-プローブ信号に対するレーザースペクトルフィルタリングの効果

Filtering effects of laser spectrum on pump-probe signals in a GaAs/AlAs multiple quantum well

千葉工大工　○小島　磨, 西田　伊吹、大勝　敦氏

Chiba Inst. Tech. ○O. Kojima, I. Nishida, T. Okatsu

E-mail: osamu.kojima@p.chibakoudai.jp

超高速光デバイスの実現に向けて、半導体中の励起子の過渡応答を制御することが重要である。これまでに我々は、励起子量ビートを利用した超高速光スイッチに関する研究を行ってきた[1-3]。照射するパルスレーザーのスペクトル波形に応じて励起子の過渡応答が変化することがあるので[4, 5]、これを利用して過渡応答を制御できれば、光スイッチの実現に近づくと考えられる。そこで今回我々は、GaAs/AlAs 多重量子井戸を試料に用いて、レーザーのスペクトルを制御することで励起子過渡応答を制御することを目的に研究を行ったので、その結果について報告する。

試料には GaAsP バッファ層上に作製した GaAs/AlAs 多重量子井戸[3]を用いた。この試料では室温において量子ビートに起因する超高速応答が観測されるが、励起光エネルギーに応じて反射型ポンプ-プローブ信号の正負が反転する[3]。図 1(a)に発光(PL)スペクトルとパルスレーザーのスペクトルを示す。破線で示すスペクトルに対し、光学フィルターを使って 1.530 eV 近傍の光を選択した。図 1(b)にフィルターを使っていない場合とポンプ光側およびプローブ光側にフィルターを入れた場合のポンプ-プローブ信号を示す。なお、プローブ光側にフィルターを入れた信号に対してのみ信号強度にオフセットを加えている。フィルターを使っていない場合とポンプ光側にフィルターを入れた結果はほとんど同じであり、これは重い正孔励起子の寄与によると考えられる。それに対して、プローブ光側にフィルターを入れると、信号が反転する。この場合は軽い正孔励起子の寄与が大きいと考えられるが、このような変化を利用することで、過渡応答を使った信号形状の制御が可能になると考えている。

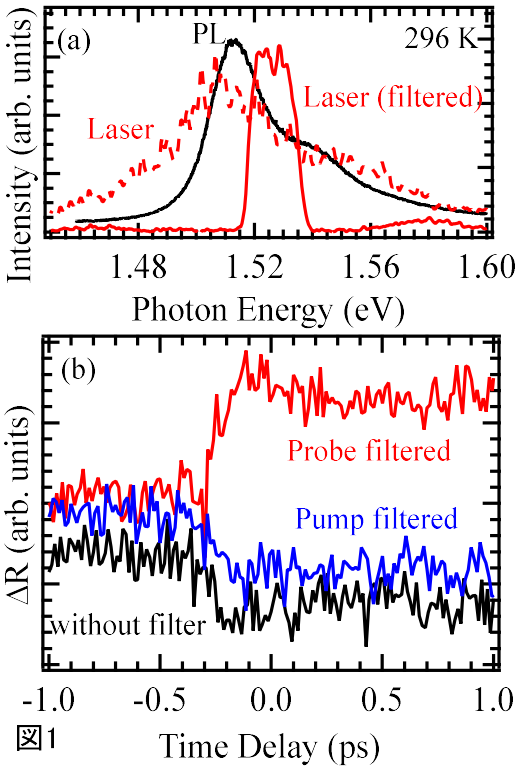


図1

[1] O. Kojima et al., J. Phys. D: Appl. Phys. **47** 105101 (2014).

[2] O. Kojima and T. Kita. Appl. Phys. Express **9**, 062801 (2016).

[3] O. Kojima et al., Appl. Phys. Express **16**, 062009 (2023).

[4] S. Ohta et al., J. Appl. Phys. **111**, 023505 (2012).

[5] O. Kojima et al., Sci. Rep. **7**, 41496 (2017).

© 2024年 応用物理学会

AlAs/GaAs 超格子中の電流−電圧特性と散乱時間の温度依存特性

I-V characteristics and scattering times temperature dependences in AlAs/GaAs superlattices

[1] 東大生研・ナノ量子機構、[2] マルセイユ大 IN2MP ○[1] 前田　凪、[1] 朱　翔宇、[2] ベスコン・マーク、[1] 長井　奈緒美、[1] 黒山　和幸、[1] 平川　一彦
[1]IIS・INQIE, Univ. of Tokyo, [2]IN2MP, Aix-Marseille Univ.
○[1]Nagi Maeda, [1]Xiangyu Zhu, [2]Marc Bescond, [1]Naomi Nagai, [1]Kazuyuki Kuroyama, [1]Kazuhiko Hirakawa
E-mail: nagi@iis.u-tokyo.ac.jp

近年、テラヘルツ(THz)ギャップを克服すべく、半導体 THz 発振素子の研究が盛んに行われている。THz 帯域へのアプローチの一つとして、Esaki と Tsu により半導体超格子中の電子のブロッホ振動を利用した発振器が提案されて５０年以上経過している[1]。この間、ブロッホ振動の観測やブロッホ利得の確認[2]などが行われたが、実際に発振素子を作製するために半導体超格子にドーピングを行うと、ブロッホ利得が発生する負性微分コンダクタンス(NDC)領域で高電界ドメインが発生するため超格子内部の印加電圧が不均一になるという問題が発生し、ブロッホ発振器は未だに実現されていない。これまでの我々の研究では、$Al_{0.4}Ga_{0.6}As$/GaAs 半導体超格子の電子散乱時間が大きな温度依存性を示すことを確認している。本研究では、新たな試料として、ドープした AlAs/GaAs 半導体超格子の電流−電圧（I-V）特性から、量子井戸幅が界面ラフネス散乱に与える影響を解析し、電子デバイスとしてブロッホ発振素子を実現するために半導体超格子の電気伝導特性をより精密に調査した。

本研究で用いた試料は、分子線エピタキシー法により 3.05 nm GaAs と 1.90 nm AlAs 層を交互に 100 層積層した半導体超格子構造であり、Si 1×10^{16} cm^{-3} のドーピングを行った。Kronig-Penny モデルから求められた基底ミニバンドの幅は 66 meV、第 1 励起ミニバンドとの間のミニギャップは 509 meV である。この試料で 28×28 μm^2 のメサ構造を形成し、室温で I-V 特性の測定を行った。ここで、Ignatov らにより導かれた半導体超格子の電流を与える理論式[3]は、

$$I = enA\frac{\Delta d}{4\hbar}\frac{I_1(\Delta/2k_BT)}{I_0(\Delta/2k_BT)}\frac{E_s/E_c}{1+(E_s/E_c)^2}\sqrt{\delta} \quad (1)$$

$$\delta = \frac{\nu_\epsilon}{\nu_\epsilon+\nu_{el}} \quad (2) \quad , \quad E_c = \frac{\hbar\nu_\epsilon}{ed\sqrt{\delta}} \quad (3)$$

であり、ν_ϵ, ν_{el} はそれぞれエネルギー緩和と弾性散乱のレート、Iは電流値、eは電荷素量、Δは基底ミニバンド幅、δはエネルギー緩和と運動量緩和の比率、E_cは NDC 発生の臨界電界、nは電子密度、Aは試料面積、k_Bはボルツマン定数、Tは温度、I_0, I_1はそれぞれ 0 次と 1 次の変形ベッセル関数、E_sは印加電界である。Ignatov の理論式では、エネルギー緩和と運動量緩和のレートが定義されているため、実験結果にフィッティングを行うことで、エネルギー緩和時間と運動量緩和時間を得ることができる。作製した試料の室温での I-V 特性に対し理論式をフィッティングした結果を Fig 1.に示す。この際、エネルギー緩和時間は 0.08 ps、運動量緩和時間は 0.02 ps となった。また、実験結果では小さな NDC が確認されたが、電圧印加時の超格子の加熱が原因として考えられる。本講演では、半導体超格子に特有のミニバンドによる伝導特性、素子の加熱が I-V 特性に与える影響、散乱時間の示す温度依存性の定性的な説明を行う予定である。

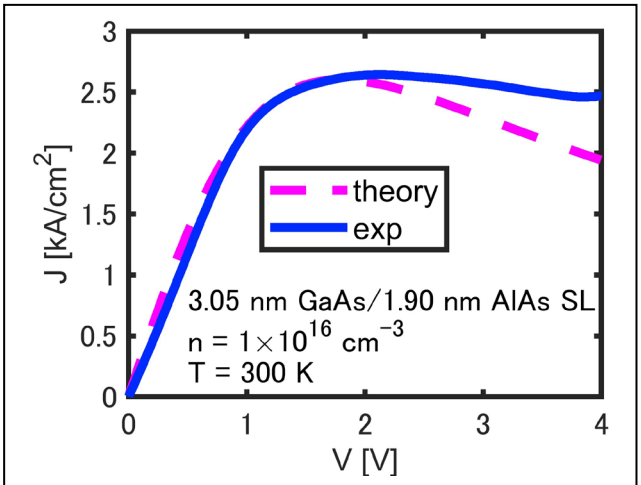


Fig. 1. Fitting by Eq. (1) to an I-V curve measured at 300 K below the NDC threshold voltage.

【参考文献】[1] L. Esaki and R. Tsu, IBM J. of Res. and Develop. 14, 61 (1970). [2] N. Sekine and K. Hirakawa, Phys. Rev. Lett. 94 057408 (2005). [3] J. Grenzer, et al., Semicond. Sci. and Technol. 13, 733 (1998).

© 2024年 応用物理学会

半導体二重障壁ヘテロ構造中の電子冷却の格子温度依存性

Lattice temperature dependence of electron cooling in semiconductor double barrier heterostructures

東大生研・ナノ量子機構[1]、IM2NP-CNRS[2]、エコールノルマルスーペリア[3], ESPCI Paris[4]
○朱　翔宇[1]、アレック・コチャード[1,4]、ゲリック・エテッセ[2]、ベスコン・マーク[1,2]、バスタード・ジェラルド[3]、長井奈緒美[1]、平川一彦[1]
IIS/LIMMS, Univ. of Tokyo[1], IM2NP-CNRS, AMU[2], Ecole Normale Superieure[3], ESPCI Paris[4]
○Xiangyu Zhu[1], Alec Cochard[1,4], Gueric Etesse[2], Marc Bescond[1,2], Gerald Bastard[3], Naomi Nagai[1], Kazuhiko Hirakawa[1]
E-mail: zxy@iis.u-tokyo.ac.jp

Managing rapid increase in heat power densities associated with device miniaturization is a major technological challenge. Development of new efficient cooling technologies is therefore urgently required for future progress in electronics. Solid-state cooling devices can be one answer, owing to their high efficiency and compatibility for integration. To achieve efficient cooling, we have been working on asymmetric double barrier heterostructures (hereafter, ADB structure) to utilize thermionic cooling effect [1,2].

In the ADB structures, cold electrons are first injected into the quantum well (QW) by resonant tunneling through the thin barrier (emitter barrier). Subsequently, hot electrons are removed by thermionic emission over the second thick barrier (collector barrier). This sequential two-step conduction process is essential for the cooling effect. In order to optimize the cooling effect, it is necessary to understand the sequential electron transport and the electron temperature in the QW region. To quantitatively understand the conduction process, we have investigated the electron cooling behavior in structure ADB-A (see Fig. 1(a)) by measuring photoluminescence (PL) spectra at various bias voltages. Furthermore, we have developed a theory based on the sequential two-step current and the energy rate equation [2]. As shown in Fig. 1(b), reasonable agreement is achieved, which supports the validity of our analytical model.

Furthermore, in order to optimize the performance of ADB structures, we have investigated the structure-dependence of electron cooling. Using an energy balance equation, we discussed how the structural parameters affect the cooling behavior. The electron cooling is approximately expressed as:

$$\Delta T_e \propto (V_b - E_1) \times e^{\frac{-(V_b - E_1)}{k_B T}} \quad (1)$$

Here, V_b is the height of collector barrier and E_1 is the energy of the quantized state in the quantum well, as shown in Fig. 1(a). The order of electron cooling is determined mainly by the energy difference $V_b - E_1$. Structures with various collector barrier heights were designed in order to modify $V_b - E_1$ and temperature-dependent PL measurements were performed. As shown in Fig. 1(c), the experimental results reasonably fit with the prediction by our simplified model and better cooling is obtained at higher temperatures.

References [1] A. Yangui, M. Bescond, T. Yan, N. Nagai, K. Hirakawa, Nature Commun. **10,** 4504 (2019).
[2] X. Zhu, M. Bescond, G. Bastard, K. Hirakawa, et al., Phys. Rev. Appl. 16, 064017 (2021).

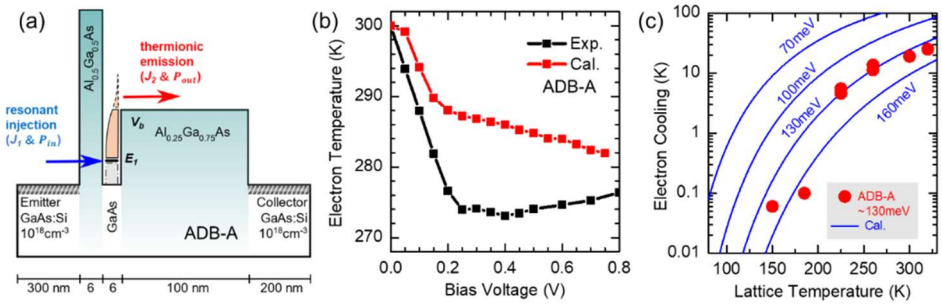


Fig. 1 (a) Band diagram of the ADB structure, (b) electron temperature as a function of applied voltage, (c), maximum electron cooling as a function of lattice temperature.

GaNAs 量子井戸とトンネル結合した InAs 量子ドットにおける発光円偏光度の磁場による振動特性

Oscillation characteristics of circular polarization degree of photoluminescence from InAs quantum dots tunnel-coupled with a GaNAs quantum well with magnetic field

北大院情報科学　○坂野駿介，樋浦諭志、高山純一、村山明宏

Faculty of Information Science and Technology, Hokkaido Univ.

S. Sakano, S. Hiura, J. Takayama and A. Murayama

E-mail: sakano.shunsuke.k0@elms.hokudai.ac.jp

近年、電子スピン偏極状態に加えて電子スピン位相状態の光電変換を活用した情報伝送が注目されている。磁場中では電子スピンが磁場方向を中心に歳差運動するため、周期変動する電子スピン極性を発光円偏光度の時間振動に転写できる。先行研究において、膜厚 20 nm の GaNAs 量子井戸(QW)と InAs 量子ドット(QD)のトンネル結合構造を含む試料に横磁場を印加することで、GaNAs の伝導電子スピンの歳差運動を反映した QD の円偏光度振動が室温で観測されている [1]。これは GaNAs の局在準位による伝導電子スピンのフィルタリング効果を利用しているが、局在電子スピンと伝導電子スピンの歳差運動の周波数は異なる。そこで、膜厚や励起スピン密度により局在準位の占有度を変化させることで、円偏光度の振動周波数を制御できると考えられる。本研究では、GaNAs 膜厚のみを変えた試料を作製し、発光円偏光度の時間振動特性を評価した。

図 1 に本研究の試料構造を示す。GaAs(100)基板上にプラズマ支援分子線エピタキシー法を用いて GaNAs QW の膜厚が 5 nm と 20 nm の 2 種類の QW-QD トンネル結合構造試料を作製した。測定には試料面内方向に磁場を印加しながらの時間分解円偏光 PL を用いた。図 2 に磁場を 0.75 T とした際の両試料における室温での円偏光度(CPD)の時間変化とそのフィッティング結果を示す。ここで、CPD は円偏光 PL 強度$I_{\sigma^\pm}$を用いて CPD = $(I_{\sigma^+} - I_{\sigma^-})/(I_{\sigma^+} + I_{\sigma^-})$と定義し、フィッティング関数は先行研究[2]を参照した。この結果から、膜厚の違いにより CPD の振動周波数 ω が変化していることがわかる。これは、膜厚が薄くなると局在準位の占有度が増加し、発光に寄与する電子スピンの中で局在準位を介さない伝導電子スピンが支配的になっていることを示唆している。

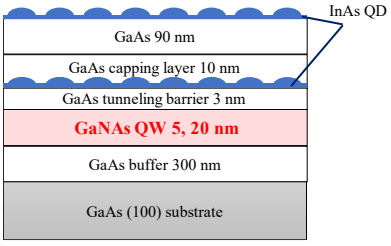


Fig. 1 Schematic illustration of the sample structure.

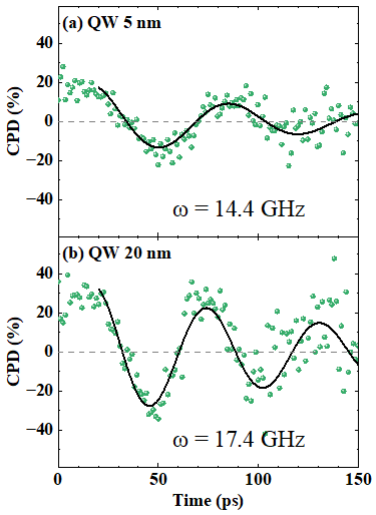


Fig. 2 CPD time profiles at a magnetic field of 0.75 T for samples with GaNAs QW thicknesses of (a) 5 nm and (b) 20 nm.

References:
[1] Y. Huang et al., Nat. Photonics **15**, 475 (2021)
[2] I. A. Akimov et al., Phys. Rev. B **80**, 081203(R) (2009).

InP/InAs 単一ナノワイヤ発光の光励起条件と熱影響

Optical excitation conditions and thermal effects on single InP/InAs nanowire luminescence

日本大 [1], NTT 物性研 [2] ○(M2)田原 光 [1], 松本 拓海 [1], Guoqiang Zhang [2], 俵 毅彦 [1]

Nihon Univ. [1], NTT Basic Research Lab.[2],

°Hikari Tahara[1], Takumi Matsumoto [1], Guoqiang Zhang [2], Takehiko Tawara[1]

E-mail: tawara.takehiko@nihon-u.ac.jp

近年、集積回路技術と光通信技術を融合させ、大容量/高速/低損失/安全な通信を可能とする Si フォトニクスが期待されている。この実現には回路の制御光源に相当する微小レーザが不可欠であるが、Si 基板との大きな格子不整合や通信波長帯における動作が困難である等の課題が未だ残されている。半導体ナノワイヤ（NW）は微小な接地面（≈1 μm^2）で Si 基板上に直接形成でき、上記課題及び集積デバイスにおける要請を多数満たす。しかし、この微小な接地面を持つ微細な半導体ナノ構造では、光励起やキャリア注入時に発生する熱の影響を受けやすく、レーザ特性の劣化を招く。このため熱のマネージメントは高性能な NW レーザの実現に欠かせない問題である。本研究では NW 励起光の励起条件（連続およびパルス励起）の発光特性に及ぼす影響を調べるとともに、それらの試料温度依存性について調べた。

実験では自己触媒 VLS 法を用いて作製された単一 InP/InAs NW [1]を用い、室温にて顕微 PL 測定を行った。Fig.1 は NW 発光の(a)ピーク強度及び(b)ピーク波長の光励起条件（CW および quasi-pulsed）依存性を示す。quasi-pulsed 励起は、CW 励起光を f = 3 kHz , duty 比 50 % でチョッピングする事で疑似的にパルス化させ、約 170 μs の光励起及び放熱時間を設けている。Fig.1(b)より温度上昇によるバンドギャップの大きなレッドシフト[2] が CW 励起において見られたが、パルス化によってそれは大幅に縮小し、顕著な放熱の効果が見られた。更に光励起による発熱の影響を明らかにするために、試料温度依存性を調べた（Fig.2）。試料温度 4 K では、Fig.1 に比べ 1/10 程度の弱い励起強度でも同程度の発光強度が得られ（Fig.2(a)）、さらにレッドシフトが消えブルーシフトが観測された（Fig.2(b)）。これは励起による発熱の影響が大幅に抑制されており量子井戸本来の発光特性が現れたものと考えられる。以上より単一 InP/InAs NW ではその構造の微細さに起因した光励起による発熱の影響が顕著に現れることを明らかにした。これにより今後励起パルス光の最適化および NW からの放熱方法の改善により単一 NW レーザの室温動作を目指す。

謝辞：本研究は JSAP 科研費 JP 21H01834 の助成を受けたものです。

[1] G. Zhang *et al.* Sci. Adv. **5** (2019) eaet8896. [2] M. Takiguchi *et al.*, OSA Cont. **4** (2021) 1838.

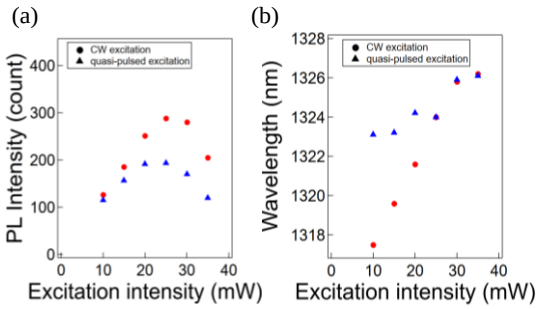


Fig.1 Dependence of (a) emission intensity and (b) wavelength shift on excitation intensity under CW excitation and quasi-pulsed excitation.

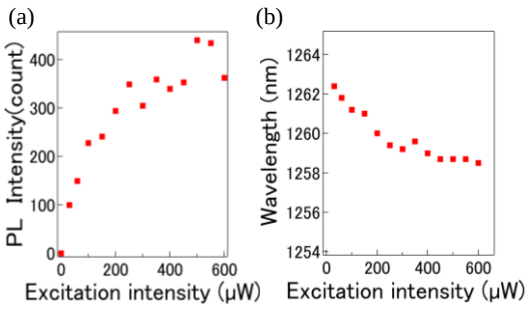


Fig.2 Dependence of (a) emission intensity and (b) wavelength shift on excitation intensity in low-temperature (4 K) measurements.

歪印加デバイスを用いた QD 発光エネルギー制御

Control of QD emission energy by using a piezo-based strain tuning device

北大院工　〇田端 孝成，鍜治 怜奈，小田島 聡，足立 智
Grad. Sch. Eng., Hokkaido Univ., 〇K. Tabata, R. Kaji, S. Odashima, and S. Adachi
E-mail: tabata.kosei.a3@elms.hokudai.ac.jp

【はじめに】半導体量子ドット (QD) は，単一光子源や量子ビットとして応用されており，その高性能化・実用化が精力的に研究されている．QD の発光特性およびスピン物性を結晶成長後に制御する手法として，外部電場[1]や外部応力[2]の利用が報告されてきた．本研究では，圧電結晶である $Pb(Mg_{1/3}Nb_{2/3})O_3$-$PbTiO_3$ (PMN-PT) 単結晶を用いた歪み印加デバイスを作製し，QD 発光エネルギーの制御を試みたので報告する．

【実験方法と結果】GaAs(111)A 基板上に液滴成長した GaAs/$Al_{0.3}Ga_{0.7}As$ QD 試料に，ナノピラー加工 (直径：530 nm，高さ：3.1 μm) を施した後，表面に電極 (Au: 100 nm, Cr: 3 nm) と Al_2O_3 (70 nm) を成膜した PMN-PT(001)単結晶 (PT: 31%，厚さ: 0.25 mm) 上に散布，更に Al_2O_3 (120 nm)を成膜して PMN-PT との密着性を高めた．Al_2O_3 は ALD 法で作製した．圧電素子に電圧を印加すると，面内に二軸性の歪みが発生する．作製したデバイス[図 1(a)]をクライオスタット内で 7 K まで冷却し，He-Ne レーザー (633 nm) 励起による単一 QD 発光スペクトル[図 1(b)上]をトリプル分光器と Si-CCD で検出した．図 1(b)下は，QD 発光スペクトルの印加電圧依存性である．$V < 0$ ($V > 0$)で面内に圧縮 (引張) 歪みが生じ，発光線が高 (低) エネルギー側にシフトする様子が観られた．今回の電圧範囲 ($-150 \leq 0 \leq +400$ V) では，~8 meV の発光エネルギーシフトが実現された．

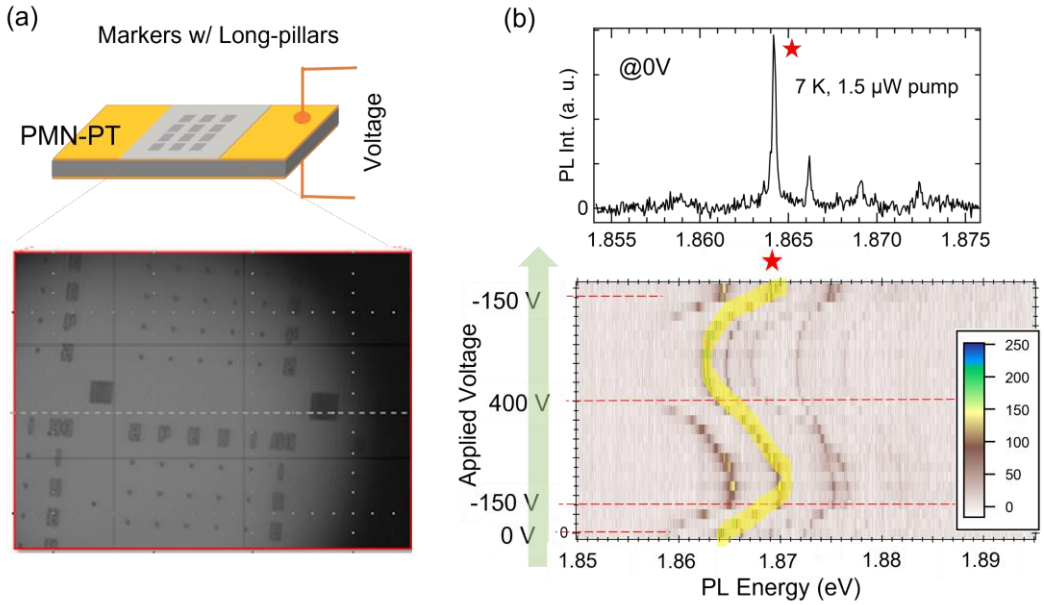


Fig. 1(a) Overview of the strain-applied device and image of the positioning markers. (b) PL spectrum of the target QD (top) and PL energy shift due to external strain (bottom).

【謝辞】JSPS 科研費 20K03812, 23K03951, 24K08189 と ARIM JPMXP1224HK0030, JPMXP1223HK0048 の助成を受けた．また QD 試料を提供いただいた NIMS の黒田博士と間野博士に感謝いたします．

[1] A. Bennett *et al*., Nat. Phys. **6**, 947 (2010), [2] A. Rastelli *et al*., phys. stat. solidi B **249**, 687 (2012).

© 2024年 応用物理学会

ホットN^+イオン注入法による Si 量子ドットの発光強度向上効果

Enhancement of PL Emission from Si Quantum Dots Using Hot N^+ Ion Implantation

神奈川大理，米津和正，水野智久

Kanagawa Univ., K. Yonetsu and T. Mizuno

1. 序論

我々は,Si 酸化膜中へのホットイオン注入法により, IV族半導体量子ドット(IV-QD)が形成され,photoluminescence(PL)発光することを報告してきた[1].また, ホットイオン注入後のポストアニールのガス雰囲気において,N_2のほうが Ar より PL 強度が大きいことが判明している.これは N 原子による Si ダングリングボンドの低減化による［2］.

本稿では Si-QD へのホット N^+イオン注入法による Si ダングリングボンの低減化による PL 強度の向上効果を検討したので報告する.

2. 実験

試料 N^+注入 Si-QD の作製法を示す. (100) Bulk Si 基板に表面酸化膜を 1000℃のドライ酸化法により 180 nm 形成した. ホット Si^+イオン注入を行い酸化膜中に Si 量子ドットを形成した.Si 量子ドットの直径の平均値は約 2.5 nm であり,密度は約 2.2×10^{12} cm^{-2} である.Si ドーズ量(D_{Si}) は 3×10^{16} cm^{-2},注入温度(T_S)は 600℃である. 次に N^+ドーズ量(D_N) $5\times10^{15}cm^{-2}$,注入温度(T_N) 800℃でホット N^+イオン注入を行った.深さ 82nm 付近で N 原子ピーク濃度が約 $6\times10^{20}cm^{-3}$ であった.その後, 結晶性回復のため Ar アニールを行った. アニール温度(T_{Ar})は 1000℃でアニール時間(t_{Ar})は 0~150 min の範囲で行った. 比較としてホット Si^+イオン後 Ar アニールのみを行った試料 Ar,N_2アニールのみを行った試料 N_2 を作製した. 表 1 に本研究において作製した３つの試料条件示す.

表 1 ３つの試料作製条件.

サンプル名	D_N (cm^{-2})	T_{Ar} (℃)	T_N (℃)
N^+	5×10^{15}	1000	
Ar	0		
N_2	0		1000

3. 結果及び討論

図 1 に試料 N^+の Ar アニール処理 210 min 行ったサンプルの HAXPES(硬 X 線光電子分光法)測定結果を示す. N-Si 及び Si-O-N 結合が確認でき,注入した N 原子 90 %が Si と結合していることが判明した

図 2 に PL スペクトルのホット N^+イオン注入効果を示す.ホット N^+イオン注入により, 試料 N^+は試料 Ar より PL スペクトル発光強度が増大することが判明した.

結論として,ホット N^+イオン注入をすることにより,Si 量子ドットの点欠陥を N 原子が終端し, PL 励起電子寿命が増すことで,PL 強度が増大すると思われる.

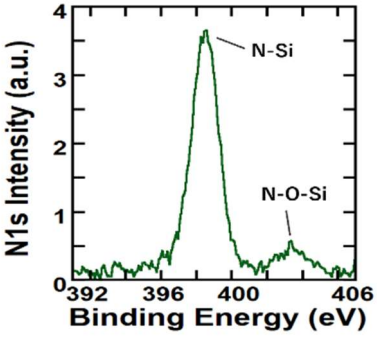


図 1.試料 N^+のでの HAXPES 分析による N1s スペクトル. t_{Ar}=210 min

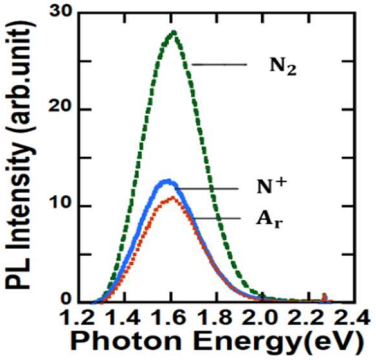


図 2. PL スペクトルの試料構造比較.実線, 破線,点線はそれぞれ試料 N^+,N_2,Ar である. t_N=150 min

文献

[1] T. Mizuno et al., JAP 133, 145703 (2023).
[2] K. Murakawa et al., in Proc. International Symposium on Semiconductor Manufacturing (IEEE, Tokyo, 2022), p. YD-20.; T. Mizuno et al., JAP 135, 024301 (2024).

© 2024年 応用物理学会

熱酸化膜中への Ge ホットイオン注入による GeO_2 量子ドットの形成

GeO_2 Quantum Dots
Fabricated by Hot-Ge-Ion Implantation into SiO_2 Layer

神奈川大理，坂颯人，水野智久
Kanagawa Univ., H. Ban and T. Mizuno

1. 序論

我々は,Si 酸化膜中へのホットイオン注入法により，Ⅳ族半導体量子ドット(IV-QD)が形成され,近赤外から近紫外までの PL 発光することを報告してきた[1]. しかし，より短波長の UV 領域の PL 発光は未達である.

また CVD 法により作成した GeO_2-SiO_2 ガラス薄膜が二つの UV ピークを持つことが報告されていた[2].

今回, Si 酸化膜中へ Ge をホットイオン注入法により GeO_2 が形成され UV 領域ダブルピークを持つ PL 発光を確認したため報告する.

2. 実験

図 1 のように 180nm Si 酸化膜中への Ge ホットイオン注入を行った. Ge^+のドーズ量(D_{Ge})は 1×10^{15} から $6\times10^{15}cm^{-2}$ まで変化させ, イオン注入温度は 600℃で行った. Ge の結合状態を 硬 X 線光電子分光法(HAXPES)により測定して, PL スペクトルは，キセノンランプを用いて室温にて測定した.

3. 結果及び討論

HAADF-STEM 画像から平均ドットサイズ 2.1nm のクラスターが密度 $9.6\times10^{11}cm^{-2}$ で確認された.また XPS 結果により Si 酸化膜中の Ge 濃度は深さ 84nm に極大値を示し 0.5at% であった.

図 2 は, HAXPES で測定した Ge2p スペクトルである. Si 酸化膜中の GeO_2 が確認できた. これは SiO_2 中の O とホットイオン注入した Ge が結合したと考えられ，ホットイオン注入による GeO_2 量子ドット形成に成功した.

図 3 は励起光エネルギー5.1eV で測定した PL スペクトルである. PL ピークエネルギーは, 4.4eV, および 3.2eV にて極大値を示している. PL ピーク強度は Ge ドーズ量依存性があることがわかった.

結論として, Si 酸化膜中へ Ge をホットイオン注入することにより GeO_2 が形成され, これにより高エネルギー紫外域のイオン注入による PL 発光を実現した.

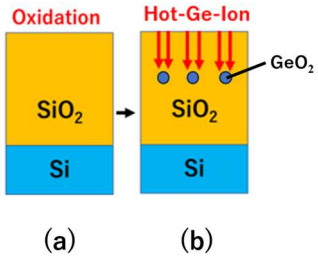


図 1. GeO_2 の作成法.
(a)熱酸化法により 180nmSi 酸化膜を作成
(b)Ge ホットイオン注入

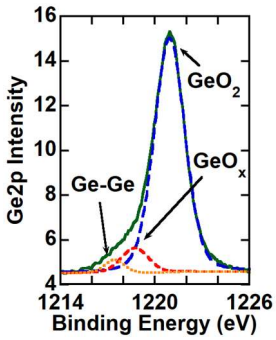


図 2. HAXPES による Ge2p スペクトル.
$D_{Ge}=4\times10^{15}cm^{-2}$

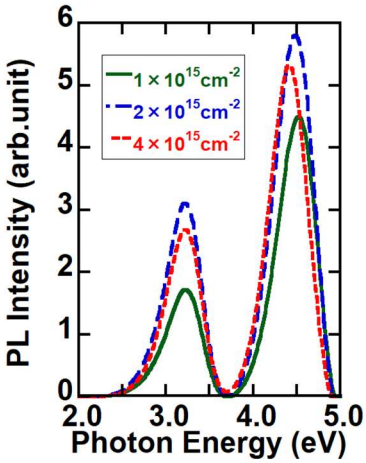


図 3. GeO_2 量子ドットの PL スペクトル.
励起光エネルギーは 5.1eV にて測定した
$D_{Ge}=1\times10^{15}cm^{-2}$, $2\times10^{15}cm^{-2}$, $4\times10^{15}cm^{-2}$

文献

[1] T.Mizuno et al., JAP **133**, 145703 (2023).
[2] A Sakoh et al, Optics Express **11**, 2679 (2003).

反応促進溶媒を添加した有機溶媒中での多孔質 Si の低温加熱破砕による無極性溶媒分散性マルチカラーSi 量子ドットコロイドの作製

Multi-color luminescent Si quantum dot colloids prepared by low-temperature thermal cracking of porous Si in organic solvent with reaction accelerating solvent

法政大院理工[1]，東京農工大[2] ○(M2)小西 智貴[1]，越田 信義[1,2]，中村 俊博[1]
Hosei Univ[1], Tokyo Univ. of A&T[2], Tomoki Konishi[1], Nobuyoshi Koshida[1,2], Toshihiro Nakamura[1]
E-mail: nakamura@hosei.ac.jp

1. はじめに

近年，発光ダイオードの発展が著しく照明やディスプレイなどに応用されている．特に有機半導体ベースの発光ダイオードにおいて，半導体量子ドットを発光層として用いた量子ドット発光ダイオードの開発も盛んに進められている[1]．半導体量子ドットには通常 Cd や Pb などを構成元素とした半導体が用いられるが，当研究グループでは地殻中に豊富に存在し環境に優しい Si 量子ドットに着目し，独自の有機溶媒中での多孔質 Si の低温加熱破砕法による Si 量子ドットの効率的生成プロセスの開発を進めており[2]、極性溶媒への分散可能なマルチカラーシリコン量子ドットの作製[3]にも成功している。今回，無極性溶媒にも分散可能なマルチカラーSi 量子ドットの生成を行うため，反応促進溶媒を添加した無極性有機溶媒中での新規低温加熱生成プロセスを提案する．

2. 実験方法

純窒素で満たしたグローブボックス中の低酸素環境下で，陽極化成法により形成した多孔質 Si を HF 水溶液と無極性溶媒である 1 デセンの混合液中で低温加熱粉砕を行い，Si 量子ドットを作製する．このとき，無極性溶媒への微量な溶解性を有する N,N-Dimethylacetamide（DMA）を反応促進溶媒として溶媒に添加した．

3. 実験結果

Fig. 1 に、本プロセスにおいて低温加熱時間の異なる条件で作製した無極性溶媒中分散 Si 量子ドット試料の発光スペクトルを，挿入図に紫外光励起下でのそれぞれの発光の様子を示す．分散時の低温加熱時間、温度、酸素濃度などを適切に制御することで発光色が赤色から緑色に変化し、発光スペクトルのピーク波長は 680nm から 530nm まで変化することが確認できた．このピークシフトは，無極性溶媒への溶解性を有する DMA により無極性終端を持つ Si 量子ドットが HF 水溶液中に混和し，Si ドットのエッチングが促進し，ドットサイズが減少したことに起因していると考えられる．本講演では作製した Si 量子ドットの詳細な発光特性の評価やカラー制御範囲の確認を行い，より詳細なサイズ変化メカニズムについても議論する予定である．

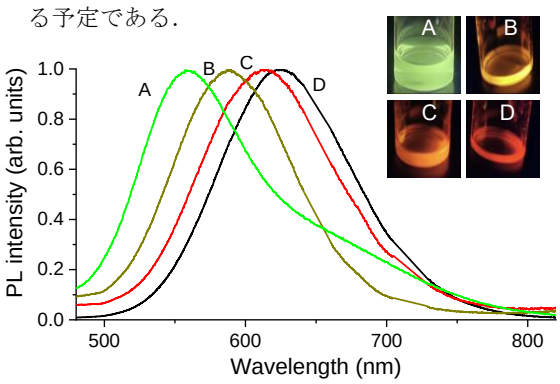


Fig. 1. PL spectra of multi-color Si quantum dot colloids dispersed in non-polar solvents at different thermal treatment times with reaction accelerating solvent. Inset shows the pictures of Si dot samples under UV excitation.

参考文献： 1) T. Meng et al., *Nature Photon.* 16, 297 (2022). 2) T. Nakamura et al., *APL Mater.* 8, 081105 (2020). 3) T. Higuchi et al. *J. Appl. Phys.* 135, 094303 (2024).

© 2024年 応用物理学会

単一ペロブスカイト量子ドットに対する電気伝導特性評価

Electron transport through single perovskite quantum dots proved by nanogap metal leads

東北工大 [1], 東北大通研 [2], 理研 CEMS[3]
°高橋央輔 [1], 大塚朋廣 [2,3], 柴田憲治 [1]
Tohoku Inst. Tech.[1], RIEC, Tohoku Univ.[2], and RIKEN CEMS[3]
°O. Takahashi[1], T. Otsuka[2,3], and K. Shibata[1]
E-mail: kshibata@tohtech.ac.jp

コロイド量子ドット（QD）は直径数 nm の小さな半導体結晶であり、ドットサイズや組成によってバンドギャップを調節することができるため、近年、太陽電池や LED などへの応用が注目されている。の光電デバイスへの応用が期待されている。特にペロブスカイト QD は,その量子効率の高さや発光半値幅の狭さなど,優れた光学特性から光電デバイスへの応用が期待されている。しかしながら,ペロブスカイト QD のキャリア伝導については多数の QD の薄膜に対しての評価がなされている一方で,単一 QD に対しての評価はほぼ行われていない。そこで本発表では、前回の発表[1]に引き続き、単一ペロブスカイト QD の伝導特性について報告する。

素子作製は、まず金ナノワイヤを通電断線することにより、数 nm 程度のギャップを有するナノギャップ金属電極を形成した。その上から市販のオレイン酸キャップされたペロブスカイト（$CsPb(Cl/Br)_3$）QD 溶液を滴下することで、ナノギャップ電極近傍に QD を分散させた。図 1 にペロブスカイト QD を分散させた素子の電子顕微鏡（SEM）画像と素子構造に関する模式図を示す。図 2 に本素子において 4 K の低温環境で観察されたクーロン安定化ダイヤグラムを示す。明瞭なクーロンブロッケードと、そのゲート変調により QD 中の電子数 N が変化する様子が観測された。当日は、低温での電気伝導特性を中心に QD サイズ依存性の結果などについて報告する。

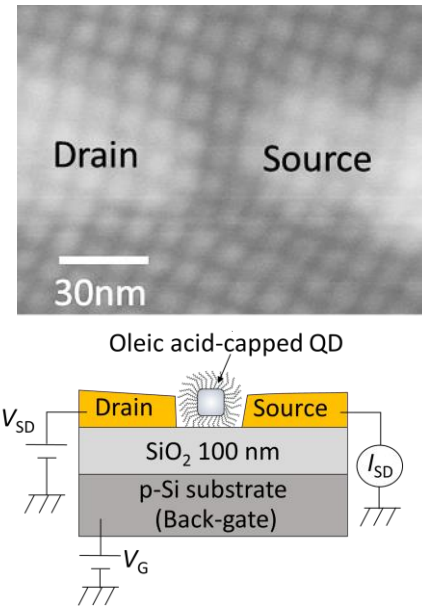


図 1: 単一ペロブスカイト QD を活性層とするトランジスタ素子の SEM 写真（上図）。下図は素子の断面模式図と測定系。

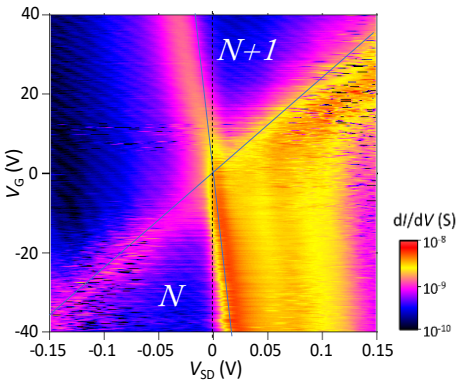


図 2: $T = 4$ K で観測された素子のクーロン安定化ダイヤグラム

[1] 高橋央輔ら、応用物理学会春季術講演会 (2024) 24p-P15-1

単一 PbS 量子ドットトランジスタへの電気二重層ゲートの適用

Electric-double-layer transistors with single colloidal PbS quantum dots

東北工大 [1], 東北大通研 [2], 理研 CEMS[3]
°滝口智稀 [1], 高橋央輔 [1], 大塚朋廣 [2,3], 柴田憲治 [1]
Tohoku Inst. Tech.[1], RIEC, Tohoku Univ.[2], RIKEN CEMS[3]
°T. Takiguchi[1], O. Takahashi[1], T. Otsuka[2,3], and K. Shibata[1]
E-mail: kshibata@tohtech.ac.jp

コロイド量子ドット（QD）は直径数ナノメートルの非常に小さな半導体結晶であり、近年特に光デバイスへの応用が期待されている。中でも硫化鉛（PbS） QD は赤外光領域で幅広く吸収波長を制御できる有望な光電変換材料であり、デバイス応用に向けて QD 間のキャリア伝導の理解と制御が重要な課題となっている。PbS QD の電気伝導特性は、これまで多数の QD の 2 次元配列に関する評価が行われている一方で、単一 QD や少数 QD に対する電気伝導特性の評価は技術的な困難さからほとんど行われていない。我々はこれまで PbS QD のキャリア伝導を単一 QD レベルで明らかにしてきた[1]。本発表では特に、単一 PbS QD のキャリア伝導の大幅な電界変調に関する実験結果について報告する。

図 1 に素子構造を示す。単一 QD に電気的にアクセスするためのナノギャップ金属電極はフィードバック通電断線によって形成し、その上から市販のオレイン酸キャップ PbS QD 溶液を滴下することでナノギャップ電極近傍に QD を分散させた。今回特に、素子表面に電気二重層(EDL)ゲート電極を用意し（図 1 挿入図）、液体ゲートによる伝導特性の大幅な電界変調を試みた。図 2 に液体ゲートを用いて得られた T = 240 K における伝導特性を示す。イオンの揺動が原因と考えられる大きなノイズが混入したが、クーロン安定化ダイヤグラムの観測に成功した。観測された非常に大きなクーロンダイヤモンドの大きさから計算される付加エネルギーは~1 eV となり、直径 ~5 nm の PbS QD のバンドギャップのエネルギーにほぼ一致することが分かった。以上の結果から、イオン液体ゲートの適用によって、伝導帯の電子伝導だけでなく、価電子帯のホール伝導の観測も期待できることが示唆された。

[1] K. Shibata et. al., Nature Commun. 14, 7486 (2023).

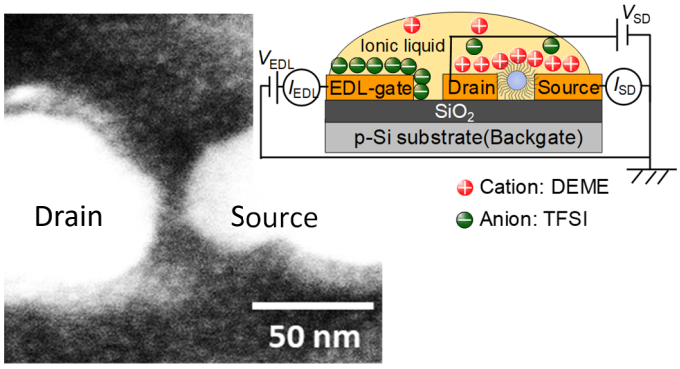


図 1: 単一 PbS QD (直径~ 4.6 nm)トランジスタの SEM 写真。挿入図は素子の断面模式図と配線図。

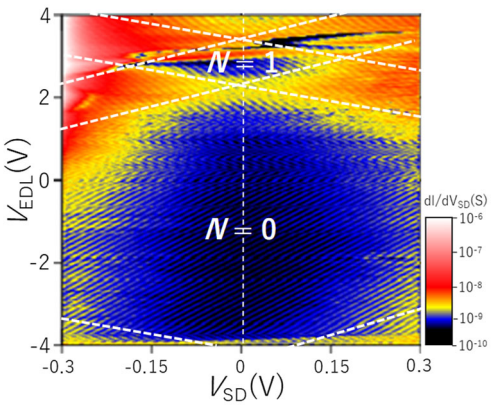


図 2: イオン液体ゲート素子で観測されたクーロン安定化ダイヤグラム。

SOI 上 InGaAs ナノワイヤ縦型ゲートオールアラウンドトランジスタの作製

Demonstration of InGaAs nanowire vertical gate-all-around transistors on SOI

北海道大学情報科学院および量子集積エレクトロニクス研究センター
○谷山慶太，竹田有輝，東佑樹，鄭子ヨウ，本久順一，冨岡克広
Graduate School of IST and RCIQE, Hokkaido Univ.
○Keita Taniyama, Yuki Takeda, Yuki Azuma, Ziye Zheng, Junichi Motohisa, Katsuhiro Tomioka
E-mail: taniyama.keita.e1@elms.hokudai.ac.jp

[はじめに] 電界効果トランジスタ(FET)の微細化・高密度集積化とともに、リーク電流や消費電力の増加などの問題が顕在化している。そのため、高移動度チャネル材料であるIII-V族化合物半導体材料や、優れたゲート制御性を示す Gate-All-Around(GAA)構造を導入することが検討されている。本研究では、III-V 族化合物半導体ナノワイヤ(NW)チャネルによる縦型 GAA(VGAA)トランジスタの集積回路応用を目的とし、Silicon-on-Insulator (SOI)上に InGaAs NW による VGAA トランジスタを作製したので報告する。

[実験方法] 実験では、厚み 600 nm の SOI 層をもつ n 型および p 型 SOI(111)基板に、熱酸化法で SiO_2 膜を 17 nm 形成した後、電子線リソグラフィーとドライ/ウェットエッチングで開口部を形成した。次に、有機金属気相成長(MOVPE)法で、表面処理によって SOI(111)表面に(111)B 極性表面を形成した後、補償真性(Zn ドープ)層/n 型(Si ドープ)層/n^+型(Sn ドープ)層のドーピング構造を有した InGaAs NW を成長した。

VGAA トランジスタ素子の作製では、NW 成長後に原子層堆積(ALD)法でゲート酸化膜 $Hf_{0.8}Al_{0.2}O$ を 10 nm 堆積し、スパッタリング法で W を堆積してゲート電極を形成した。さらに、蒸着法でソース電極(Ni/Au)を SOI 基板表面上に形成したあと、NW をベンゾシクロブテン(BCB)で包埋し、反応性イオンエッチング(RIE)で NW 上部の W、$Hf_{0.8}Al_{0.2}O$、BCB をエッチングすることで、VGAA 構造を作製した。その後、BCB でゲート・ドレイン間を分離し、ドレイン電極(Ti/Pd/Au)を蒸着した後、N_2 雰囲気中 420℃でアニールし、オーミック接触を形成することで、図 1 の VGAA トランジスタ素子を作製した。

[実験結果] 図 2 に InGaAs NW 選択成長結果を示す。図から SOI(111)薄膜上に InGaAs ナノワイヤが垂直配向していることがわかる。ナノワイヤ中の補償真性層、n 型層、n^+層はそれぞれ 600, 180, 720 nm であった。次に、作製した InGaAs VGAA トランジスタの伝達特性を図 3 に示す。図 3(a)の n 型 SOI 基板では、FET 特性が得られ、図 3(b)の p 型 SOI 基板では、Si/InGaAs 接合のトンネル電流が変調されたトンネル FET(TFET)特性が得られた。VGAA-FET 特性では、閾値電圧(V_{TH})が 1.4 V、ドレイン-ソース間電圧(V_{DS})が 0.5 V のときに、オン電流が 7.5×10^{-4} μA/μm、オンオフ比は 10^4、サブスレッショルド係数(SS)最小値は 144 mV/dec であった。VGAA-TFET 特性では、V_{TH} が 1.0 V、V_{DS} が 0.5 V のときに、オン電流が 6.1×10^{-2} μA/μm、オンオフ比は 10^5、SS 最小値は 143 mV/dec であった。当日は、スイッチ特性の改善方法などについて議論する。

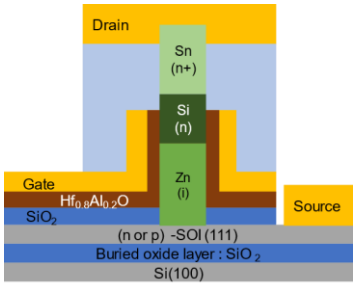


図 1. VGAA トランジスタ素子

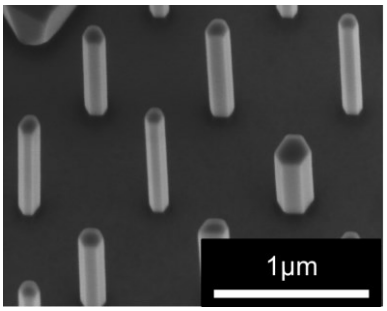


図 2. InGaAs NW 成長結果

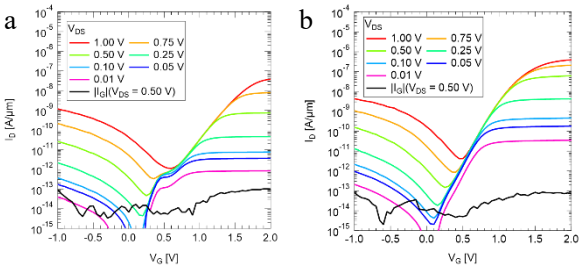


図 3. (a)VGAA-FET 伝達特性, (b)VGAA-TFET 伝達特性

単電子回路によるプリム法表現のための信号伝搬速度制御を用いた重み表現回路

Design of new single-electron circuit to express weight function of Prim's algorithm based on signal-propagation-control circuit

○石井 峻平 [1], 大矢 剛嗣 [1,2] (1 横国大院理工、2 横国大 IMS)

○S. Ishii[1], T. Oya[1,2] (1 Grad School Eng. Sci, Yokohama Nat'l Univ., 2 IMS, Yokohama Nat'l Univ.)

Email: ishii-shunpei-ph@ynu.jp

【研究背景・目的】

近年、新たな情報処理手法としてナノデバイスを利用した研究がされている。そのうちの一つとして単電子回路が注目されている。単電子回路は量子効果を利用することで、電子を一個単位で制御することが可能であり、並列処理に優れているなどの特徴を持つ。そのため、ノイマン型コンピュータが苦手とするタイプの課題を実行可能なデバイスとして期待されている。しかし、依然として最適な情報処理手法が確立されていないという課題がある。

そこで最小全域木問題の解法の一つであるプリム法[1]に注目した。単電子回路の素子の一つである単電子振動子はマトリクス状に配置することで波の伝搬を表現することができるという特徴を持つ[2]。この挙動をプリム法のプロセスと対応づけることで、プリム法を表現し、新たな情報処理手法を確立することを目的とする。

【究内内容】

前回の報告では、二次元マトリクス状に配置した単電子振動子の波の伝搬速度は経路幅に応じて異なるという特徴を利用したグラフの重みを表現する回路について述べた[3]。

しかし前回報告した回路では、波の到達時間で重みを表現しており、波の伝搬速度に差を持たせることができる経路幅が 1,3,5,7 の 4 パターンのみであるため、表現できる重みが少ないという課題があった（Fig. 1）。

そこで、波の到達時間ではなく、一定時間内での波の到達回数で重みを表現し、かつ時間経過に応じて経路幅を変更することで、表現できる重みを増やすことを試みた。

今回の報告では、経路幅が 1,3,5,7 の場合に加え、1 から 3、3 から 5、5 から 7 に時間経過で動的に経路幅を変更した場合についてのシミュレーションを行った（Fig. 2）。結果として、経路幅が広くなるほど到達回数が多く、時間経過で経路幅を広くすると到達回数が多くなるという所望の挙動を確認することができた。これにより、より細かな重み値の設定が可能となる。詳細は講演にて述べる。

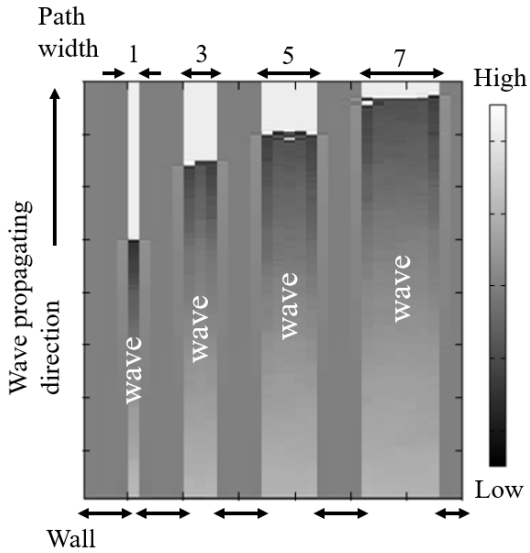


Fig. 1 Comparison of wave propagation speed depending on path width

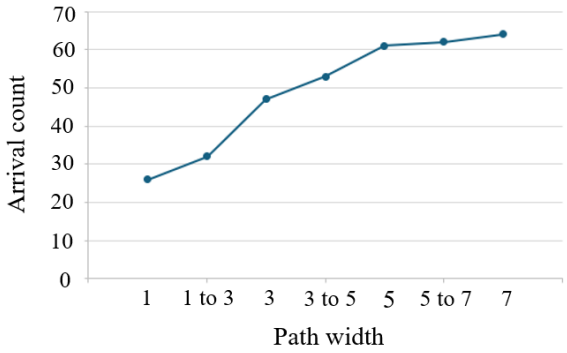


Fig2. Comparison of wave arrival count

【参考文献】

[1] 惠羅 他, グラフ理論, 産業図書, 47, 2010.
[2] T. Oya et al, Journal of Unconventional Computing, vol.1, pp. 177-194, 2005.
[3] 石井 他, 第 71 回応物秋季講演会, 23p-12P-1, 2024.

【謝辞】

本研究の一部は JSPS 科研費・基盤研究(A)(JP23H00169)、および（公財）栢森情報科学振興財団の助成を受け実施された。

13 半導体 | 一般セッション(口頭講演)：13.7 化合物及びパワーデバイス・プロセス技術・評価

[16a-A22-1~9] 13.7 化合物及びパワーデバイス・プロセス技術・評価

[16a-A22-1]
集積化に向けたGaN on-diamond HEMTチャネル周辺の表面温度評価
〇富山 葉月[1]、浦谷 泰基[2]、坂井田 佳紀[2]、西林 良樹[3]、竹内 茉莉花[3]、重川 直輝[1]、梁 剣波[1] (1.大阪公大工、2.エア・ウォーター、3.住友電工)

[16a-A22-2]
ダイヤモンド上GaN HEMTの作製と特性の評価
〇(M1)砂本 陽成[1]、大野 裕[2]、井上 耕治[2]、永井 康介[2]、重川 直輝[1]、梁 剣波[1] (1.大阪公大工、2.東北大金研)

[16a-A22-3]
マルチフィンガー構造を有するダイヤモンド増幅器
〇(D)久樂 顕[1,2]、小松崎 優治[1]、山口 裕太郎[1]、新庄 真太郎[1]、荒井 雅一[2]、川原田 洋[2] (1.三菱電機、2.早稲田大学)

[16a-A22-4]
Fabrication of High Off-State Voltage (4266 V) Diamond MOSFETs
〇Niloy Chandra Saha[1], Toshiyuki Oishi[1], Makoto Kasu[1] (1.Saga Univ.)

[16a-A22-5]
ダイヤモンドMOS電界効果トランジスタの1440時間連続動作
〇白土 智基[1]、サハ ニロイ チャンドラ[1]、大石 敏之[1]、嘉数 誠[1] (1.佐賀大院理工)

[16a-A22-6]
Deep-level transient spectroscopy analysis of trap states in β-$(Al_xGa1\text{-}x)_2O_3/Ga_2O_3$ modulation-doped field-effect transistors
〇Yun Jia[1], Fenfen Fenda Florena[1], Ryo Morita[1], Aboulaye Traore[1], Hironori Okumura[1], Takeaki Sakurai[1] (1.Univ. of Tsukuba)

[16a-A22-7]
Double-Dope構造InP-HEMTにおけるドープ濃度の影響
〇佐々木 太郎[1]、堤 卓也[2]、杉山 弘樹[1]、吉屋 佑樹[1]、星 拓也[1]、中島 史人[1] (1.NTT先デ研、2.大阪公立大)

[16a-A22-8]
半導体レーザのしきい値電流変動のメカニズム
〇上辻 哲也[1]、奥 友希[1]、丹羽 顕嗣[1]、中村 直幹[1] (1.三菱電機株式会社)

[16a-A22-9]
InP/InAlAs複合コレクタを適用した高耐圧InP系DHBTのエピタキシャル成長
〇星 拓也[1]、白鳥 悠太[1]、中島 史人[1] (1.NTT先端集積デバイス研)

集積化に向けた GaN on-diamond HEMT チャネル周辺の表面温度評価

Measurement of surface temperature around the channel of GaN on-diamond HEMTs for integration

大阪公立大 [1]，エア・ウォーター(株) [2]，住友電気工業(株) [3]
°富山 葉月 [1]，浦谷　泰基 [2]，坂井田 佳紀 [2]
西林 良樹 [3]，竹内 茉莉花 [3]，重川 直輝 [1]，梁 剣波 [1]
Osaka Metropolitan Univ. [1], Air Water Inc. [2], Sumitomo Electric Industries, Ltd. [3]
°Hazuki Tomiyama[1], Hiroki Uratani[2], Yoshiki Sakaida[2],
Yoshiki Nishibayashi[3], Marika Takeuchi[3], Naoteru Shigekawa [1], Jianbo Liang [1]
E-mail: liang@omu.ac.jp

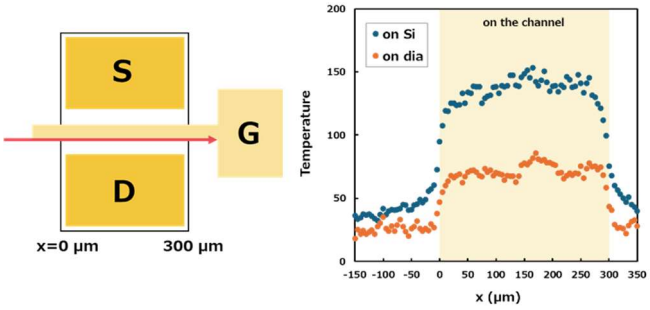
【はじめに】GaN-HEMT は優れた電子輸送特性と耐電圧特性を有し、高周波・高出力デバイスへの応用が進んでいる。しかし、デバイス動作時の過度な発熱により、デバイス性能の劣化及び信頼性の低下が引き起こされる。そのため、Si(111)基板上に成長された GaN-HEMT 層を高い熱伝導率を有するダイヤモンド基板に転送することで GaN on-diamond HEMT 構造の実現を目指す研究開発が行われている[1]。

我々は、3C-SiC/Si(111)上に結晶成長した GaN-HEMT 構造をバックプレート上多結晶ダイヤモンド基板に転写することによって、GaN on-diamond HEMT 構造を実現した[2]。この構造は Si 基板上 GaN HEMT に対し、動作時のゲート中央付近の局所的温度上昇の抑制を実証した。一方で、集積化に向けチャネル領域外では、なるべく短い距離で常温まで低下することが必要とされる。

そこで、今回はチャネル領域内外におけるゲート幅方向の表面温度の評価を行った。

【実験方法】バックプレート上多結晶ダイヤモンドを用いて on-diamond HEMT を作製し、μ-フォトルミネッセンス法により HEMT のゲート端における表面温度を測定し、on-Si HEMT との比較を行った。(図 1(a))

【実験結果】on-diamond HEMT と on-Si HEMT の表面温度測定の結果を図 1(b)に示す。On-Si HEMT に対し、on-diamond HEMT はチャネル近接領域での温度勾配が急峻であり、素子の高密度集積に有利であることが確認できた。これは、バックプレート上多結晶ダイヤモンドの放熱効果によるものと考えられる。



(a) (b)

Fig.1 (a) Schematic of measurement position
(b) Temperature variation across the channel at the gate-to-drain openings of HEMT

【謝辞】本研究の実施にあたり、研究成果最展開支援プログラム(A-STEP)の支援を受けた。

[1] S. Hiza, et al. in Extended Abstracts of 2019 SSDM, pp. 467-468 (2019).
[2] 富山 葉月ほか、第 71 回応用物理学会春季学術講演会、東京都市大学　24p-52A-5

ダイヤモンド上 GaN HEMT の作製と特性の評価

Fabrication and Characterization of GaN HEMT on Diamond

大阪公大工 [1]，東北大金研 [2]
○砂本　陽成 [1]，大野 裕 [2]，井上 耕治 [2]，永井 康介 [2]，重川　直輝 [1]，梁　剣波 [1]
Osaka Metropolitan Univ. [1], IMR Tohoku Univ.[2]
○Yosei Sunamoto[1], Yutaka Ohno[2], Koji Inoue[2], Yasuyoshi Nagai[2], Naoteru Shigekawa[1], Jianbo Liang[1]
E-mail: liang@omu.ac.jp

【はじめに】AlGaN/GaN HEMT は、高い電子輸送特性と耐電圧特性を持ち、高周波・高出力デバイスへの実用化が進んでいる。しかし、デバイス動作時に自己発熱によるデバイス性能及び信頼性の低下が課題となっている。この課題に対処するために、Si や SiC よりも高い熱伝導率を有するダイヤモンドを放熱基板として使用する GaN on-diamond HEMT が注目されている[1]。これまで、我々は 3C-SiC/Si(111) 上に成長した GaN HEMT 構造を単結晶ダイヤモンド基板に転写することで、高い放熱性を実証した[2]。しかしながら、この構造では 3C-SiC 層による放熱制限や、試料構造の拡張性の低下が懸念されている。そのため、3C-SiC 層の無い Si(111)上に成長した GaN HEMT 構造を、単結晶ダイヤモンドと接合し、GaN on-diamond HEMT の電流－電圧特性の評価を行った。更に、GaN on-Si HEMT の電流―電圧特性も評価して、両者を比較した。

【実験方法】Si(111) 基板上に成長された AlGaN/GaN 層を、表面活性化接合(SAB)法を用いて単結晶ダイヤモンド基板へ転写した。そして、GaN HEMT 作製プロセスを経て、GaN on-diamond HEMT を作製した。その構造を Fig. 1 に示す。同様に Si 上に GaN HEMT も作製し、GaN on-Si HEMT との電流―電圧特性を比較した。

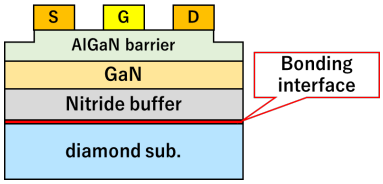


Fig. 1. Schematic structure of GaN on-diamond HEMT.

【実験結果】Fig. 2 では、GaN on-Si HEMT と GaN on-diamond HEMT のドレイン電流―ドレイン・ソース間電圧(I_D－V_{DS})特性が示されている。この結果から、GaN on-diamond HEMT が GaN on-Si HEMT よりも高い出力を示している。これは、GaN HEMT の動作時における内部温度上昇が抑制されたためと考えられる。

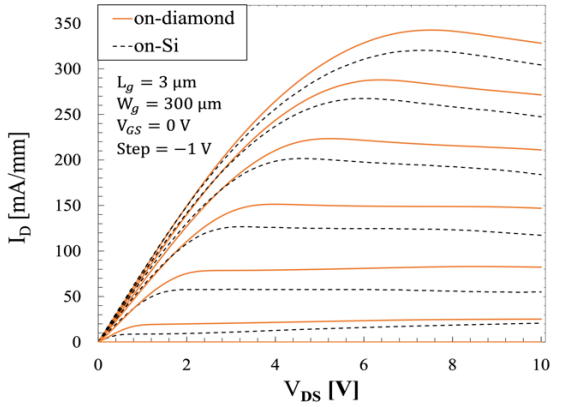


Fig. 2. I_D－V_{DS} characteristics of GaN HEMT on the diamond and on-Si substrates for the gate bias voltage varied between 0 to -6 V with a step of -1 V.

【謝辞】本研究の実施にあたり、JST 研究成果展開事業研究成果最適展開支援プログラム A-STEP 産学共同 JPMJTR222B の支援を受けた。

【参考文献】

[1] T. Liu et al. IEEE Elect. Dev. Lett. 38, 1417 (2017).
[2] R. Kagawa et al, Small, 2305574 (2023).

マルチフィンガー構造を有するダイヤモンド増幅器

Diamond Amplifier with Multi finger Structure

三菱電機株式会社 [1]，早稲田大学 [2]
○(D) 久樂　顕 [1,2]，小松崎　優治 [1]，山口　裕太郎 [1]，新庄　真太郎 [1]，
荒井　雅一 [2]，川原田　洋 [2]
Mitsubishi Electric Corporation. [1], Waseda university. [2]
°Ken Kudara[1,2]，Yuji Komatsuzaki[1]，Yutaro Yamaguchi[1]，Shintaro Shinjo[1]，
Masakazu Arai[2]，Hiroshi Kawarada[2]，
E-mail: Kudara.Ken@cw.MitsubishiElectric.co.jp

ダイヤモンドは高い絶縁破壊電界 (~ 10 MV/cm), 固体物質中最高の熱伝導率 (~22 W/cm･K), 低誘電率 (~5.7)など優れた物性値からGaNに次ぐ次世代の高周波増幅器の材料として有望である。高周波増幅器やトランジスタにおける出力電力は電圧スイングと電流スイングの積であらわされるため、動作電圧の向上や最大電流の増加は出力電力の改善に有効である。我々はこれまでに、絶縁膜を厚膜化し動作電圧を向上させることで電圧スイング幅を増加させ、周波数 1 GHz において、出力電力密度 3.8 W/mm[1]、周波数 3.6 GHz において、出力電力密度 1.5 W/mm[2]を報告した。また、ソース･ドレイン電極直下に高濃度の P^{++}層を選択再成長させることで接触抵抗の低減を図り、1 A/mm を超えるドレイン電流密度[3]、周波数 1 GHz において、実電力 1.7 W を達成[4]している。近年ではダイヤモンド増幅器が報告[5]されるなどダイヤモンドの研究は著しく進んでいる。しかしながら、これらはダブルフィンガー構造による報告であり、増幅器の場合に一般的なマルチフィンガー構造にてゲート幅(W_{gt})を広げたものではない。本研究では、マルチフィンガー構造のダイヤモンド FET にてダイヤモンド増幅器を試作したのでその結果を報告する。

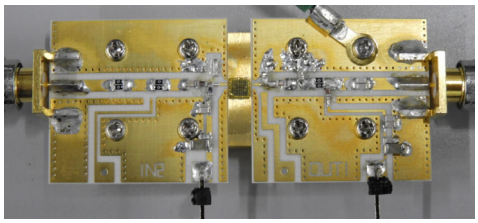


Fig.1 Photograph of developed diamond amplifier

Fig. 1 にダイヤモンド増幅器の写真を示す。ダイヤモンド FET のゲート長は 0.5 μm であり、W_{gt} = 10 × 50 μm とした。入出力整合回路の基板には板厚 813um の Roger-4003C を使用し、SMD 部品にて整合を取った。Fig. 2 にダイヤモンド増幅器の S パラメータ評価結果を示す。バイアス条件は、V_g = 22 V で固定し、V_d = −30 V, −35 V, −40 V とした。各 V_d において、小信号利得 S21 > 7 dB が得られた。Fig. 3 に周波数 1.8 GHz におけるダイヤモンド増幅器の大信号特性結果を示す。V_d の向上に伴う出力電力の増加を確認でき、V_d = −40 V にて P_{sat} = 20.7 dBm が得られた。

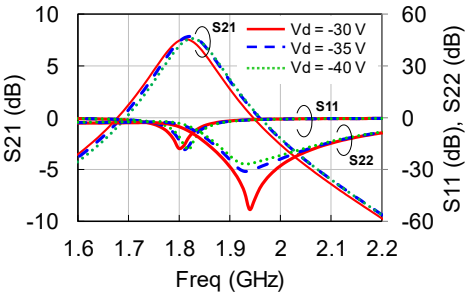


Fig.2 Measured S-parameters of the developed diamond amplifier.

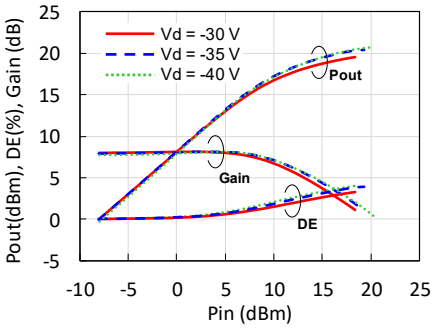


Fig.3 Measured large-signal performances of the developed diamond amplifier at 1.8 GHz

[1] S. Imanishi, H. Kawarada et al: *IEEE EDL*. **40** (2019) 279.
[2] K. Kudara, H. Kawarada et al: *IEEE TED*. **68** (2021) 3942.
[3] S. Imanishi, H. Kawarada et al: *IEEE EDL*. **42** (2021) 204.
[4] K. Kudara, H. Kawarada et al: *Elsevier Carbon*. **188** (2022) 220.
[5] W. Ciccognani et al: *Nature Scientific Report*. **10** (2020) 19029.

© 2024年 応用物理学会

高オフ耐圧（4266V）ダイヤモンド MOSFET の作製

Fabrication of High Off-State Voltage (4266 V) Diamond MOSFETs

佐賀大院工 [1]
○ニロイ チャンドラ サハ [1], 大石敏之 [1], 嘉数 誠 [1]
Saga Univ.[1]
○Niloy Chandra Saha[1], Toshiyuki Oishi [1], and Makoto Kasu[1]
E-mail: kasu@cc.saga-u.ac.jp

1. Introduction

Diamond is the ultimate semiconductor for high-power and high-frequency transistors as it possesses a high bandgap energy of 5.47 eV and a high breakdown field of >10 MV/cm. Diamond MOSFETs with NO_2 p-type doping and Al_2O_3 passivation layer demonstrated a maximum available output power density of 875 MW/cm^2 [1] and an off-state voltage of 3659 V [2]. In this study, we report NO_2 p-type doped diamond MOSFET with a record high off-state voltage of 4266 V.

2. Growth and Fabrication

About 100-nm-thick diamond epitaxial layer was grown by microwave plasma CVD on a CVD (001) diamond substrate. H-diamond was exposed to 2% NO_2 gas diluted in N_2 to perform NO_2 p-type doping and to form 2-dimensional hole gas. A 16-nm-thick Al_2O_3 bilayer was deposited by ALD as the gate insulator layer. High-purity TMA and H_2O were used as the source of the Al and O, respectively. A 50-nm-thick Au gate was formed photolithographically adjacent to the source contact.

3. Results and Discussion

Fig. 1(a) shows the output characteristics of a diamond MOSFET. Maximum I_D reached 408.5 mA/mm with an R_{ON} of 80.3 Ω·mm. Fig. 1(b) shows the transfer characteristics of the MOSFET measured at V_{DS}= −20 V. MOSFET exhibited an on/off ratio >10^7 and a negligible gate leakage current or less than the detection limit (10^{-7} mA/mm). Furthermore, the threshold voltage was estimated to be 6.84 V and the transconductance was 38.78 mS/mm. The subthreshold swing was 250 mV/dec. Consequently, the interfacial state density was determined to be 6.45 × 10^{12} eV^{-1}cm^{-2}.

Fig. 2 shows the off-state breakdown characteristics of a diamond MOSFET measured at a gate voltage of 11 V. The breakdown occurred at a drain voltage of 4266 V. This is the highest off-state voltage ever reported for a diamond MOSFET.

4. Conclusion

The highest off-state voltage of 4266 V was demonstrated for a diamond MOSFET with NO_2 p-type doping and high quality Al_2O_3 passivation.

Acknowledgements

This work was supported by the MEXT, Strategic Program for Accelerating Research, Development and Utilization of Space Technology, and the JSPS Grants-in-aid for Scientific Research (No. 22H01974).

References

[1] N.C. Saha, M. Kasu, et al., IEEE EDL **43**, 777 (2022).
[2] N.C. Saha, M. Kasu, et al., IEEE EDL **44**, 112 (2023).

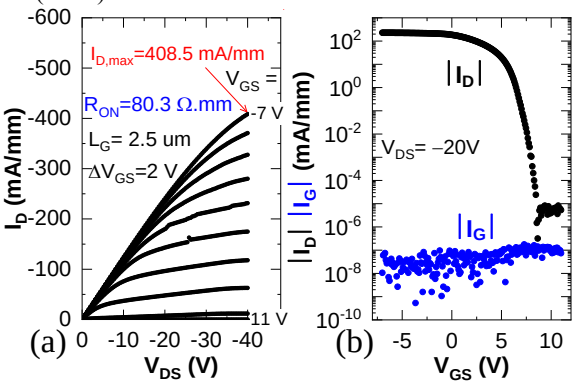


Fig. 1. (a) DC output characteristics and (b) transfer characteristics of a diamond MOSFET.

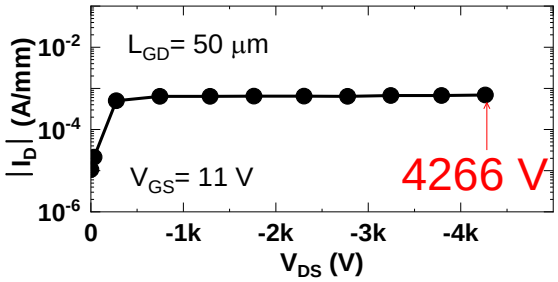


Fig. 2. Off-state breakdown voltages characteristics of a diamond MOSFET.

© 2024年 応用物理学会

ダイヤモンド MOS 電界効果トランジスタの 1440 時間連続動作

1440 h Continuous Operation of Diamond MOS Field Effect Transistors

佐賀大院理工 [1]
(M2) ○白土智基 [1], ニロイ チャンドラ サハ [1], 大石敏之 [1], 嘉数 誠 [1]
Saga Univ.[1]
(M2) ○Tomoki Shiratsuchi[1], Niloy Chandra Saha[1], Toshiyuki Oishi [1], Makoto Kasu[1]
E-mail: 23730017@edu.cc.saga-u.ac.jp

【はじめに】ダイヤモンドは 5.47 eV のバンドギャップを持つ半導体で，次世代パワー半導体として期待されている．我々は前回，ダイヤモンド MOSFET を作製し，劣化の無い 190 時間の DC 連続動作[1]と，100 時間の AC 連続動作[2]を報告したが，今回は更に長時間の DC 連続動作を行った．

【実験方法】エレメントシックス社製の(001) CVD ダイヤモンド基板(電子グレード)上に 100 nm 厚のダイヤモンド層をマイクロ波プラズマ CVD 法で成長させ，その試料に NO_2 による p 型ドーピングと Al_2O_3 ゲート絶縁膜及びパッシベーション膜堆積を行い，MOSFET を作製した．ウェハをプリント基板にボンディングし，FET（ゲート長 $L_g = 2\,\mu$m，ゲート幅 $W_g = 47\,\mu$m）にゲート電圧(V_{GS}) DC－1 V，ドレイン電圧(V_{DS}) DC－10 V を印加し続け，ドレイン電流 I_D 及びゲート電流 I_G のストレス時間特性を測定した．なお，ストレス測定中に一時的にバイアス印加を中断し，短時間で出力特性及び伝達特性の測定を行った．

【実験結果及び考察】図 1 にドレイン電流 I_D とゲート電流 I_G の時間特性を示す．ドレイン電流はストレス開始 9.8 時間以内に－46.8 mA/mm から－78.9 mA/mm まで増加し，その後 129 時間まで－94.2 mA/mm に緩やかに増加した．これは前回の DC ストレス試験と同様である[1]．しかし 129 時間から現在(1440 時間)までドレイン電流はほぼ一定レベルになった．なお，前回増加が見られたゲート電流は，今回検出限界以下のままであった．

ストレス試験開始直前(図 2(a))と 1440 時間後の出力特性(図 2(b))を比較すると，閾値電圧が正方向(ノーマリーオン側)へとシフトし，I_D が増加していることが分かる．これは前回の DC ストレス試験と同様である[1]. 1440 時間後では $V_{GS} < -1$ V で V_{DS} －10 V の I_D が飽和傾向にあるが，これはアクセス抵抗成分がドレイン電流を制限していることを示唆している．

【結論】ダイヤモンド MOSFET を作製し，現在(1440 時間)も DC ストレス試験を継続しているが，劣化無く動作している．以上より，我々のダイヤモンド MOSFET が実用デバイスとして長時間動作に耐えうることを示した．

【謝辞】本研究の一部は文科省宇宙開発利用加速化戦略プログラム及び科研費(22H01974)によるものです．

【参考文献】

[1] N. C. Saha, et al., IEEE EDL 44, 793 (2023).
[2] N. C. Saha, et al., IEEE EDL 44, 975 (2023).

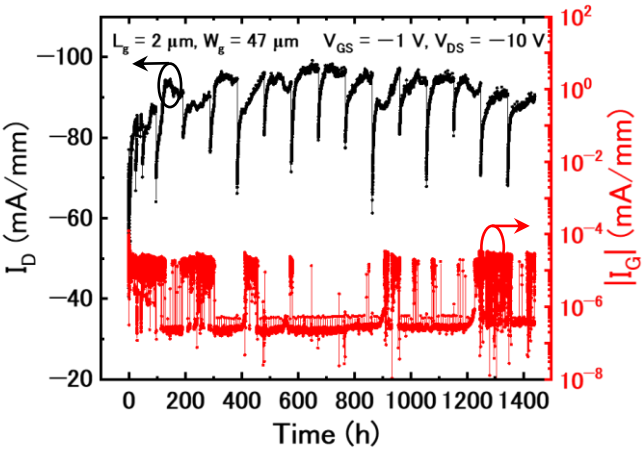


Fig. 1. Time dependence of drain current (I_D) and gate current (I_G).

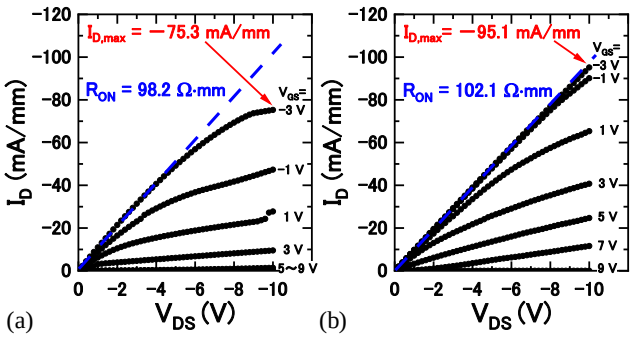


Fig. 2. Output characteristics. (a) before stress and (b) 1440 h of stress.

Deep-level transient spectroscopy analysis of trap states in β-$(Al_xGa_{1-x})_2O_3/Ga_2O_3$ modulation-doped field-effect transistors

Tsukuba Univ. °**Yun Jia, Fenfen Fenda Florena, Ryo Morita, Aboulaye Traoré, Hironori Okumura, and Takeaki Sakurai**
E-mail: s2236001@u.tsukuba.ac.jp

β-Ga_2O_3 is gaining attention for high-power and high-frequency applications, with β-$(Al_xGa_{1-x})_2O_3$/β-Ga_2O_3 MODFETs showing promise due to the formation of a 2DEG at their heterointerface, achieving mobility up to 180 cm²/Vs. Theoretical predictions suggest enhancing mobility beyond 500 cm²/Vs by increasing 2DEG charge density [1]. However, interface traps in the β-$(Al_xGa_{1-x})_2O_3$/β-Ga_2O_3 structure can limit mobility and cause device issues like subthreshold instability, reduced transconductance, high leakage, and premature breakdown. Therefore, characterizing these trap states is crucial for improving device performance.

In this work, the trap states in the fabricated β-$(Al_xGa_{1-x})_2O_3$/β-Ga_2O_3 MODFET were investigated using deep-level transient spectroscopy (DLTS). The C-V hysteresis curves (Fig. 1a) revealed a significant gap between forward and reverse sweeps, indicating numerous electron trap states. DLTS signals (Fig. 1b) from the SiO_2/(AlxGa1-x)$_2O_3$ interface and the $(Al_xGa_{1-x})_2O_3$/β-Ga_2O_3 2DEG region were analyzed using different pulse conditions [2]. For the $SiO_2/(Al_xGa_{1-x})_2O_3$ interface, the electron trap had an activation energy of (0.49±0.03) eV and a capture cross-section of $3\sim6\times10^{-20}$ cm². At the $(Al_xGa_{1-x})_2O_3$/β-Ga_2O_3 interface, the trap E2 had an activation energy of (0.68±0.04) eV and a capture cross-section of $7\sim9\times10^{-17}$ cm², observed under a reverse bias of -8 V and a pulse voltage of 2 V. These broad peaks, associated with extended defects, likely dislocation between interface, rather than bulk traps. The density of interface states (N_{ss}) around 10^{13} cm^{-2}/eV was determined by saturating the DLTS peak amplitude, revealing a relatively high interface state density. Despite attributing peaks to interface states, some bulk defect signals might also have been present. Further resolution of these peaks was achieved by employing Laplace DLTS [3].

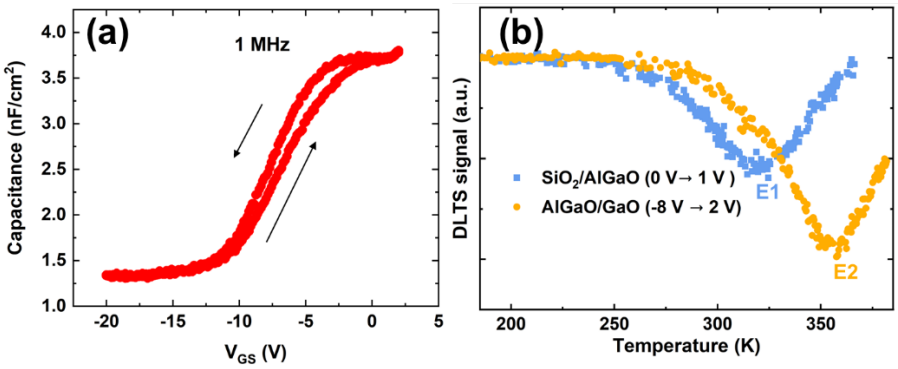


Fig.1 (a) C-V hysteresis curves of the MODFET. (b) DLTS spectra of the device with different pulse conditions.

[1] Zhang, Yuewei, et al. Applied Physics Letters 112.23 (2018).
[2] Lingaparthi, R., et al. Applied Physics Letters 123.9 (2023).
[3] Dobaczewski, L., et al. Journal of Applied Physics 76.1 (1994): 194-198.

© 2024年 応用物理学会

Double-Dope 構造 InP-HEMT におけるドープ濃度の影響

Impact of δ-doping density on DC/RF characteristics of doble-doped InP-HEMT

○佐々木 太郎, 堤 卓也*, 杉山 弘樹, 吉屋 佑樹, 星 拓也, 中島 史人
NTT 先端集積デバイス研究所, *現所属 大阪公立大
NTT Device Technology Labs, NTT Corporation *Current affiliation: Osaka Metropolitan University
E-mail: tarou.sasaki@ntt.com

【緒言】第六世代移動通信システム（6G）における 300 GHz 帯での超高速無線通信を実現するデバイス技術として、InP-HEMT デバイスが注目されている[1]。特に、In-rich な $In_xGa_{1-x}As$（$x>0.53$）や InAs（$x=1$）などの高移動度チャネルによる pseudomorphic HEMT 技術[2]は有望視されているものの、In 組成 x の増加により電子移動度は向上する一方でバンドギャップ（E_g）が狭くなるため、インパクトイオン化による RF・ノイズ特性の劣化が顕著となる[3]。文献[4]等で Double-dope（DD）構造によるインパクトイオン化抑制が報告されているものの、ドープ濃度の影響は詳細に議論されていなかった。本研究では、DD 構造 HEMT の DC・RF 特性に対するドープ濃度の影響を明らかにすることを目的とした。

【デバイス層構造】3 インチ半絶縁性 InP 基板上に、有機金属気相成長法（MOVPE）により、高電子移動度な InAs 複合チャネルを有する HEMT 構造を作製した。InP-HEMT IC[5]と同じプロセスにより作製し、ゲート長は 52 nm とした。電子供給のためのδドープ層は、濃度の異なる 2 種類の DD と、比較用の Single-dope（SD）とした。(**図 1**) それぞれのδドープ濃度は、チャネルのシートキャリア密度（N_s）が**図 1** の値となるよう調整した。

【結果及び考察】I_d-V_d 特性から計算した g_d を**図 2(a)**に示す。SD 構造では $V_d=0.7$ V 近傍に特徴的なハンプ[6]が見られるものの、DD 構造①ではハンプが抑制され、DD 構造②ではほぼ見られない。同様に、I_d-V_g 特性から計算した g_m を**図 2(b)**に示す。SD 構造に比べ、DD 構造①では $g_{m,max}$ が向上（+18.6%）したものの、DD 構造②では劣化（-7.5%）した。**図 2(c)**に、各デバイスの f_t と V_d の関係を示す。閾値電圧の異なるデバイスをフェアに比較するため、$V_g-V_{th}=+0.2$ V となるよう V_g を設定した。すべてのデバイスが $V_d=0.6$ V のときに最大値を取り、最も高いものは DD 構造①の 380.9 GHz であった。DD 構造②では 348.3 GHz と SD 構造に比べやや低いものの、高電界でインパクトイオン化が起きやすいバイアス条件（$V_d=0.8$ V, 1.0 V）では SD 構造の値を上回っていることから、インパクトイオン化を抑制できていることが分かる。

以上より、**図 1** に示す範囲では、DD 構造 HEMT はドープ濃度を濃くすることでインパクトイオン化抑制効果を高められるが、g_m の劣化によりピークの f_t が落ちてしまうことが分かった。この理由をバンド構造シミュレーションの結果から考察する。DD 構造②は①に比べ基板側のδドープ濃度が相対的に高いことから、キャリアが基板側サブチャネルに偏っていることが分かった。InAs に比べ E_g の大きな $In_xGa_{1-x}As$ にキャリアが偏ることでインパクトイオン化が抑制された一方、正味のゲート－チャネル間距離（d_{gc}）が長くなることによる短チャネル効果の悪影響によって g_m の劣化に繋がったと考えられる。従って、高移動度チャネルのポテンシャルを引き出すには、インパクトイオン化の抑制と g_m 劣化（d_{gc} の実質的伸長）のバランスから DD 構造のドープ濃度を決定すればよいことが分かった。

【参考文献】 [1] A. Pärssinen *et al.*, 6G Flagship, University of Oulu, April 2021. [2] H. Sugiyama *et al.*, In Proc. of IPRM 2017, May 2017. [3] 佐々木 太郎ら、電子情報通信学会ソサイエティ大会, 2023 年 9 月. [4] N. Hara *et al.*, In Proc. of IPRM 2004, June 2004. [5] H. Hamada *et al.*, *IEEE Microw. Wireless Compon. Lett.*, **31**, *6*, 2021. [6] C.-Y. Chang *et al.*, *IEEE Electron Device Lett.*, **28**, 10, 2007.

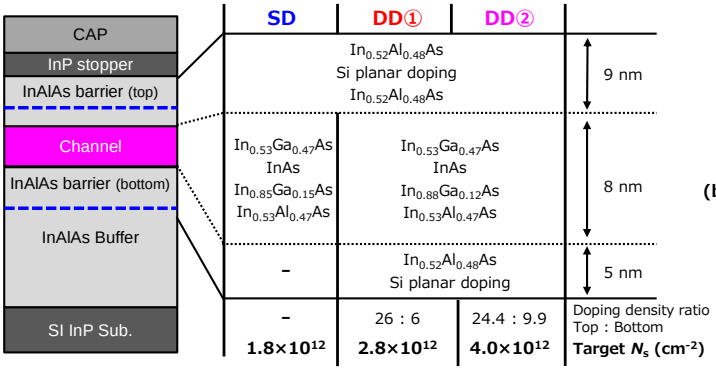


図 1. SD 構造，DD 構造①および②の層構造

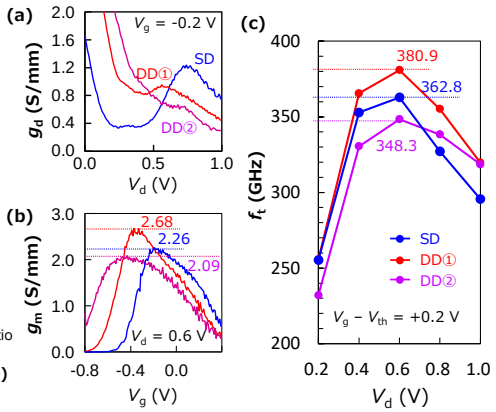


図 2. DC 特性から計算した (a) g_d および (b) g_m. (c) f_t の V_d 依存性

半導体レーザのしきい値電流変動のメカニズム

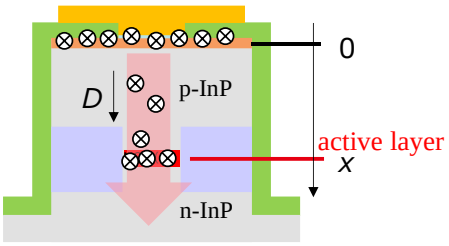
Mechanism of change in threshold current for semiconductor lasers

三菱電機(株) ○上辻哲也，奥友希，丹羽顕嗣，中村直幹

Mitsubishi Electric Corporation, Tetsuya Uetsuji, Tomoki Oku, Akitsugu Niwa and Naoki Nakamura

E-mail: Uetsuji.Tetsuya@dy.MitsubishiElectric.co.jp

はじめに：半導体レーザのしきい値電流変動(⊿Ith)は活性層内の非発光再結合中心（NRC）の発生・消滅が原因とされている。そのため、高温通電時の NRC の活性層への拡散[1]や内部損失に伴う温度上昇による NRC の消滅[2]が提案されているが、静電容量分光法で求めた p-InP のホールトラップのアニールの活性化エネルギーが 1.32 eV[3]と大きいこと、内部損失による温度上昇が 10℃程度であることから、NRC の拡散・消滅で⊿Ith を説明できなかった。そこで今回、我々は⊿Ith と光出力の関係が図 1 に示す様な NRC（×）の拡散と仮定し、活性化エネルギーを求め、⊿Ith のメカニズムを提唱する。



X:distance ,D: diffusion coefficient

Fig.1 NRC diffusion model to active layer

実験結果：図2は通電電流と⊿Ith 及び光出力の関係を評価した結果である。⊿Ith は光出力が飽和する通電電流以上で発生することが分かった。図3は通電温度を変えて⊿Ith の通電時間依存性を測定し、その変化が拡散によるとして拡散係数 D の活性化エネルギーを求めると 0.20 eV であることが分かった。

考察：この小さい活性化エネルギーは少数キャリア注入下での再結合誘起アニーリング（REDA）を仮定することで説明できる。何故なら REDA によりホールトラップの活性化エネルギーは 1.32 eV から 0.22 eV に低下する[3]からである。また、図 2 の光出力飽和付近では、活性層において特に電子キャリアオーバフローが生じ、p-InP 層への少数キャリア（電子）の注入を示唆している。したがって、図1における p-InP 層上部に形成された NRC は REDA により容易に拡散し、活性層内に侵入し⊿Ith を引き起こすと考えられる。また、この NRC はV族空孔関連と考えて矛盾しない。

[1] Jack Jia-Sheng Huang et al., Appl. Physics Research 8(1), 149 (2016). [2] Samuel K. K. Lam et al., J. Appl. Phys. 95 2264 (2021). [3] T. Bretagnon et al., Phys. Rev. B 41, 1028 (1990).

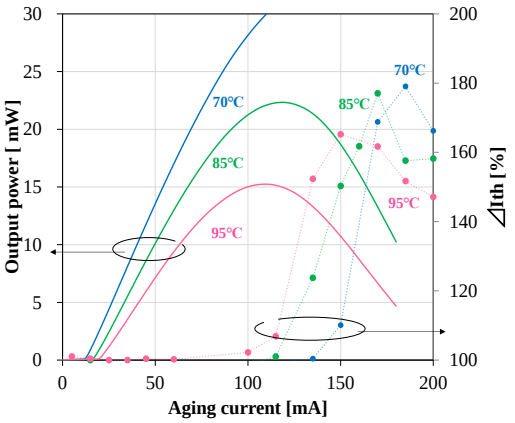


Fig.2 Temperature dependence of ⊿Ith and output power

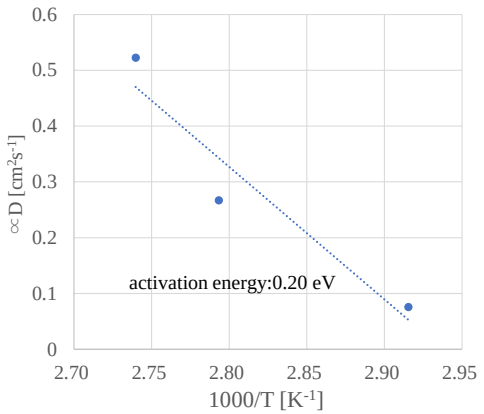


Fig.3 Arrhenius plot with diffusion coefficient

InP/InAlAs 複合コレクタを適用した高耐圧 InP 系 DHBT のエピタキシャル成長

Epitaxy of high breakdown voltage InP-based DHBTs with InP/InAlAs composite collector

NTT 先端集積デバイス研，°星 拓也，白鳥 悠太、中島 史人
NTT Device Technology Labs., NTT Corporation, °Takuya Hoshi, Yuta Shiratori, Fumito Nakajima
E-mail: takuya.hoshi@ntt.com

【はじめに】InP 系ダブルヘテロ接合バイポーラトランジスタ（DHBTs）は、~1 THz の最大発振周波数と、GaN 系デバイスに迫る遮断周波数*耐圧積を実現可能なことから、次世代の光・無線通信増幅器として有望である。通常 InP によって構成されるコレクタ層をワイドバンドギャップ(E_g)化することで、さらなる耐圧の向上が期待される。引張歪による制約が大きい In(Al, Ga)P に比べ、In 組成 0.52 において InP と格子整合する InAlAs は、Al 組成を変調させ疑似格子整合化することで、高耐圧化に有効なバンドギャップを維持したまま、圧縮歪～引張歪の範囲で格子定数を調節可能である。今回 InP/InAlAs 複合コレクタを有する DHBT の結晶成長について報告する。

【実験】図の上段に示すのは、本研究で提案する DHBT 構造である。ベース・エミッタ層の詳細については、参考文献を参照されたい。130 nm のコレクタ層は、①InP セットバック層、②組成傾斜 InAlAs 層、③高 Al 組成 InAlAs 層、④組成傾斜 InAlAs 層の 4 つにより構成される。組成傾斜 InAlAs 層は、InP に対しての伝導帯オフセットを小さくするとともに、高 Al 組成 InAlAs 層に対して伝導帯を滑らかに接続するように組成傾斜を形成する。また、Al 組成を圧縮歪～引張歪の範囲で変化させることで歪を相殺するようにした。本研究では高 Al 組成 InAlAs 層の合計厚さ(t_{InAlAs})が 10 ~ 70 nm の範囲で試料を作製した。

【結果と考察】図の下段に MOVPE 法によって作製した試料の表面モフォロジを示す。評価は白色干渉計によって実施した。t_{InAlAs} = 40 nm 以下の試料においては、比較的平坦な表面形態が観測された。t_{InAlAs} =55 nm 以上になると面内引張歪の応力緩和過程で導入されたと考えられる(100)方向へのスクラッチが観測され、t_{InAlAs} の増大とともにこれらスクラッチの密度も増加する傾向にあった。エミッタサイズ 50 μm x 50 μm の大面積トランジスタを作製し、その DC 特性を評価した結果、t_{InAlAs} = 40 nm 以上で耐圧の向上が確認された。これら結果より、InP/InAlAs 複合コレクタ構造が DHBT の耐圧向上に有効であることが示唆され、今後微細エミッタデバイスの高周波特性評価を実施することで、高速・ハイパワーな通信用増幅器 IC への応用が期待される。

【参考文献】T. Hoshi *et al*., APEX 7, 114102 (2014), T. Hoshi *et al*., IEICE ELEX 16, 1 (2019), Y. Shiratori *et al*., IEEE EDL 41, 697 (2020).

	Material	doping (cm^{-3})	Thickness (nm)
Emitter cap	InAs /InGaAs	n > 10^{19}	30
Emitter	InGaP	n > 10^{17}	15
Base	GaAsSb /graded InGaAsSb	p > 10^{19}	25
Collector			**130**
Subcollector	InP /InGaAs /InP	n > 10^{19}	10
Etch stopper /buffer	InGaAs /InP	-	0
S.I. InP substrate			

	Al content	doping (cm^{-3})	Layer thickness (nm) (a)	(b)	(c)	(d)
n-InP	-	$1x10^{17}$	10	10	10	10
i-InAlAs (graded)	~0.4 ↑ 0.6	Uid	60	40	40	30
n-InAlAs	**0.6**	**$1x10^{17}$**	**10**	**20**	**20**	**20**
n-InAlAs	**0.6**	**$8x10^{16}$**	**0**	**20**	**35**	**50**
i-InAlAs (graded)	0.6 ↑ ~0.4	uid	50	40	25	20

t_{InAlAs}

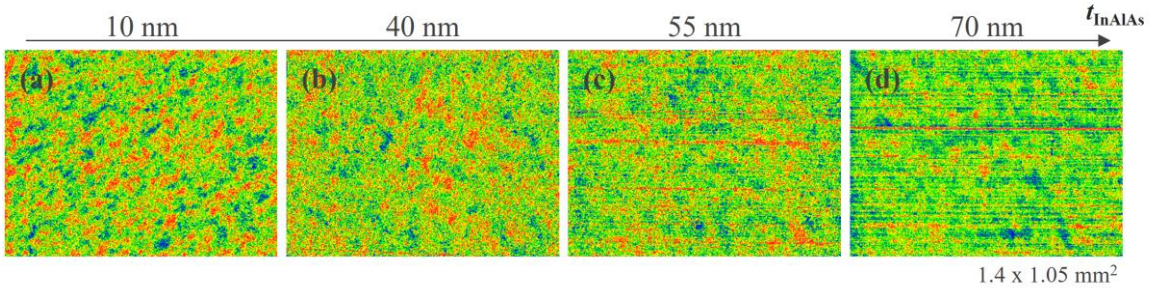


図 InP/InAlAs 複合コレクタを有する DHBT 構造とその表面モフォロジの t_{InAlAs} 依存性

© 2024年 応用物理学会

13 半導体 | 一般セッション(ポスター講演)：13.7 化合物及びパワーデバイス・プロセス技術・評価

[18a-P06-1~19] 13.7 化合物及びパワーデバイス・プロセス技術・評価

[18a-P06-1]
量子補正モンテカルロシミュレーションによるダブルドープ構造GaInSb HEMT特性解析
〇上田 晟生[1]、戸邉 康太[1]、児玉 直也[1]、塩澤 祐介[1]、遠藤 聡[1]、藤代 博記[1] (1.東理大先進工)

[18a-P06-2]
電流狭窄層およびδドープ導電性緩衝層に歪超格子層を用いたSi基板上AlGaN/GaN CAVETのデバイス特性
〇久保 俊晴[1]、三木 隆太郎[1]、江川 孝志[1] (1.名工大)

[18a-P06-3]
GaN系npn型HBTのベース層適用に向けたp型MQW構造の検討
〇井上 諒星[1]、小嶋 智輝[1]、間瀬 晃[1]、江川 孝志[1]、三好 実人[1] (1.名工大)

[18a-P06-4]
Face-to-Face高温高圧アニールによる均一性の向上
～Au/Ni/n-GaNショットキー接触を用いた界面顕微光応答法による二次元評価～
〇今林 弘毅[1]、松本 泰歩[1]、塩島 謙次[1]、加地 徹[2] (1.福井大院工、2.名大未来研)

[18a-P06-5]
単結晶窒化ガリウム中のシリコンの拡散
〇(M1)三村 啓人[1]、仲村 龍介[1]、鈴木 健之[2]、上岡 義弘[3]、召田 雅実[3] (1.滋賀県大工、2.阪大産研、3.東ソー（株）)

[18a-P06-6]
Mg添加AlN層上のNi電極の高温熱処理による接触抵抗低減
〇宮沢 風我[1]、奥村 宏典[1]、井村 将隆[2] (1.筑波大数理、2.物材研)

[18a-P06-7]
Mg イオン注入後 2 段階アニールを行った GaN 中の伝導帯付近禁制帯内準位の MOS 構造を用いた評価 (2)
〇羅 宇瀏[1]、畠山 優希[1]、赤澤 正道[1] (1.北大量集センター)

[18a-P06-8]
Mgイオン打ち込みしたGaNに対する850℃アニールの表面およびバルク欠陥への影響についてのMOS構造を用いた評価(3)
〇新藤 源大[1]、畠山 優希[1]、赤澤 正道[1] (1.北大量集センター)

[18a-P06-9]
GaNに対するSiO_2キャップアニールの効果についてのXPS評価
〇高橋 尚伸[1]、焦 一寧[1]、赤澤 正道[1] (1.北大量集センター)

[18a-P06-10]
SiO_2/GaN 界面酸化ガリウム層の熱処理による構造変化
〇厚見 遼也[1]、上沼 睦典[2]、富田 広人[1]、山田 翔梧[1]、山田 侑矢[1]、吉田 桃子[1]、孫 澤旭[1]、橋本 由介[1]、松下 智裕[1]、藤井 茉美[3]、浦岡 行治[1] (1.奈良先端大、2.産総研、3.近畿大)

[18a-P06-11]
基底状態原子支援化学気相堆積法によるシリコン系絶縁膜を用いたAlGaN/GaN MOS構造の検討
〇赤松 龍弥[1]、鹿田 颯吾[1]、古川 雅一[2]、若原 昭浩[1]、岡田 浩[1] (1.豊橋技科大、2.アリエースリサーチ有限会社)

[18a-P06-12]
N極性面GaNのウェットエッチングに対する希釈溶媒の影響
〇樋口 裕之介[1]、小野 諒子[1]、新海 聡子[1] (1.九工大大学院情工)

[18a-P06-13]
ミストCVD法によるGaN MISデバイス向け混晶ゲート絶縁膜の作製
〇大竹 浩史[1]、中村 有水[1]、谷田部 然治[1] (1.熊本大)

[18a-P06-14]
ウエットエッチングによる酸化ガリウムのステップ形成
〇(M1)小野 諒子[1]、加藤 天音[1]、新海 聡子[1] (1.九工大)

[18a-P06-15]
β-Ga_2O_3単結晶基板に存在する欠陥準位の高温度アニール挙動の評価
〇中野 由崇[1]、上田 悠貴[2]、佐々木 公平[2]、倉又 朗人[2] (1.中部大工、2.ノベルクリスタルテクノロジー)

[18a-P06-16]
n 型SiC エピタキシャル層上へイオン注入で作製したJFET の600℃動作
〇金子 光顕[1]、柴田 峻弥[1]、松岡 大雅[1]、木本 恒暢[1] (1.京大院工)

[18a-P06-17]
High-Temperature Reliability of Ni/Ti/Nb Ohmic Contact on p-type 4H-SiC
〇(D)Ha Thi Vu[1], Vuong Van Cuong[1], Shin-Ichiro Kuroki[1] (1.RISE,Hiroshima Univ.)

[18a-P06-18]
p チャネル 4H-SiC MOSFET の界面欠陥の電流検出 ESR 分光
〇島袋 聞多[1]、堀内 颯介[1]、曽 弘字[1]、染谷 満[2]、平井 悠久[2]、渡部 平司[3]、西谷 侑将[4]、松下 雄一郎[4]、梅田 享英[1] (1.筑波大、2.産総研、3.阪大、4.Quemix（株）)

[18a-P06-19]
Pチャネル4H-SiC MOSFETsでのスピン依存チャージポンピング分光
〇(M2)堀内 颯介[1]、福永 博生[1]、島袋 聞多[1]、矢野 裕司[1]、染谷 満[2]、平井 悠久[2]、渡部 平司[3]、梅田 享英[1] (1.筑波大、2.産総研、3.阪大)

量子補正モンテカルロシミュレーションによる ダブルドープ構造 GaInSb HEMT 特性解析

Double-doped GaInSb HEMT Characterization by Quantum-Corrected Monte Carlo Simulation

東理大先進工 °上田 晟生*，戸邉 康太，児玉 直也，塩澤 祐介，遠藤 聡，藤代 博記**

Tokyo Univ. of Science °T. Ueda*, K. Tobe, N. Kodama, Y. Shiozawa, A. Endoh, and H. I. Fujishiro**

E-mail : *8123504@ed.tus.ac.jp, **fujisiro@rs.tus.ac.jp

はじめに: これまでに我々は、バリア層を薄膜化した GaInSb HEMT へのダブルドープ構造の導入により寄生抵抗の増加が抑えられ、遮断周波数 f_T = 342 GHz の高い特性が得られたことを報告した[1]。本研究では、量子補正モンテカルロ (QC-MC) シミュレーションを用いて、ダブルドープ構造により GaInSb HEMT の特性が向上するメカニズムを解析した。

計算手法及びデバイスモデル: QC-MC シミュレーションでは量子効果と縮退効果を実効ポテンシャル法とリジェクション法により考慮した[2][3]。

Fig. 1 に、解析に用いたダブルドープ構造 GaInSb HEMT の断面構造を示す。まずシングルドープ構造 (チャネル下の δ ドープが無い構造) でリセス幅 L_{SR} を 50、150 nm と変化させて特性を解析した。次に L_{SR} = 150 nm のダブルドープ構造を解析した。チャネル膜厚は 20 nm、ドナー濃度は 3.5×10^{12} cm^{-2} (チャネル上) と 0.2×10^{12} cm^{-2} (チャネル下)、ゲート長 L_g は 50 nm とした。

解析結果: Fig. 2 に電子速度 v_d、電子密度 n_{el}、遅延時間 τ の分布を示す。V_{ds} = 0.4 V、V_{gs} = 0 V とした。L_{SR} が増加すると、サイドリセス領域の n_{el} が減少すると共に、ゲート領域の電界強度が減少し、v_d のピークが減少した。これによりゲート領域の τ が増加し、また τ の分布がドレイン側に広がった。これらにより全遅延時間 τ_{total} が増加し、f_T が減少した。一方、ダブルドープ構造では、サイドリセス領域の n_{el} の減少が抑えられ、τ_{total} が減少して、f_T が増加した。以上の結果は、ダブルドープ構造がリセス幅の増加に伴う f_T の低下の抑制に有効であることを示している。

参考文献: [1] 吉田他，第 71 回応用物理学会春季学術講演会 講演予稿集，24p-52A-3 (2024). [2] H.Nishino et al., Proc. of 22nd IPRM, 2010, p.156. [3] H.I.Fujishiro et al., PSS (C) **5** (2007) 2795.

謝辞: 本研究の一部は、JSPS 科研費 20H02211 の補助によって行われた。

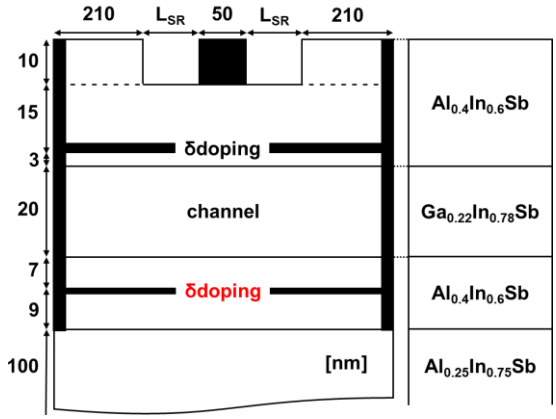


Fig. 1 Cross-sectional structure of double doped GaInSb HEMT used for analysis.

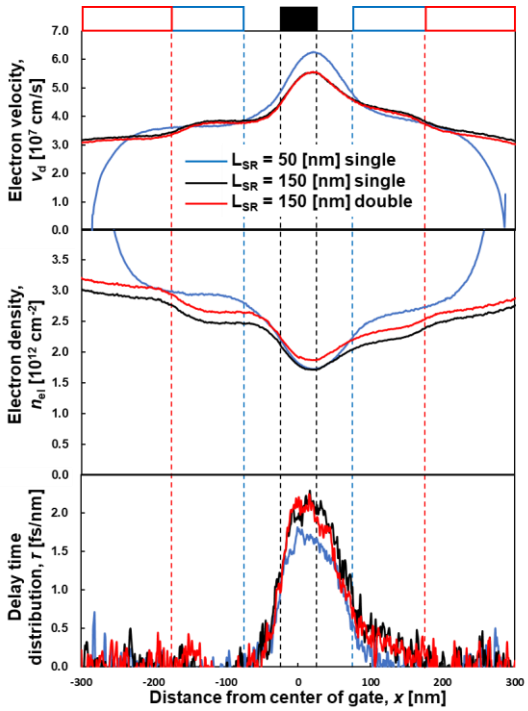


Fig. 2 Profiles of electron velocity v_d, electron density n_{el}, and delay time distribution τ.

© 2024年 応用物理学会

電流狭窄層およびδドープ導電性緩衝層に歪超格子層を用いた Si 基板上 AlGaN/GaN CAVET のデバイス特性

Device characteristics of AlGaN/GaN CAVETs on Si substrates with strained layer superlattice as current blocking layer and δ-doped conductive buffer layer

○久保俊晴、三木隆太郎、江川孝志（名古屋工業大学）
○T. Kubo, R. Miki, T. Egawa (Nagoya Inst. of Tech.)
E-mail: kubo.toshiharu@nitech.ac.jp

1. はじめに

GaN 系縦型デバイスにおいて、再成長型 CAVET(Current Aperture Vertical Electron Transistors)では、電流狭窄層(Current Blocking Layer: CBL)として p-GaN が主に用いられている。しかし、p-GaN の活性化が困難であることによる CBL の導通や Mg の拡散による 2 次元電子ガス(2DEG)の劣化、Mg のメモリー効果などの問題点がある。そこで我々は p-GaN の代わりとして高抵抗の歪超格子層（Strained Layer Superlattice: SLS）を用いて、Si 基板上に AlGaN/GaN ヘテロ構造を用いた Fig. 1 に示すような CAVET を作製した。その結果、p-GaN を用いた際に比べ、最大電流密度(I_{DSmax})の増加及びドレインリーク電流の減少が得られた[1]。

本研究では、I_{DSmax} の更なる改善のため、緩衝層である SLS 層内の AlN 層に Si の δ ドープを行うことにより、電流障壁を低減させ、I_{DSmax} を増大させることを試みたので、その結果を報告する。

2. 実験方法

MOCVD 法により、Si 基板上に緩衝層として n+ ドープした AlN 層および SLS 層を成長後、ドリフト層として 1 μm の n−-GaN 層を成長させた。その後、CBL として SLS(GaN/AlN= 28/5 nm)を 165 nm 成長させた試料を作製した。緩衝層である SLS 層内の AlN 層の成長の際、Fig. 2 に示したように、これまでの標準的な SLS 構造(a)に対し、AlN 層の上下に δ ドープ層を有する構造(b)を形成した。その後、反応性イオンエッチング(Reactive Ion Etching: RIE)によりドリフト層までゲート部エッチングを行った後、i-GaN を 500 nm、AlN を 1 nm、AlGaN を 20 nm 再成長させ、RIE による素子間分離を n−-GaN 層まで行った。その後、電子ビーム(EB)蒸着及び高速熱処理(RTA)によりソース電極(Ti/Al/Ni/Au=15/80/ 12/40 nm)を形成後、原子層堆積(ALD)によって Al_2O_3 を 40 nm 堆積させた。次に EB 蒸着によりゲート電極(Ni/Au = 30/150 nm)を形成した。ドレイン電極は基板を銀ペーストを介して銅板に接合させることにより形成した。作製した CAVET の構造は Fig. 1 と同様である。図中白色部分は下地であり、水色部分は再成長部分を示している。作製した CAVET に対して電気特性の評価を行った。

3. 実験結果

Fig. 3 に CAVET の縦方向の静特性を示す。青い線および赤い線はそれぞれ AlN 層に δ ドープを行った試料(試料 I)及び行わなかった標準試料(試料 II)の結果を示しており、I_{DS} はゲート部の面積で規格化している。ゲート部の面積は 200 μm×5 μm である。今回、ゲート絶縁膜の特性が低く、試料 II ではゲート電極に 10 V まで印加しているのに対して、青線の試料 I では 0 V までしか印加していないが、I_{DSmax} は試料 I 及び試料 II においてそれぞれ 298 A/cm^2 及び 95.6 A/cm^2 であり、δ ドープを行うことによりおよそ 3.1 倍増大した。今後、絶縁膜の特性を改善し、ゲート電極に正バイアスを印加することにより、I_{DSmax} を更に増加させることができるものと考えられる。

参考文献

[1] 久保, 他, 第 71 回応用物理春季学会, 22p-P04-1 (2024).

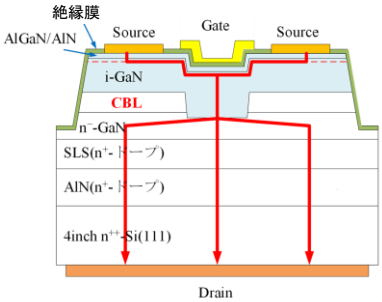


Fig. 1 Schematic cross-sectional view of the AlGaN/GaN CAVET.

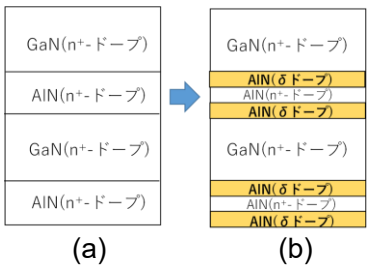


Fig. 2 SLS structures in the buffer layer: (a) standard, (b) δ-doped.

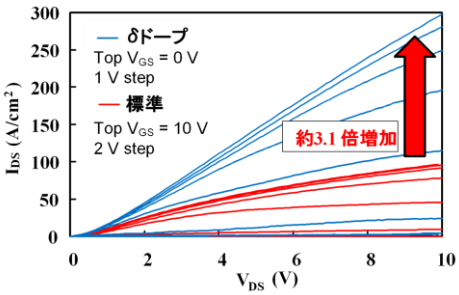


Fig. 3 DC I_{DS}–V_{DS} characteristics of CAVETs w/ and w/o the δ-doped SLS.

GaN 系 npn 型 HBT のベース層適用に向けた p 型 MQW 構造の検討

Study on p-type MQW structures for the base region in npn-type GaN HBTs

名古屋工業大学 °(M1)井上 諒星, (M2)小嶋 智輝、間瀬 晃、江川 孝志、三好 実人

Nagoya Institute of Technology Ryosei Inoue, Tomoki Kojima, Akira Mase, Takashi Egawa, and Makoto Miyoshi

E-mail: r.inoue.125@stn.nitech.ac.jp

【はじめに】 ワイドギャップ半導体 GaN を用いたヘテロ接合バイポーラトランジスタ（HBT）は、同じ GaN 系 HEMT や他材料系の HBT に比べ、高速で大出力動作が可能なため、次世代の高周波デバイスとして期待できる[1]。一方、GaN 系 HBT では、Mg などアクセプタの活性化エネルギーが大きい事に加え、p 型層が不可避的に n 型層に覆われた構成となるためにポストアニールによる水素脱離がしにくく、結果的に低抵抗の p 型層が得られにくいという課題がある。本研究では、npn 型 GaN-HBT を想定したうえで、p 型ベース層の横方向抵抗を低減する方法として、GaInN/GaN からなる多重量子井戸（MQW）構造の適用可能性について検討開始したので報告する。

【実験方法】 本研究で検討した試料構造の断面を図 1 に示す。c 面サファイア基板上に MOCVD 法を用いて、u-GaN 層(厚さ 2.5μm)、総厚 120 nm で Mg 濃度約 5×10^{19} cm^{-3} の p 型 GaInN/GaN（3nm/3nm ×20 ペア）MQW 層を成膜した。比較の為、p-GaN 層（厚さ 120nm）のみの試料も作成した。成長した試料に対し、窒素中 775℃90 分間のアクセプタ活性化処理を行った後、EB 蒸着による Pd/Ni/Au（60/10/30nm）電極膜の形成、N_2/O_2 比 4/1 からなる混合ガス中でのポストアニール処理を施した。このようにオーミック電極を形成した試料について、Hall 効果測定による電気特性評価を行った。

【結果と考察】 p-GaInN/GaN MQW 構造を有する試料 A と比較品である p-GaN 単膜構造の試料 B について得られたシート抵抗、シート正孔濃度を、各々、図２(a)、２(b)に示した。これらの結果より、単膜構造の試料 B が低温域でシート抵抗が増加するのに対し、MQW 構造の試料 A ではシート抵抗が一定値を示す温度域がある事、このシート抵抗が一定となる温度域ではシート正孔濃度が約 1.0×10^{13} cm^{-2} でほぼ一定となる事が示された。こうした現象は、MQW 構造を備えた試料 A において 2 次元的な正孔伝導が生じている事を示唆するものと考えられた。

【謝辞】 本研究は、総務省 SCOPE (JP235006002)の委託を受けて実施された。

[1] Mase et al. Phys. Status Solidi A (2022) **219** 2100397

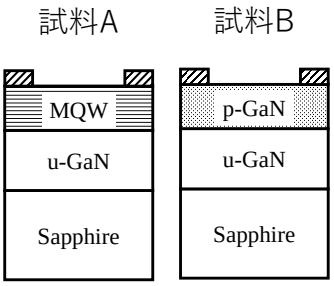


図 1 試料断面構造図
試料 A p-GaInN/GaN MQW、試料 B p-GaN

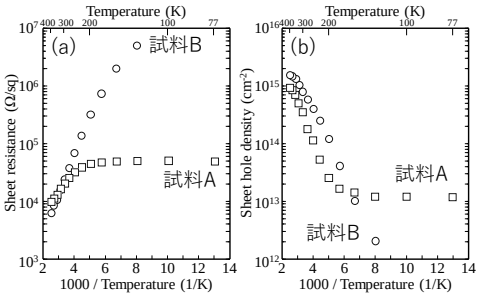


図２ (a)シート抵抗の温度依存 (b)シート正孔密度の温度依存 各々□:試料 A p-GaInN/GaN MQW 3/3 nm 20 ペア、○:試料 B p-GaN 120nm

Face-to-Face 高温高圧アニールによる均一性の向上 ～Au/Ni/n-GaN ショットキー接触を用いた界面顕微光応答法による二次元評価～

Improvement of uniformity by face-to-face ultra-high-pressure annealing observed by scanning internal photoemission microscopy using Au/Ni/n-GaN Schottky contacts

福井大院工 [1]，名大未来研 [2]　○今林 弘毅 [1], 松本 泰歩 [1], 塩島 謙次 [1], 加地　徹 [2]

Univ. of Fukui[1], Nagoya Univ.[2]　Hiroki Imabayashi[1], Yasuho Matsumoto[1], Kenji Shiojima[1], and Tetsu Kachi[2]

E-mail: ima-ba@u-fukui.ac.jp

【はじめに】近年、キャップレス超高温高圧アニール(UHPA)が GaN へのイオン注入後の活性化プロセスとして注目されている[1]。しかし、GaN 表面への熱ダメージによるデバイス特性への影響が懸念されている。我々は金属-半導体界面の電気的不均一を二次元評価できる界面顕微光応答法(SIPM)[2]を用い、GaN 粉末中で UHPA を行った GaN 表面を評価し、不均一が発生することを報告した[3]。本研究では、UHPA に Face-to-Face (F-to-F)法を用いた効果を SIPM により評価した。

【実験】自立 GaN 基板上に，MOVPE 法で n^--GaN（Si : 2×10^{16} cm^{-3}，厚さ 3 μm）層を成長した。次に、GaN ダミー基板をサンプル表面に置く F-to-F 配置にて UHPA を行った。アニール条件 Table 1 に示す。比較として、GaN 粉末中で UHPA を行った試料[3]の条件も併記する。アニール後、Ni ショットキー電極(厚さ 50 nm)および Au キャップ層(厚さ 50 nm)を電子ビーム蒸着法により堆積した。最後に InGa オーミック電極を基板裏面に堆積した。

SIPM 測定では、金属-半導体界面に赤(λ = 659 nm)のレーザーを集光・走査し、生じた光電流を測定した。その上で、光収率 (Y: 単位光子数当たりの光電流)の二次元像を得た。

【結果と考察】UHPA を行った試料の I-V 特性は非常にリーキーであったが(Fig. 1)、全ての電極で SIPM Y 像を得ることが出来た(Fig. 2)。P#1-1 試料の Y 像には接触全体で信号の不均一がみられたが、F#2-1 試料では同じアニール温度にもかかわらず、電極全面にわたって信号が均一であった。F-to-F 法による均一性の向上を SIPM 法を用いて明らかにすることができた。

【参考文献】

[1] H. Sakurai, et. al., Appl. Phys. Lett., 115, 142104 (2019).
[2] K. Shiojima, ECS Trans., 104, 69 (2021).
[3] H. Imabayashi, et al., Mat. Sci. Semicon. Process., 162, 107536 (2023).

謝辞　本研究の一部は日本学術振興会科研費 24K07558 の助成を受けた。

Table 1: Annealing condition of UHPA.

Sample	Annealing temp [°C]	Annealing pressure [MPa]	Annealing time [min]	Annealing condition
As-grown	–	–	–	–
F#2-1	1300	960	60	F to F
F#2-2	1300	500	15	F to F
P#1-1 [3]	1300	1000	5	In powder
P#1-2 [3]	1400	1000	5	In powder

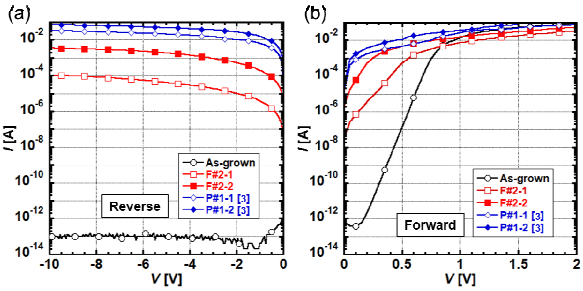


Fig. 1. Forward and (b) reverse I-V characteristics of the Au/Ni/n-GaN Schottky contacts without and with UHPA.

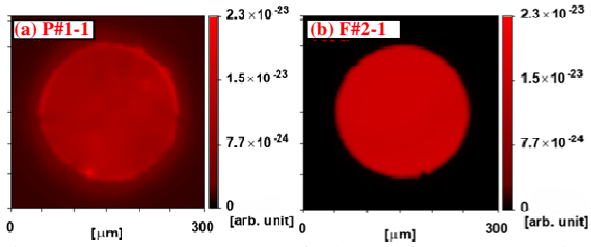


Fig. 2. SIPM Y maps of the entire 200-μm-ϕ electrodes of (a) P#1-1[3] and (b) F#2-1.

単結晶窒化ガリウム中のシリコンの拡散

Diffusion of silicon in single-crystalline gallium nitride

滋賀県大工 [1], 阪大産研 [2], 東ソー(株)[3] ◦(M1)三村 啓人 [1], 仲村 龍介 [1], 鈴木 健之 [2], 上岡 義弘 [3], 召田 雅実 [3]

Univ. of Shiga Pref.[1], SANKEN Osaka Univ.[2], Tosoh Corp.[3],◦Keito Mimura[1], Ryusuke Nakamura[1], Takeyuki Suzuki[2], Yoshihiro Ueoka[3], Masami Mesuda[3]

E-mail: tz21kmimura@ec.usp.ac.jp

【背景と目的】近年，n 型と p 型の窒化ガリウム（GaN）層を積層する縦型デバイスの研究開発が進められている．n 型の GaN 層にはシリコン（Si）やゲルマニウムなどのドーパントが添加される．ドーパントの分布の制御には熱処理が関わる．したがって，その制御には拡散係数が必須である．GaN 中の Si の体拡散係数（D）は Pan ら[1]と Jakiela ら[2]によって報告されている．しかし，両文献には解析法の記述が不十分であることや，両者の D の食い違いが大きいことから，確からしい値が得られているとは言い難い．本研究では，単結晶試料における Si の濃度プロファイルを測定して，広い温度範囲における D の決定を試みた．

【実験方法】有機金属化学気相成長法によって作製された市販の単結晶 GaN 膜（Enkris Semiconductor）に，高周波スパッタリング装置を用いて Si を堆積して Si/GaN 試料を作製した．基板温度を室温に保持し，アルゴン圧力を 0.7 Pa，スパッタ出力を 150 W として膜厚 80 nm の Si を成膜した．真空中で 800 °C ~ 1000 °C の温度範囲で拡散アニールした．二次イオン質量分析法により，Si, Ga および N の深さ方向 x の強度分布を測定した．

【結果】Fig. 1 に as-deposited および 900 °C × 2 h の試料における，質量数 28 の Si および 69 の Ga の二次イオン強度プロファイルを示す．as-deposited では，x = 130 nm の Si/GaN 界面で ^{28}Si の強度は鋭く低下し階段状に分布する．拡散アニールを施した試料では，x = 130 nm 以降，強度が 1×10^3 から緩やかに低下する．表面濃度が一定の場合のフィックの方程式の解は誤差関数型となる．これを適用して D を求めた．900 °C の D は上述の二つの文献値の外挿値の中間的な値となった．

【文献】

[1] C. J. Pan et al., J. Vac. Sci. Technol. B, 22, 1727 (2004).
[2] R. Jakiela et al., Phys. Status Solidi C, 3, 1416 (2006).

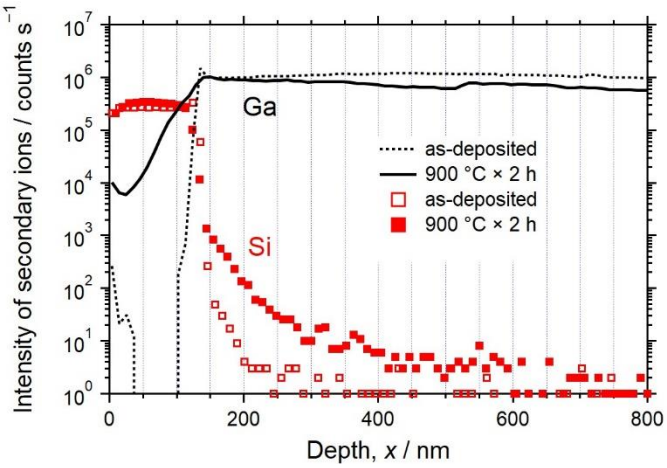


Fig. 1. Depth profiles of ^{28}Si and ^{69}Ga in an as-deposited sample, and a sample annealed at 900 ºC × 2 h.

Mg 添加 AlN 層上の Ni 電極の高温熱処理による接触抵抗低減

Reduction of Ni contact resistance for Mg-doped AlN layers by thermal heating

筑波大数理 [1], NIMS[2]
○宮沢　風我 [1], 井村　将隆 [2], 奥村　宏典 [1]
Univ. of Tsukuba [1], NIMS[2] ○Fuga Miyazawa[1], Masataka Imura[2], Hironori Okumura[1]
E-mail: s2420319@u.tsukuba.ac.jp

AlN は、6.1eV のバンドギャップを持つ直接遷移型半導体であるだけでなく、絶縁破壊強度が大きいことから、深紫外発光素子やパワー素子用材料として有力である。LED や PN ダイオードには p 層の利用が不可欠である。AlN 層の p 型化には Mg アクセプタが用いられるが、Mg 添加 AlN 層に適したオーミック電極はまだ確立していない。本研究では MOCVD 法により成長した Mg 添加 AlN 層を用いて、Ni/Au 電極に対する様々な熱処理温度と電気的特性への影響を調べた。

MOCVD 装置を用いて 4 度オフ n 型 4H-SiC (0001)基板上に Mg 添加 AlN 層を 320nm 程度成長した。成長温度 1120℃、成長時間を 7 分、成長圧力を 13 kPa とし、キャリアガスに H_2 を用いた。Al、窒素、Mg 原料として、それぞれ TMAl、NH_3、CP_2Mg ガスを用いた。TMA のモル流量、V/III 比、Mg/Al 比はそれぞれ 106 μmol/min、84、0.14%とした。結晶成長後、電気的活性化処理のため N_2 雰囲気下 3×10^4 Pa で 30 分間 800℃の熱処理を行った。AlN 層上に Ni (25 nm)/Au (25 nm)を電子線蒸着装置により堆積し、O_2 雰囲気下 3×10^4 Pa で 10 分間の熱処理を行った。今回、熱処理なし、600℃、800℃の 3 種類の熱処理条件を用いた試料を用意し、電流-電圧特性を評価した。

全ての Mg 添加 AlN 試料で導電性が得られた。電極の熱処理温度を変えた 3 試料における電流-電圧特性を図 1 に示す。熱処理なし試料では、数 nA しか電流が流れなかった。これは、Ni 金属の高いショットキー障壁による、高い接触抵抗が起因すると考えられる。600℃加熱試料で電流が増大した。Ni を O_2 雰囲気下で高温熱処理することにより、p 型 NiO が形成され、Mg 添加 AlN 層に対する接触抵抗が低減したと考えられる。800℃加熱試料では 600℃加熱試料よりも電流が小さくなった。これは、Ni/Au 電極が劣化したため、抵抗が増大したためと考えられる[1]。これまで、Mg 添加 AlN 層に用いられる Ni/Au 電極は、p 型 GaN 層の条件に倣って 500℃の熱処理を行うのが慣習的であった。今回、Mg イオン注入 AlN 試料を参考にして[2]、更に高い温度で熱処理を行ったところ、500℃以上の熱処理でも比較的良好な特性が得られることが分かった。今後、より詳しい評価を行う予定である。

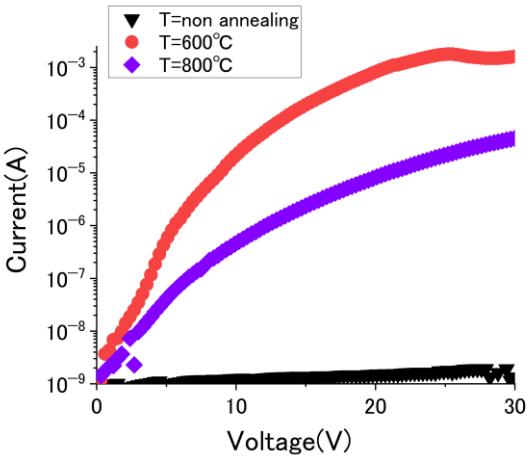


Figure1: Current-voltage characteristics of Mg-doped AlN layers on n-type SiC substrates as a function of annealing temperature.

[1] J. Kim *et al.*, J. Elect. Soc. **147**, 4645 (2000). [2] H. Okumura *et al.*, JJAP 62, 020901 (2023).

Mg イオン注入後 2 段階アニールを行った GaN 中の伝導帯付近禁制帯内準位の MOS 構造を用いた評価 (2)

Characterization of near-conduction-band gap state in Mg-ion-implanted GaN after two-step annealing using MOS structure (2)

北大量集センター[1]
°(M2)羅 宇瀏 [1], (D1)畠山 優希 [1], 赤澤 正道 [1]
RCIQE, Hokkaido Univ.[1]
°Yuliu Luo [1], Yuki Hatakeyama [1], Masamichi Akazawa[1]
E-mail: luoyl@rciqe.hokudai.ac.jp

【はじめに】GaN のパワーデバイス応用において、イオン注入技術の確立が望まれる。このためには、Mg イオン注入により発生する欠陥について、その起源をよく調べ、制御方法を見出す必要がある。イオン注入後、高圧下でパルス的に高温（>1400℃）まで昇温するアニールの前後に 1000℃での長時間熱処理を行うことで格子損傷を低減する方法が提案されている [1)]。しかし、常圧下では、1000℃での長時間の加熱は、表面保護膜を用いても GaN 表面の特性に悪影響を与える可能性が高い。本報告においては、イオン注入後、高温での活性化アニール前に 600℃でのキャップアニールを行う 2 段階アニールの、禁制帯内準位に与える効果を、MOS 構造を用いて検討した結果を報告する。

【実験方法】MOVPE 成長した GaN 自立基板上 n-GaN エピタキシャル層($n = 5\times10^{17}$ cm^{-3})に、50keV においてドーズ量 1.5×10^{11} cm^{-2} でイオン打込みを行った。続いて、スパッタ AlON を表面保護膜とした 600℃、3 時間のアニールを行い、80℃の TMAH で表面保護膜を除去した後、改めてスパッタ AlON を堆積し、1250℃、1 分のアニールを行った。AlON を 80℃の TMAH で剥離後、表面に ALD Al_2O_3 層と Ni/Au 電極、裏面に Ti/Au オーミック電極の形成を行い、MOS ダイオードを作製し、両ダイオードに大気中 300℃、3 時間の熱処理を施してから 1 kHz から 1 MHz までの *C–V* 測定を行った。比較のため、600℃でのアニールを行わずに 1250℃でアニールを行った試料も作製した。

【結果と議論】測定された *C–V* 特性より、高低周波数法により求めた禁制帯内準位密度分布を **Fig. 1** に示す。600℃でのアニールを行っていない場合に比較して、600℃でのアニールを行ってから 1250℃でのアニールを行った試料においては、密度がより低減された分布が得られた。1250℃での 1 回限りのアニールにおいては、イオン注入による欠陥が GaN 表面側に拡散して、MOS 界面形成後の界面準位を発生させた可能性がある。一方、1250℃でアニールの前に 600℃での長時間のキャップアニールを行うことにより、キャップ層への欠陥の拡散が起こることによって、拡散によって欠陥が GaN 表面に集中することを抑制できた可能性がある。

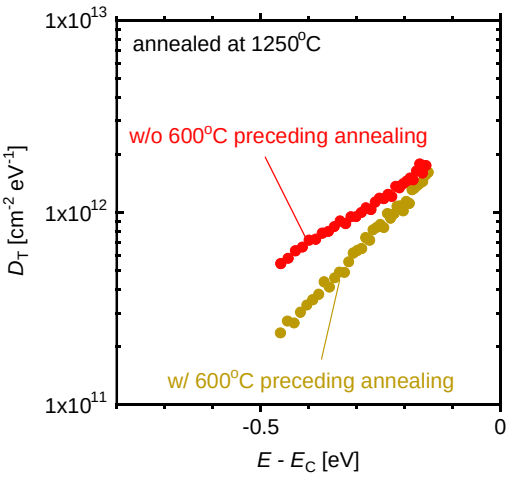


Fig. 1 Gap state density D_T distribution derived from *C–V* characteristics of MOS diodes.

【謝辞】本研究は文部科学省「革新的パワーエレクトロニクス創出基盤技術研究開発」事業 JPJ009777 の委託を受けました。エピタキシャル基板を提供頂いた、豊田中央研究所の成田哲生氏に感謝します。

1) J. D. Greenlee et al., ECS J. Solid State Sci. Technol., 382 (2015).

Mg イオン打ち込みした GaN に対する 850℃アニールの表面およびバルク欠陥への影響についての MOS 構造を用いた評価(3)

Assessment of effects of 850°C annealing on surface and bulk defects of Mg-ion implanted GaN using MOS structure (3)

北大量集センター[1]
°(M2)新藤 源大 [1], (D1)畠山 優希 [1], 赤澤 正道 [1]
RCIQE, Hokkaido Univ.[1]
°Genta Shindo [1], Yuki Hatakeyama [1], Masamichi Akazawa[1]
E-mail: shindo@rciqe.hokudai.ac.jp

【はじめに】高効率パワーデバイスの実現において必須となる、GaN へのイオン注入技術の確立のためには、欠陥の制御が必須であることから、イオン注入による欠陥とその熱的振る舞いについて調べることは重要である。GaN 中に存在する Ga や N の格子間原子（Ga_i, N_i）や空孔（V_{Ga}, V_N）といった単純欠陥は、850℃に加熱することにより拡散可能になることが文献から読み取れる [1)]。本報告においては、前回 [2)]に続き、Mg イオン打ち込みを行った GaN における表面近傍のバルク欠陥に対する 850℃アニールによる効果を、MOS 構造を用いて調べた結果について報告する。

【実験方法】MOVPE 成長した GaN 自立基板上 n-GaN エピタキシャル層(n = 5×10^{17} cm^{-3})に、50keV においてドーズ量 1.5×10^{11} cm^{-2} または 1.5×10^{12} cm^{-2} で Mg イオン打込みを行った。欠陥準位の同定を容易にするため、n 型の導電性を保つように条件を設定した。続いて、スパッタ堆積 AlON を表面保護膜とした 850℃、30 分または 60 分の熱処理を行い、80℃において TMAH により AlON 表面保護膜を除去した。その後、改めて ALD Al_2O_3 層と Ni/Au 電極、裏面 Ti/Au オーミック電極の形成を行い、MOS ダイオードを作製した。Al_2O_3/GaN 界面の界面準位の低減を図るため、完成後のダイオードに大気中 300℃、3 時間の熱処理を施してから容量－電圧（*C–V*）測定を行った。

【結果と議論】**Fig. 1** に、MOS ダイオードの 1 MHz の *C–V* 特性から算出したドーピングプロファイルを示す。Mg イオン注入をしていない試料では、850℃で 30 分間アニールをしても平坦なドーピングプロファイルを示した。しかし、イオン注入した試料では浅い側でドナー電荷が補償されている。これはアクセプター型の欠陥に起因していると考えられる。一方、ドーズ量 1.5×10^{11} cm^{-2} または 1.5×10^{12} cm^{-2} の Mg イオン打ち込みを行った GaN に 850℃アニールを施した後に作製した MOS 試料の界面準位密度を **Fig. 2** に示す。E_C – 0.3 eV 付近は上に凸な形状になっており、表面近傍の欠陥に起因する欠陥準位によるものであると考えられ、先行報告によると、$V_{Ga}V_N$ 欠陥である可能性が高い。

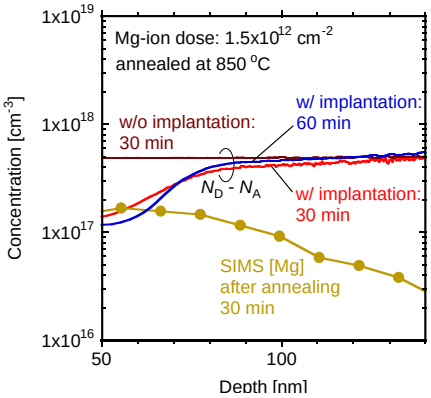


Fig. 1 Doping profile.

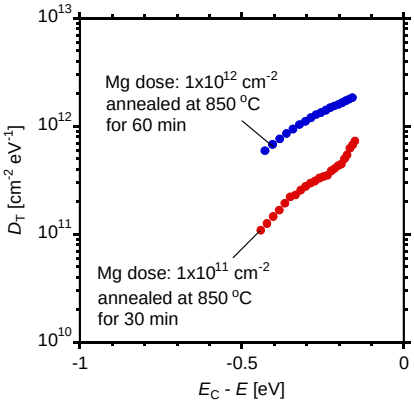


Fig. 2 Gap state density distribution.

【謝辞】本研究は住友化学株式会社からの助成を受けて遂行されました。

1) S. Limpijumnong and C. G. Van de Walle, Phys. Rev. B **69**, 035207 (2004).
2) 新藤他、2023 年応用物理学会秋季学術講演会 21a-P06-4.
3) M. Akazawa, R. Kamoshida, S. Murai, T. Kachi, and A. Uedono, Jpn. J. Appl. Phys. **60**, 016502 (2021).

GaN に対する SiO_2 キャップアニールの効果についての XPS 評価

XPS Study on Effects of SiO_2 Cap Annealing on GaN

北大量集センター[1] ○ (M1) 高橋 尚伸[1], (M2) 焦 一寧[1], 赤澤 正道[1]
RCIQE, Hokkaido Univ.[1]
°M. Takahashi[1], Y. Jiao[1], and M. Akazawa[1]
E-mail: takahashi.masanobu.s1@elms.hokudai.ac.jp

【はじめに】窒化ガリウム(GaN)に対するアニールは、高効率パワーデバイス作製上必須の技術となる。例えば Mg ドープ p 型 GaN（p-GaN）に対する脱水素アニールは 800℃程度あるいはそれ以上の温度で行われるが、表面の保護やキャップ層の影響については詳しく調べられていない。本報告においては、p-および n-GaN に対する SiO_2 キャップアニールの影響について調べた結果を報告する。

【実験方法】MOVPE 法により、n-GaN 自立基板上に、n-GaN エピタキシャル層単層(N_D = 5×10^{17} cm^{-3})あるいは高濃度 pn 接合を介した p-GaN エピタキシャル層(N_A = 1×10^{17} cm^{-3})の成長を行った。両方の試料とも HF:H_2O=1:1 により表面酸化膜を除去し、SiO_2 キャップ層を RF スパッタにより形成し、窒素雰囲気中 800℃における SiO_2 キャップアニールを行った。以上の各段階で XPS を行った。ただし、キャップアニール後の XPS においては、BHF によるウェットエッチングにより SiO_2 を 3 nm の極薄層として評価を行い、さらに HF:H_2O=1:1 によりキャップ層を完全に除去した後にも XPS を行った。

【結果と議論】XPS Ga3d スペクトルによる各段階での表面フェルミ準位(E_{FS})位置の評価結果を **Fig. 1** に示す。n-GaN においては、エピタキシャル成長直後、および希釈 HF 処理後には電荷中性点 E_{CNL} 付近あるいはそれよりも E_C 側に E_{FS} が位置し、E_{CNL} よりも E_C 側でアクセプタ型の準位が分布する表面準位によるピンニングと考えることができる。SiO_2 堆積後、さらにはその後の 800℃アニールの後には、E_{FS} が次第に E_C 側に近付いていくので、表面不活性化とさらなるアニールによって、GaN 表面における乱れが低減してバンド曲がりが低減したと考えられる。SiO_2 膜除去後に再び E_{CNL} に近付くのは、表面の乱れが再び発生したことを示唆していると考えられる。一方、p-GaN においては、SiO_2 を堆積してキャップアニールを行うまでは Mg が活性化されていないので、E_{FS} の振舞いが n-GaN と大差無いことは不思議ではないが、アニールによる Mg 活性化後に E_C に近付いていることは、表面近傍の E_C 付近にドナー型の準位が発生していることを示している。E_{CNL} よりも E_C 側でアクセプタ型の準位が分布する界面準位の他に、欠陥に起因するドナー準位が発生したものと考えられる。

【謝辞】本研究は文部科学省「革新的パワーエレクトロニクス創出基盤技術研究開発」事業 JPJ009777 の委託および科研費 JP24K22934、JP23K26131 の援助を受けました。MOVPE 成長を頂いた、豊田中央研究所の成田哲生氏に感謝いたします。

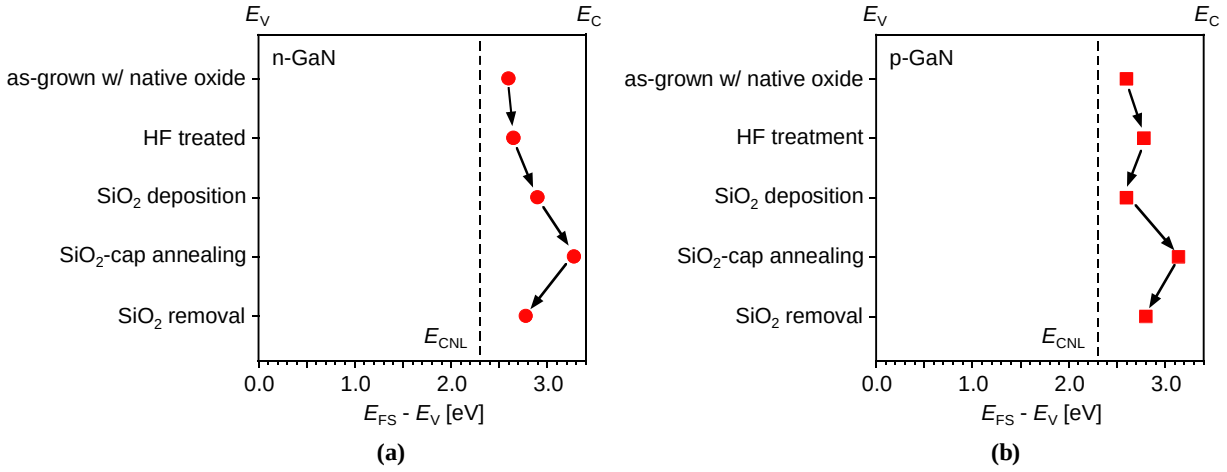


Fig.1 Surface Fermi level position investigated by XPS at each process step. (a) n-GaN and (b) p-GaN surfaces.

© 2024年 応用物理学会

SiO_2/GaN 界面酸化ガリウム層の熱処理による構造変化
Structural changes of Ga-oxide layer at SiO_2/GaN interface by thermal treatment

奈良先端大[1]，産総研[2]，近畿大[3]，厚見 遼也[1]，上沼 睦典[2]，富田 広人[1]，山田 翔梧[1]，山田 侑矢[1]，
吉田 桃子[1]，孫 澤旭[1]，橋本 由介[1]，松下 智裕[1]，藤井 茉美[3]，浦岡 行治[1]
NAIST[1], AIST[2], Kindai University[3], Ryoya Atsumi[1], Mutsunori Uenuma[2], Hiroto Tomita[1],
Shougo Yamada[1], Yuya Yamada[1], Momoko Yoshida[1], Zexu Sun[1], Yusuke Hashimoto[1],
Tomohiro Matsushita[1], Mami N.Fujii[3], Yukiharu Uraoka[1]

E-mail: atsumi.ryoya.au4@ms.naist.jp, m.uenuma@aist.go.jp

１．背景・目的

パワー半導体材料に関する研究では、SiC、GaN、Ga_2O_3、ダイヤモンドなどが主に研究されているが、絶縁膜や金属などとのヘテロ界面を含む物性・機能に関しては、まだ十分に理解されていない。このため、半導体材料と絶縁膜との界面の原子位置や化学的特性などを原子レベルで評価できる分析手法の研究開発や、得られたデータを理解するモデルや理論の構築が必要である。さらに、これらの知見から高性能・高品質ヘテロ界面を制御する手法を研究開発することが重要である。

GaN MOS パワーデバイスでは、ゲート絶縁膜 (SiO_2, Al_2O_3 など)と GaN の界面に極薄の GaO_x 層が形成される。また、800 ℃の堆積後熱処理 (PDA)では、SiO_2 中に Ga 原子が拡散することが報告されている[1]ため、絶縁膜/GaN 界面の原子配置や理論的なモデルの構築が必要とされている。

我々のグループは、特定原子周辺の局所立体構造を解明する手法である光電子ホログラフィを用いて、Atomic layer deposition (ALD) Al_2O_3 膜により制御された Al_2O_3/GaN 界面酸化層の原子配列やスパッタ SiO_2 膜により制御された SiO_2/GaN 界面酸化層の原子配列を解明した[2,3]。

そこで本研究では、PDA プロセスが与える電気的影響と ALD-SiO_2/GaN 界面の GaO_x 層を明らかにするため、C-V 測定と光電子ホログラフィを用いて界面層を評価した。

２．実験方法

n-GaN エピ層(Si 濃度:4×10^{16} cm^{-3})を持つ自立 GaN 基板(c 面) を用い、Plasma-enhanced chemical vapor deposition（PECVD）または ALD により SiO_2 (~50 nm)を堆積した。その後、酸素雰囲気下で 400 ℃、600 ℃、800 ℃、1 h の PDA を行い、抵抗線加熱蒸着により両面にゲート電極を蒸着した。最後に窒素雰囲気下で 400 ℃、30 min の電極形成後熱処理（PMA）を施した。作製したキャパシタ構造の試料に対して C-V 測定を行い界面準位密度（D_{it}）の比較を行った。また、光電子ホログラフィには、ALD により SiO_2(~1 nm)を堆積した試料を酸素雰囲気下で 600 ℃、800 ℃、1 h の PDA を実施した試料を用いた。光電子ホログラムの測定には、SPring-8 BL25SU の RFA を使用した。

３．結果・考察

図 1 に、PECVD-SiO_2/GaN 試料の D_{it} を示す。各試料を比較すると、PDA 600℃の処理によって D_{it} が顕著に低減することが確認された。一方で、800 ℃の熱処理では、Dit の増加がみられた。これは、800 ℃熱処理にともなう Ga 原子が SiO_2 中に拡散することが起因していると示唆される[1]。また、図 2 に ALD-SiO_2/GaN 試料（PDA 600 ℃）の Ga 3d スペクトルと光電子ホログラム（Ga-N 成分と Ga-O 成分）を示す。Ga-N 成分は基板由来の成分であり、理論値と一致した。一方、Ga-O 成分は SiO_2/GaN 界面の成分で、SiO_2/GaN 界面において酸化ガリウム層の存在が示唆される。

発表では、熱処理温度と界面準位密度および、界面原子構造の関係について報告する。

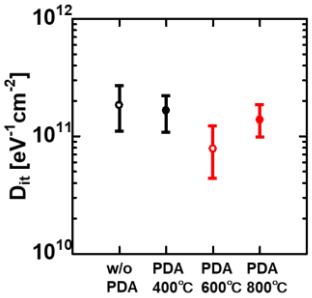


Fig. 1 Interface density of state (Dit) for each sample

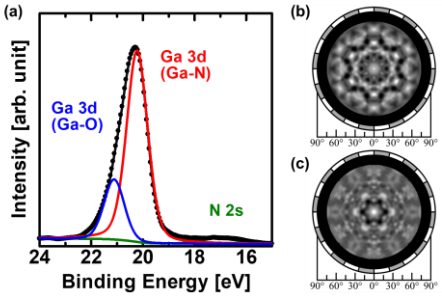


Fig. 2 (a) XPS Ga 3d spectra. (b) Ga 3d(Ga-N) and (c) Ga 3d(Ga-O) photoelectron holograms

[1] K. Onishi et al., Jpn. J. Appl. Phys. 62, 050903 (2023)
[2] M. Uenuma et al Appl. Phys. Express 15 085501 (2022)
[3] 上沼睦典 他，第 10 回 先進パワー半導体分科会講演会（2023）

© 2024年 応用物理学会

基底状態原子支援化学気相堆積法によるシリコン系絶縁膜を用いた AlGaN/GaN MOS 構造の検討

Investigation of AlGaN/GaN MOS structure using silicon-based insulator formed by atomic species enhanced chemical vaper deposition

豊橋技術科学大学 [1], アリエースリサーチ有限会社 [2],
○(M2)赤松 龍弥 [1], (M2)鹿田 颯吾 [1], 古川 雅一 [2], 若原 昭浩 [1], 岡田 浩 [1]
Toyohashi Univ. Technol. [1], Aries Research Limited Company[2],
°T. Akamatsu[1], S. Shikata[1], M. Furukawa[2], A. Wakahara[1], H. Okada[1]
E-mail: Akamatsu.tatsuya.ob@tut.jp, okada@las.tut.ac.jp

窒化物半導体は高耐圧かつ低損失なパワーデバイス等への応用が期待されている。AlGaN/GaN ヘテロ界面に形成される 2 次元電子ガス(2DEG)を用いた高電子移動度トランジスタ(HEMT)は低オン抵抗や高速スイッチングに優れた特性を有し、小型情報端末の高速充電器などへの応用が進められている。AlGaN/GaN HEMT は基本的にノーマリーオン動作であるが、デバイスの応用において安定したノーマリーオフ動作可能な HEMT の作製は重要であり、ゲート部分に p-GaN を挿入する構造や、AlGaN 層のエッチングにより 2DEG を枯渇させるアプローチが行われている。これらの構造においてもゲート部分の安定性や界面特性の制御は重要な課題であり、窒化物半導体のエンハンスメント動作を実現し、安定なデバイス動作、半導体プロセスに親和性の高いゲート絶縁膜の堆積技術の確立が求められている。我々は低ダメージで高品質な膜堆積が期待できる基底状態原子支援化学気相堆積法(Atomic Species Enhanced Chemical Vaper Deposition :ASECVD)法による絶縁膜のデバイス応用を検討している。本研究では MOS 構造として ASECVD 法で SiO_2 膜を堆積した構造と SiO_2/SiN 膜を堆積した構造の電気的特性を評価した。

図 1 に試料構造を示す。AlGaN/GaN/Si 基板上にオーミック電極として Ti/Al/Ti を蒸着後、600℃ 1 分の熱処理を施した。オーミック電極をレジストで保護した上で、堆積前処理として希塩酸に 3 分浸漬し、SiO_2(60nm)および SiO_2/SiN(60/4 nm)膜を ASECVD 法で堆積した。400℃ 10 分の堆積後熱処理を施した後に、絶縁膜表面に Al ドット電極を蒸着した。

図 2 に MOS(a)及び MIS(b)キャパシタの 1MHz における *C-V* 特性を示す。(a)、(b)はいずれも-25V 付近で 2DEG 層の空乏化が確認された。正バイアス側では図 2(a)は容量値が一定であるのに対して、図 2(b)では 5V 付近から容量増加が観測された。図 2(b)では AlGaN/GaN MIS 構造における 2 段階の C-V 特性 [1])が観測され、幅広いゲートバイアス範囲でポテンシャル制御が可能になっていると考えられる。

謝辞:本研究は JSPS 科研費(23K03956)の助成を受けた。

1)M. Miczek et al, J. Appl. Phys. **103** 104510 (2008)

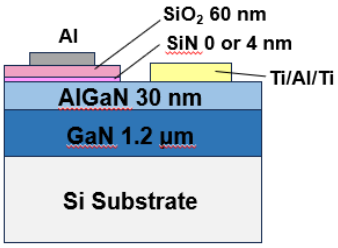


Fig.1 Sample structure.

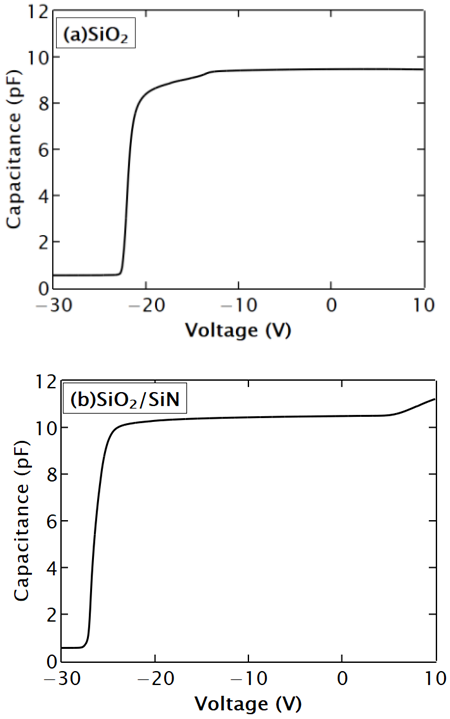


Fig.2. *C-V* of AlGaN/GaN MOS Capacitor with (a)SiO_2, (b)SiO_2/SiN

N 極性面 GaN のウェットエッチングに対する希釈溶媒の影響

Effect of diluting solvents on wet etching of N-polar GaN

九州工業大学大学院　樋口　裕之介，小野　諒子，新海　聡子

Kyusyu Institute of Technology：Yunosuke Higuchi, Ryoko Ono, Satoko Shinkai

Email：higuchi.yunosuke297@mail.kyutech.jp

１．はじめに

窒化ガリウム（GaN）は、熱伝導率が大きく放熱性に優れ、高速スイッチングや高温動作を実現できることから次世代半導体材料として注目を浴びている。GaN の Ga 極性面に対するウェットエッチングでは c 面に対してはエッチングがほとんど進まないのに対し、N 極性面ではエッチングが進行することがわかっている[1]。本研究の目的は、溶媒の変化による N 極性面に対するウェットエッチングのメカニズムを解析することである。

２．実験方法

使用した試料は N 極性面 n-GaN 自立基板である。溶媒を変化させた濃度 5wt.%の 3 つのアルカリ溶液を用いて試料にエッチングを施した。エッチングは計 3 時間行い、30 分ごとに走査電子顕微鏡（SEM）で表面を確認した。

３．結果と考察

N 極性面 n-GaN 基板を、希釈溶媒を変化させて 3 時間ウェットエッチングを行った結果を図 1 に示す。希釈溶媒 A（図 1（a））では、鋭利な先端を持つ大小さまざまなピラーの生成が確認できる。希釈溶媒が B（図 1（b））では、ピラーの先端が潰れており、A 同様、大小さまざまなピラーが観察されるが、溶媒 A よりピラーの最大サイズが大きく、大きなピラーの割合も多くなっている。それに対して、希釈溶媒 C（図 1（c））では、他の溶媒とは異なり、ピラーの生成がかなり抑制されることがわかった。溶媒を変化させることでエッチャントを変化させなくてもエッチング形態を大きく変化させることが可能なことがわかった。

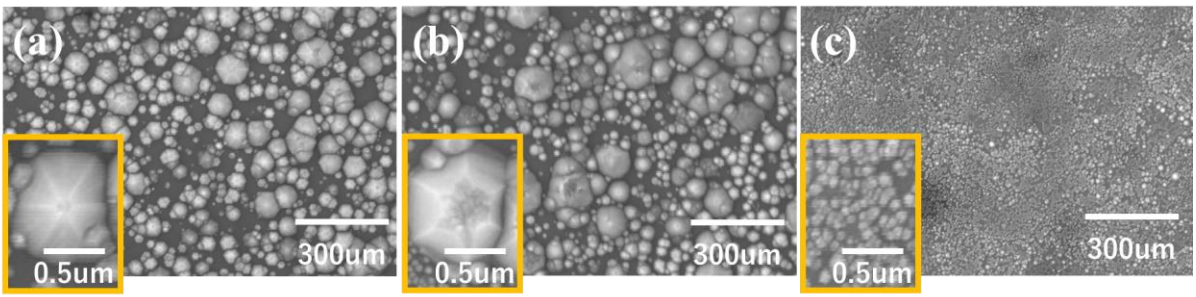


Fig. 1 SEM images of N-polar GaN surface after wet etching by alkali solutions diluted with (a) solvent A (b) solvent B and (c) solvent C

参考文献

[1] Dong Sheng, Deren Yang, and Masatomo Sumiya, Journal of Applied Physics, October 2001

ミスト CVD 法による GaN MIS デバイス向け混晶ゲート絶縁膜の作製

Mist Chemical Vapor Deposited Alloy Gate Dielectric for Potential Applications in GaN Based MIS Devices

熊本大 [1]　○大竹 浩史 [1]，中村 有水 [1]，谷田部 然治 [1]

Kumamoto Univ. [1], ○Hiroshi Otake[1], Yusui Nakamura[1], Zenji Yatabe[1]

E-mail: yatabe@cs.kumamoto-u.ac.jp

1.はじめに

ガリウムナイトライド(GaN)系金属−絶縁膜−半導体(MIS)デバイスのゲート絶縁膜として混晶ゲート絶縁膜が注目されている。混晶ゲート絶縁膜は組成比による禁制帯幅や比誘電率の制御が可能である。本研究では、広い禁制帯幅（E_g ~ 7 eV）を持つ酸化アルミニウム(Al_2O_3)と高い誘電率を持つ二酸化チタン(TiO_2)の混合物であるチタン酸アルミニウム($Al_{1-x}Ti_xO_y$)薄膜に注目した [1]。また現在、$Al_{1-x}Ti_xO_y$ 薄膜の形成手法として、高コストな真空装置を必要とする原子層堆積法が主流である。そこで本研究では真空装置を必要とせず、大気圧下で酸化物薄膜が形成可能であるミスト化学気相成長法(CVD)法を用いて $Al_{1-x}Ti_xO_y$ 薄膜を堆積し、その成長メカニズムについて調べた。

2.実験方法

$Al_{1-x}Ti_xO_y$ 薄膜の原料溶液には Al 源としてアルミニウムアセチルアセトナート[$Al(C_5H_7O_2)_3$)]、Ti 源としてチタンテトライソプロポキシド[$Ti(C_3H_7O)_4$]、溶媒としてメタノールを使用した [2]。溶液中の Al と Ti 原料濃度比を 7:3 に固定し、堆積温度を 250–450 ℃で 50 ℃ずつ変化したときの膜中の組成比変化を蛍光 X 線分析装置(XRF)によって測定した。基板には 2 インチ Si を用いた。

3.実験結果及び考察

図 1 に $Al_{1-x}Ti_xO_y$ の堆積温度と禁制帯幅の関係を示す。禁制帯幅は分光エリプソメトリーによって測定した。堆積温度が上昇するにつれて $Al_{1-x}Ti_xO_y$ の禁制帯幅が大きくなることから膜中組成比が変化していることが示唆された。そこで膜中組成比を XRF で測定した。**図 2** に測定した $Al_{1-x}Ti_xO_y$ 薄膜の膜中 Al の割合と堆積温度の関係を示す。予想通り堆積温度が低温では Ti リッチで、高温になるにつれて Al リッチになることが確認でき、堆積温度 400 ℃で狙い通りの Al:Ti=7:3 の $Al_{1-x}Ti_xO_y$ 薄膜を作製出来た。**図 3** にはミスト CVD 法により堆積した Al_2O_3 と TiO_2 のそれぞれの堆積速度のアレニウスプロットを示す。堆積温度が上昇するにつれて Al_2O_3 の堆積速度は大きくなるが、TiO_2 の堆積速度はほぼ一定であることがわかった。この結果より堆積温度によるそれぞれの堆積速度の差が組成比変化の原因と考えられる。

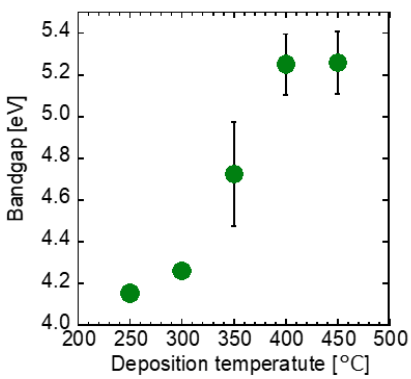


図 1. Relationship between deposition temperature and bandgap of $Al_{1-x}Ti_xO_y$.

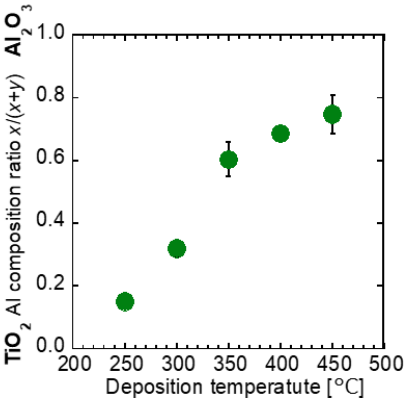


図 2. Relationship between deposition temperature and the composition of Al in $Al_{1-x}Ti_xO_y$ film.

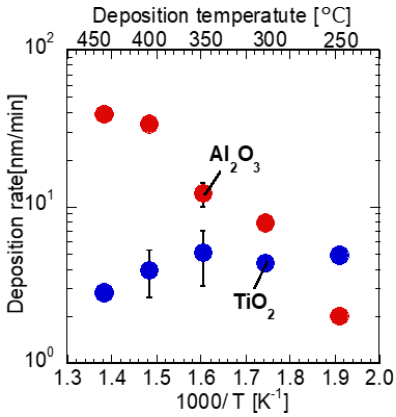


図 3. Arrhenius plot of deposition rate of Al_2O_3 and TiO_2.

参考文献

[1] Toshi-kazu Suzuki et al, Jpn. J. Appl. Phys. **130**, 014503 (2021).
[2] Z. Yatabe et al, Jpn. J. Appl. Phys. **58**, 070905 (2019).

ウエットエッチングによる酸化ガリウムのステップ形成

Ga_2O_3 step formation by wet etching

九州工業大学　○(M1) 小野 諒子，加藤 天音，新海 聡子
Kyushu Institute of Technology, °Ryoko Ono, Amane Kato and Satoko Shinkai
E-mail: ono.ryouko820@mail.kyutech.jp

[はじめに]　β 型酸化ガリウム（β-Ga_2O_3）は従来の半導体材料であるシリコン（Si）より遥かに大きな絶縁破壊電界を有しており、小型化、低損失化の観点からパワーデバイスの材料として期待されている。ショットキーバリアダイオード（SBD）への応用では、ホモエピタキシャル層のステップフロー成長の実現と成長前基板の表面形態の制御が重要となる。本研究では、β-Ga_2O_3 基板に溶媒を変化させたアルカリ溶液を用いたウエットエッチング処理を施すことで、基板に形成されるステップ形状の変化を評価した。

[実験方法]　基板は(001)β-Ga_2O_3 を使用した。アルカリ溶液の希釈には3種類の溶媒を使用し、それぞれ 10 wt.%、20 wt.%の溶液を作製した。エッチングはマルチスターラーで溶液を攪拌させながら 60 分行った。その後、AFM（原子間力顕微鏡）を使用して β-Ga_2O_3 の表面形態を観察した。

[結果]　ウエットエッチング後の β-Ga_2O_3 表面にはステップテラス構造が見られた。Fig. 1 に AFM で観察したウエットエッチング前後における(001) β-Ga_2O_3 の表面形態を示す。Fig. 1 (b)および(c)より、溶媒 A ではいずれの濃度でもステップ端部に針状表面形態の生成が確認できる。一方，溶媒 B では、Fig. 1 (d)および(e)に示すように 10 wt.%ではステップ端部の荒れは溶媒 A より抑制されているものの、テラス上に穴の形成が観察され、20 wt.%では溶媒 A と似た形状となることがわかる。加えて、溶媒 C を用いたときは、Fig. 1 (f)および(g)に示すように、10 wt. %ではステップ端部とテラス部に穴が、20 wt. %では 10 wt. %よりも凹凸の激しいステップ形状とテラス上に大きな穴が発生することが確認され、同じアルカリ溶液を用いても、溶媒によってステップテラスの生成形態は異なることがわかる。また，溶媒 C に無機物質を添加してウエットエッチングを行うとテラス部の穴の生成は抑制できることがわかった。詳細は当日説明する。

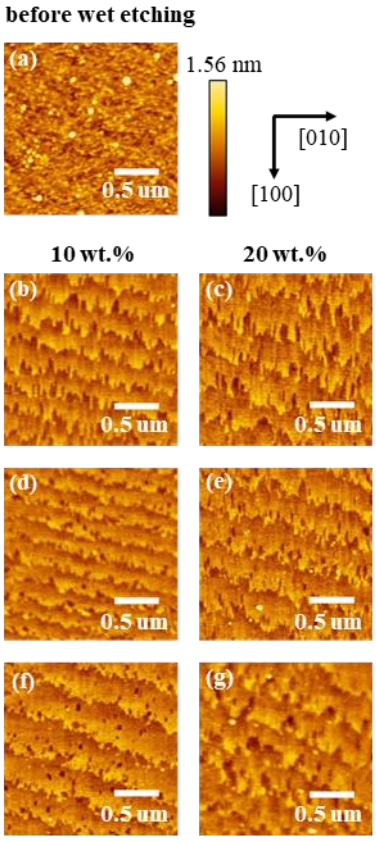


Fig. 1 AFM images showing surface morphologies of (001) β-Ga_2O_3 (a) before and after wet etching in alkali solutions diluted with (b) and (c) solvent A, (d) and (e) solvent B, (f) and (g) solvent C at several concentrations. All the scan areas are 2 × 2 um^2.

β-Ga_2O_3 単結晶基板に存在する欠陥準位の高温度アニール挙動の評価

High-Temperature Annealing Behavior of Defect Levels in β-Ga_2O_3 Single Crystal Substrates

中部大工 [1], (株)ノベルクリスタルテクノロジー[2] ○中野 由崇 [1], 上田 悠貴 [2], 佐々木 公平 [2], 倉又 朗人 [2]

Chubu Univ. [1], Novel Crystal Technology, Inc. [2], ○Yoshitaka Nakano[1], Yuki Ueda[2], Kohei Sasaki[2], Akito Kuramata[2]

E-mail: nakano@isc.chubu.ac.jp

【背景】近年、β-Ga_2O_3 はポスト SiC, GaN の次世代パワー半導体として期待されている。Edge-defined film-fed growth (EFG)法等による単結晶基板の大口径化･高品質化が進められると同時に、様々なデバイス動作も報告されている。一方、β-Ga_2O_3 の優れた物性値を反映したデバイス特性の実現には Ga 空孔, O 空孔等に関連した電気的に活性な固有欠陥準位の理解とそれらの低減による結晶の高品質化が必須である。本発表では、EFG 法で作製したβ-Ga_2O_3 (010)単結晶基板に存在する欠陥準位の高温度アニール挙動を評価したので報告する。

【実験】EFG 法で作製したノンドープ n 型β-Ga_2O_3 (010)単結晶基板を用い、昇温時の雰囲気を N_2 または O_2 として、1450°C, 7 時間の N_2 雰囲気アニールを行った。また、昇温時の雰囲気を O_2 として 1600°C の N_2 雰囲気アニールも行った。水銀プローブ電極を用いて静電容量-電圧(*C-V*)測定, 光容量分光(SSPC)測定を室温下, 100 kHz で実施し、欠陥準位の高温度アニール挙動を評価した。

【結果】*C-V* 測定から、as-grown 状態の有効キャリア濃度は 1.0×10^{17} cm^{-3} であったが、1450°C アニールでは昇温時のガス雰囲気により有効キャリア濃度が増減することが分かった(N_2: 1.2×10^{17} cm^{-3}, O_2: 0.8×10^{17} cm^{-3})[図 1]。更に、1600°Cアニールでは有効キャリア濃度は 2.0×10^{17} cm^{-3} と大きく増加した。また、SSPC 測定より、β-Ga_2O_3 単結晶基板には少なくとも 6 つの欠陥準位(T1: E_c-1.96 eV, T2: E_c-2.78 eV, T3: E_v+3.67 eV, D4: E_c-3.90 eV, D5: E_c-4.21 eV, D6: E_v+4.46 eV)が存在することが分かった[図 2]。N_2 中で昇温した 1450°C アニールでは as-grown 状態の欠陥準位(T1, T2, T3 準位)を保ったまま濃度減少するが、O_2 中で昇温した 1450°C, 1600°C アニールでは T3 準位が消滅し、D4, D5, D6 準位が新たに生成することが分かった。更に、1600°C アニールでは SSPC の測定バイアス電圧依存性が大きくなり、欠陥準位が結晶表面部に高濃度に分布することが分かった。

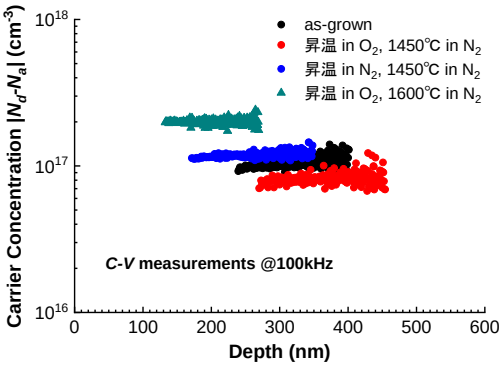


Fig. 1. Carrier depth profiles of β-Ga_2O_3 substrates annealed under various conditions, together with as-grown data.

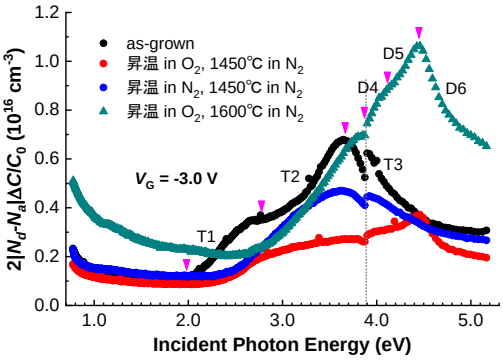


Fig. 2. SSPC spectra at V_G of -3.0 V for β-Ga_2O_3 substrates annealed under various conditions, together with as-grown data.

© 2024年 応用物理学会

n 型 SiC エピタキシャル層上へイオン注入で作製した JFET の 600℃動作
600℃ operation of a JFET fabricated by ion implantation on an n-type SiC epilayer

京大院工、°金子 光顕、柴田 峻弥、松岡 大雅、木本 恒暢
Kyoto Univ., °Mitsuaki Kaneko, Shunya Shibata, Taiga Matsuoka, Tsunenobu Kimoto
E-mail: kaneko@semicon.kuee.kyoto-u.ac.jp

SiC JFET は高温動作 IC への応用が期待されるデバイスの 1 つである[1-3]。我々は、消費電力低減のため、p-、n-JFET を組み合わせた相補型 JFET に着目しており、半絶縁性基板へのイオン注入により全ての p、n 型領域を形成することで、p-、n-JFET の同一基板上への作製に成功した[2]。しかし、温度上昇に伴う半絶縁性基板の抵抗率の低下（リーク電流の増大）により、動作温度は 400℃に制限されていた。本研究では、さらなる高温動作に向け、リーク電流の抑制を目的として、ソース・ドレイン間の電気的絶縁性を向上させたダブルウェル構造を有する JFET を n 型エピ層上に作製し、600℃での高温動作を実証したので報告する。

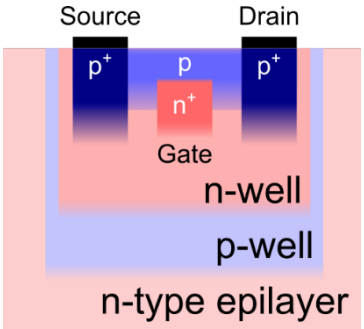


Fig. 1: Schematic structure of p-JFET with double-well structure fabricated on the n-type epilayer.

図 1 に本研究で n 型エピ層上に作製した p-JFET の模式図を示す。この JFET は、ゲートがチャネルの下部に位置するボトムゲート構造を有している。従来のトップゲート構造に比べ、チャネル領域に対するチャネリングの影響を抑制することで、閾値電圧の設計値と実測値の差 (ΔV_{th}) を大幅に低減できることがわかっている[4]。p-well 中の n-well によって素子分離が行われるダブルウェル構造を有する。

n 型エピ層上に作製した p-JFET の室温から 873 K において測定したドレイン特性を図 2 に示す。温度上昇に伴い、飽和領域における電流値の上昇が見られるが、室温から 873K の広い温度範囲で正常なトランジスタ動作を確認できた。図 3 に室温から 873 K において測定したゲート特性を示す。ドレイン特性で確認できたように、873 K においても正常なトランジスタ動作が確認でき、$I_{\mathrm{ON}}/I_{\mathrm{OFF}}$は 10^3 以上であった。発表では、半絶縁性基板および n 型エピ層上に作製した JFET の閾値電圧および$I_{\mathrm{ON}}/I_{\mathrm{OFF}}$の温度依存性について比較を行う。

[1] P. G. Neudeck *et al.*, *Proc. IEEE*, **90**, 1065 (2002). [2] M. Kaneko *et al.*, *IEEE EDL*, **39**, 723 (2018).
[3] M. Kaneko *et al.*, *IEEE EDL*, **43** ,997 (2022). [4] S. Shibata *et al.*, *ICSCRM2022*, Th-2-A.5.

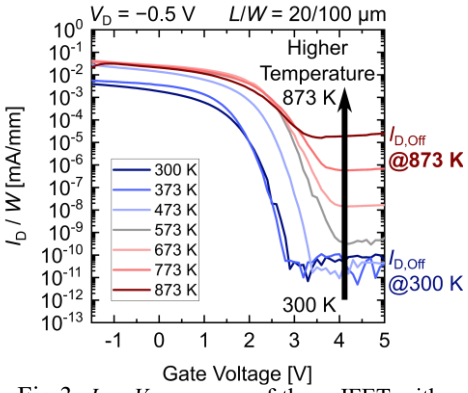


Fig.3: I_D - V_G curves of the p-JFET with double-well structure fabricated on the n-type epilayer measured from RT to 873 K.

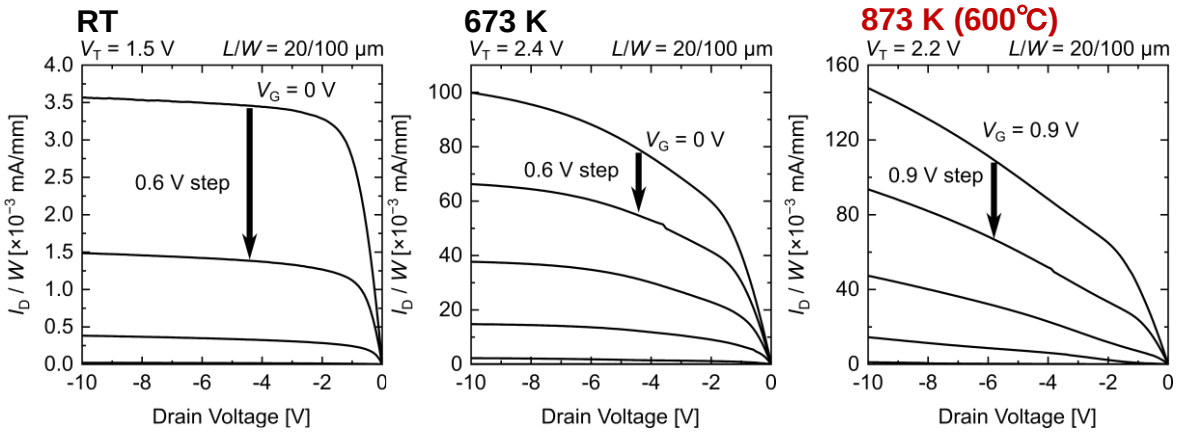


Fig.2: I_D - V_D curves of the p-JFET with double-well structure fabricated on the n-type epilayer measured from RT to 873 K.

High-Temperature Reliability of Ni/Ti/Nb Ohmic Contact on p-type 4H-SiC

RISE, Hiroshima Univ. ,○Vu Thi Ha, Vuong Van Cuong, Shin-Ichiro Kuroki

E-mail: {havuthi12, skuroki}@hiroshima-u.ac.jp

Introduction: 4H-SiC CMOS technology has been attractive for high-temperature, high-voltage, and high-radiation applications [1-2]. However, it has been reported that the operation lifetime of the electronic devices based on 4H-SiC are strongly governed by the thermal stability of the metal/4H-SiC ohmic contact [3]. In general, Ni has been reported as a good candidate to form ohmic contact on n-type 4H-SiC because of low specific contact resistance [3]. Whereas, Ti has been widely used to form ohmic contact on p-type 4H-SiC because of the formation of Ti_2SiC_3 compound at the interface after the high-temperature annealing process [4]. Recently, Nb bas been reported as a potential candidate to improve high-temperature reliability of the metal/SiC contact [3]. In this study, the thermal stability of Ni/Ti/Nb ohmic contact on p-type 4H-SiC was investigated.

Experimental: A 5 µm-thick p-type 4H-SiC epitaxial layer with doping concentration of 5.5×10^{16} cm^{-3} grown on a 4°-off axis 4H-SiC(0001) substrate, was used for the experiments. A p+ region with doping concentration of $N_A = 4.0\times10^{20}$ cm^{-3} were formed on the substrate by Al ions implantation at 500°C. After the lithography process, Ti (50 nm)/Ni (50 nm) and Ti (50 nm)/Ni (50 nm)/Nb (30 nm) were deposited on the surface of the substrates by sputtering method. After lift-off process to form TLM structures, the samples were annealed at 1050°C in N_2 ambient for 3 minutes by rapid thermal annealing (RTA) process. The cross-sectional structures of the contacts before the silicidation are shown in Fig. 1.

Results and discussions: Figure 2 shows the current–voltage characteristics of the Ni/Ti/4H-SiC (dash) and Ni/Ti/Nb/4H-SiC (solid) contacts after the RTA process (black) and after aging for 100h (red) in N_2 ambient. As shown in Fig. 2, the linear dependence of the I-V curves indicates that the Ni/Ti/Nb/4H-SiC sample remains ohmic behavior after the high-temperature aging process. When comparing with the Ni/Ti/4H-SiC sample, the Ni/Ti/Nb/4H-SiC contact exhibits a smaller specific contact resistance and better thermal stability. The specific contact resistances of the Ni/Ti contact and Ni/Ti/Nb contact were estimated as 10.89 mΩ.cm^2 and 2.56 mΩ.cm^2. These results indicate that the Ni/Ti/Nb silicide is one of promising candidates for the reliable ohmic contact on p-type 4H-SiC for harsh environment applications.

Acknowledgements: This work was partially supported by JST, the establishment of university fellowships towards the creation of science technology innovation, Grant Number JPMJFS2129, and JSPS KAKENHI (S), Grant Number JP24H00035.

[1]. M. Tsutsumi, T. Meguro, A. Takeyama, T. Ohshima, Y. Tanaka and S. -I. Kuroki, IEEE Electron Device Letters **44** (1), 100-103 (2023).
[2]. V. V. Cuong, T. Meguro, S. Ishikawa, T. Maeda, H. Sezaki and S. -I. Kuroki, IEEE Transactions on Electron Devices 69 (8), 4194-4199 (2022).
[3]. V. V. Cuong, S. Ishikawa, T. Maeda, H. Sezaki, S. Yasuno, T. Koganezawa, T. Miyazaki, S.-I. Kuroki, Thin Solid Films **669**, 306–314 (2019).
[4]. L. Huang, et al., Journal of Crystal Growth 531 (2020) 125353.

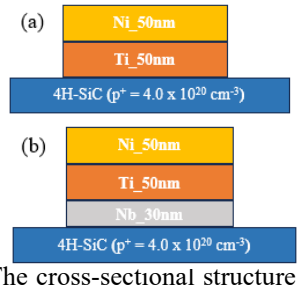


Fig.1. The cross-sectional structure of the ohmic contact layer before silicidation.

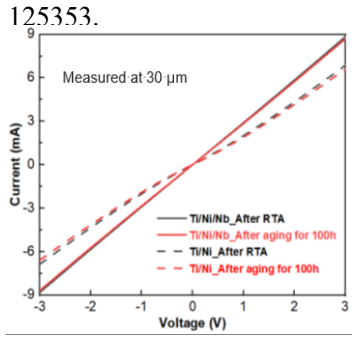


Fig.2. The I-V characteristics of the Ni/Ti/4H-SiC and Ni/Ti/Nb/4H-SiC after RTA process and after aging for 100h.

© 2024年 応用物理学会

p チャネル 4H-SiC MOSFET の界面欠陥の電流検出 ESR 分光

EDMR spectroscopy on interface defects in *p*-channel 4H-SiC MOSFETs

筑波大学 [1]，産総研 [2]，阪大 [3]，Quemix[4]，　○島袋 聞多 [1]，堀内 颯介 [1]，曽 弘宇 [1]，染谷 満 [2]，
平井 悠久 [2]，渡部 平司 [3]，西谷 侑将 [4]，松下 雄一郎 [4]，梅田 享英 [1]
Univ. of Tsukuba [1], AIST [2], Osaka Univ.[3], Quemix Inc.[4]，　°B. Shimabukuro[1], S. Horiuchi[1], H. Zeng[1],
M. Sometani[2], H. Hirai[2], H. Watanabe[3], Y. Nishiya[4], Y. Matsushita[4], T. Umeda[1]
E-mail: s2420295@u.tsukuba.ac.jp

【研究背景】

炭化ケイ素 MOSFETs（4H-SiC metal oxide semiconductor field effect transistors）の性能は MOS 界面欠陥によって著しく低下してしまう。界面欠陥の正体はまだ一部しか明らかになっておらず、その解明が課題となっている。私達は 4H-SiC Si 面の主要欠陥の 1 つである界面炭素ダングリンボンド欠陥（P_{bC} センター）を電流検出型電子スピン共鳴（EDMR）分光と第一原理計算によって同定した[1]。P_{bC} センター準位は価電子帯側（E_V + 0.6 eV ~ 1.2 eV）にあるが[2]、この欠陥は *n* チャネル 4H-SiC MOSFET に対する EDMR 分光で観察されている。一方で *p* チャネル 4H-SiC MOSFET における EDMR 分光の例はほとんど存在しない[3]。本研究は *p* チャネル MOS 界面の EDMR 観察に取り組んだ。

【実験内容・結果】

試料は産総研製のドライ酸化 *p* チャネル Si 面 MOSFET（最大電界効果移動度 1.4 $cm^2V^{-1}s^{-1}$、閾値電圧-17 V）である。Fig. 1(a)はこの MOSFET での典型的な EDMR スペクトルであり、大量の界面欠陥に応じた強い EDMR 信号が見えている。この信号は過去の報告[3]にはない信号である。Fig. 1(b)に 50 倍に拡大したスペクトルを示すが、^{13}C 核スピン（核スピン I=1/2、天然存在比 1.1 %）に起因すると見られる超微細分裂（HF）構造が重複している様子が確認でき、Fig. 1(a)の EDMR 信号が複数の界面欠陥から発生していることを示している。少なくとも 3 種類の信号（欠陥）を確認することができたので“center1”, “center2”, “center3”と名付けた。Fig. 2 に示すように、これらの欠陥は P_{bC} センターと同様に C_{3v} 対称（*c* 軸対称）を示している。さらに詳細なデータに基づいて、これらの欠陥の起源について議論したい。

[1] T. Umeda *et al.*, Appl. Phys. Lett. **116**, 071604 (2020). [2] M. Sometani *et al.*, APL Mater. **11**, 111119 (2023). [3] M. A. Andors *et al.*, Appl. Phys. Lett. **109**, 142106 (2016).

本研究は、文部科学省革新的パワーエレクトロニクス創出基盤技術研究開発事業 JPJ009777 の助成を受けたものです。

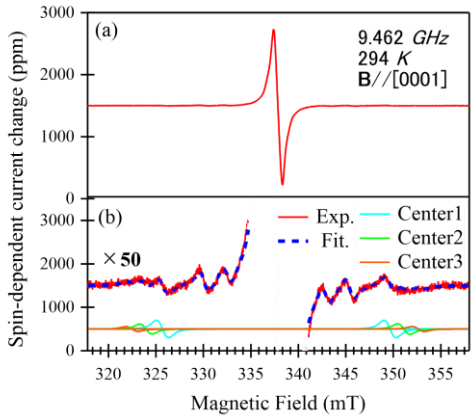


Fig. 1(a). EDMR spectrum of *p*-channel dry-oxidized 4H-SiC(0001) MOSFET. (b) Doublet hyperfine structures of three EDMR centers.

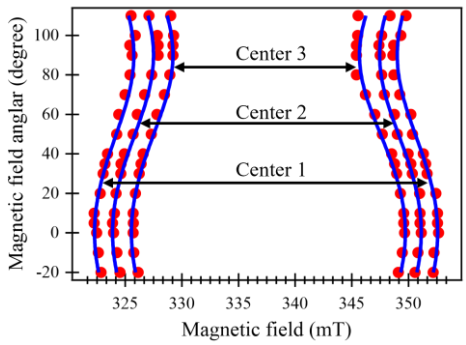


Fig. 2 Magnetic-field angle dependences of doublet HF structures shows presence of three interface defects with a C_{3v} symmetry (*c*-axial symmetry).

P チャネル 4H-SiC MOSFETs でのスピン依存チャージポンピング分光

Spin-dependent-charge-pumping spectroscopy on *p*-channel 4H-SiC MOSFETs

筑波大学 [1]，産総研 [2]，大阪大学 [3]　○堀内颯介 [1]，福永博生 [1]，島袋聞多 [1]，
矢野裕司 [1]，染谷満 [2]，平井悠久 [2]，渡部平司 [3]，梅田享英 [1]
Univ. of Tsukuba [1], AIST. [2], Osaka Univ.[3] ○S. Horiuchi[1], H. Fukunaga[1], B. Shimabukuro[1],
H. Yano[1], M. Sometani[2], H. Hirai[2], H. Watanabe[3], T. Umeda[1],
E-mail: s2320301@u.tsukuba.ac.jp

[研究背景]

炭化ケイ素（4H-SiC）を用いた MOSFET(Metal Oxide Semiconductor Field Effect Transistor)は、*n* および *p* チャネル両方でトランジスタ動作が可能であり、ワイドギャップ半導体を使用した CMOS 回路を実現することができる。しかし、*p* チャネル MOS の界面準位は *n* チャネルと比べると全く分かっていない。例えば、*p* チャネルでは水素終端が効果を発揮するが *n* チャネルではそうではないことが示唆するように[1]、界面準位の種類または性質が大きく異なることが予想される。*P* チャネル MOS の界面欠陥をより広範囲で、かつ微視的に調べるために、新しい分光技術であるスピン依存チャージポンピング（SDCP）分光を開発し、*p* チャネル MOSFET に適用した。

[実験内容・結果]

試料は産総研製の *p* チャネル横型 4H-SiC MOSFET（ドライ酸化 Si 面、最大電界効果移動度 1.4 $cm^2V^{-1}s^{-1}$）を使用した。図 1 が CP 電流（I_{CP} ~ 8 μA）で測定した典型的な SDCP スペクトルである。SDCP 測定では、図 1 内に示したチャージポンピング（CP）ゲートパルスを使用した。30 倍拡大スペクトルでは ^{13}C 核スピン超微細(HF)構造を検出できており、SDCP 実験での検出は初めてとなる。この HF 構造は、既知の炭素界面欠陥（P_{bC} センター[2]）の ^{13}C HF 構造とは異なっており、SDCP によって新しい界面準位が検出されたことになる。図 2 は、SDCP スペクトルの CP ゲートパルス依存性である。わずか 1.4V の範囲に、位相の異なる 2 種類の信号が可視化された。このような結果は、これまでの電流検出型電子スピン共鳴分光では見られたことがなく、SDCP によって界面準位に対する分光探索範囲が拡張されたことを示唆している。本研究は、文部科学省革新的パワーエレクトロニクス創出基盤技術研究開発事業 JRJ009777 の助成を受けたものです。

[1] M. Okamoto *et al.*, Appl. Phys. Lett. **89,** 023502 (2006). [2] T. Umeda *et al.*, Appl. Phys. Lett. **116**, 071604 (2020).

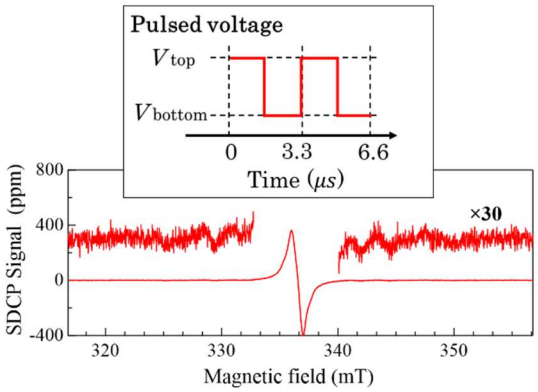


Fig.1. SDCP spectrum on *p*-channel 4H-SiC MOSFETs.

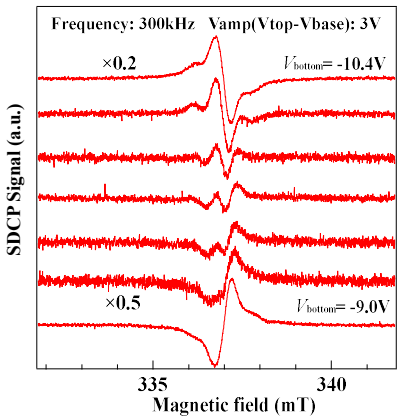


Fig.2. CP gate-pulse dependence of the SDCP spectra.

13 半導体 | 一般セッション(口頭講演)：13.7 化合物及びパワーデバイス・プロセス技術・評価

[19a-C41-1~11] 13.7 化合物及びパワーデバイス・プロセス技術・評価

[19a-C41-1]

Si基板上炭素ドープGaNショットキーバリアダイオードの電流輸送機構の検討

〇平山 祐輔[1]、清水 真理子[3]、彦坂 年輝[3]、名古 肇[3]、梶原 瑛祐[3]、布上 真也[3]、堀田 昌宏[1,2]、須田 淳[1,2] (1.名大院工、2.名大未来研、3.東芝)

[19a-C41-2]

界面顕微光応答法によるJSB構造の二次元評価

〇今林 弘毅[1]、吉村 遥翔[1]、太田 博[2]、三島 友義[2]、塩島 謙次[1] (1.福井大院工、2.法政大)

[19a-C41-3]

GaN HEMTの短チャネル効果に及ぼす表面処理の影響

佐野 春樹[1]、伊東 幸風[1]、吉田 樹[1]、〇宮本 恭幸[1] (1.東工大)

[19a-C41-4]

極性c面及び非極性m面GaN上MIS界面特性におけるGaNドライエッチング加工の影響

〇吉嗣 晃治[1]、山田 高寛[1]、滝口 雄貴[1]、友久 伸吾[1]、長永 隆志[1]、宮本 恭幸[2] (1.三菱電機(株)先端総研、2.東工大)

[19a-C41-5]

イオン注入により形成されるドナー型欠陥の起源解明に向けた低ドーズAlイオン注入GaNの実効ドナー密度の深さ方向分布の評価

〇井口 紘子[1]、堀田 昌宏[2]、片岡 恵太[1]、成田 哲生[1]、渡邉 浩崇[2]、新田 州吾[2]、本田 善央[2]、天野 浩[2]、須田 淳[2] (1.豊田中央研究所、2.名古屋大学)

[19a-C41-6]

正孔捕獲を抑制した高Mg濃度p型GaN MOS構造の熱安定性

〇阪上 優一[1]、小林 拓真[1]、冨ケ原 一樹[1]、野崎 幹人[1]、渡部 平司[1] (1.阪大院工)

[19a-C41-7]

SiO_2堆積後熱処理によるp型GaN MOS界面正孔トラップ生成

〇原 征大[1]、冨ケ原 一樹[1]、野崎 幹人[1]、小林 拓真[1]、渡部 平司[1] (1.阪大院工)

[19a-C41-8]

PECVD-SiO_2の成膜温度がp型GaN MOS界面正孔トラップに与える影響

〇原 征大[1]、小林 拓真[1]、溝端 秀聡[1]、野崎 幹人[1]、渡部 平司[1] (1.阪大院工)

[19a-C41-9]

30 W/mm超 X帯InAlGaN-HEMT

〇山田 敦史[1]、美濃浦 優一[1]、倉橋 菜緒子[1]、鎌田 陽一[1]、多木 俊裕[1]、佐藤 優[1]、中村 哲一[1] (1.富士通)

[19a-C41-10]

EID AlGaN/GaN MOS-HEMTにおける電極形成後アニールの影響

〇南條 拓真[1]、古橋 壮之[1]、綿引 達郎[1]、大石 敏之[2]、江川 孝志[3] (1.三菱電機株式会社、2.佐賀大、3.名工大)

[19a-C41-11]

マイクロ波整流用GaN HEMT構造ゲーテッドアノードダイオードの整流効率向上に向けた素子構造の検討

〇渡邉 智也[1]、高橋 英匡[1]、分島 彰男[3]、安藤 裕二[1,2]、須田 淳[1,2] (1.名大院工、2.名大未来研、3.熊大工)

Si 基板上炭素ドープ GaN ショットキーバリアダイオードの電流輸送機構の検討

Investigation of Current Transport Mechanism of Carbon-Doped GaN Schottky Barrier Diodes

○平山 祐輔 [1], 清水 真理子 [3], 彦坂 年輝 [3], 名古 肇 [3],
梶原 瑛祐 [3], 布上 真也 [3] 堀田 昌宏 [1,2], 須田 淳 [1,2]
名大院工 [1], 名大未来研 [2], 東芝 [3]
°Yusuke Hirayama[1], Mariko Shimizu[3], Toshiki Hikosaka[3], Hajime Nago[3],
Yosuke Kajiwara[3], Shinya Nunoue[3], Masahiro Horita[1,2], and Jun Suda[1,2]
Nagoya Univ. [1], Nagoya Univ. IMaSS[2], Toshiba Corp. [3]
E-mail: hirayama.yusuke.d7@s.mail.nagoya-u.ac.jp

GaN の優れた物性を活かした AlGaN/GaN 高電子移動度トランジスタ（GaN-HEMT）は、低損失で高周波動作可能な次世代パワースイッチング素子として期待されている。Si 基板 GaN-HEMT は安価かつ大口径で製造可能な点からコスト面で優れており、小型 USB 充電器などへの搭載が始まっているが、性能には向上の余地がある。Si 基板 GaN-HEMT では、リーク電流を防ぐために、基板（バッファ層）と HEMT 構造の間に高抵抗層が必要である。その実現方法として、GaN に炭素をドーピングして、ドナーを補償する手法が用いられる。炭素をドープした GaN の電気的特性の理解は Si 基板 GaN-HEMT の性能向上のために重要となるが、炭素を高濃度ドープすると高抵抗化するために電気的特性の報告は少ない。本研究では、炭素ドープ高抵抗 GaN 層ショットキーバリアダイオード（Ni/GaN:C/n^+-GaN）の電流輸送機構について検討を行ったので報告する。

Si 基板（111）面上にバッファ層を形成したのち、アンドープ GaN を 2300 nm、Si ドープ n^+型 GaN（$N_D = 2\times10^{18}$ cm^{-3}）を 500 nm 形成し、その上に炭素ドーピング（[C] = 5.5×10^{17} cm^{-3}）をした高抵抗 GaN 層を 250 nm 形成した。炭素ドープ GaN 層の一部を n^+-GaN 層までエッチングし、露出した n^+-GaN 層表面にオーミック電極を形成した。その後、炭素ドープ GaN 層表面に Au/Ni のショットキー電極を形成することで、擬似縦型ショットキーバリアダイオードを作製した。

Fig. 1 に *C-V* 測定の結果を示す。*C-V* 測定より空乏層の厚さは電圧にほぼ依存せず 310 nm と算出された。この厚さは、炭素ドープ GaN 層の設計厚さに相当しており、炭素ドープ層の完全な空乏化が示唆された。

Fig. 2 (b)に順方向 *I-V* 特性を示す。炭素ドープ GaN 層の高抵抗に起因して、100℃で 5 V を印加しても電流は 2.5×10^{-7} Acm^{-2} と小さく、温度が低くなると、電流はさらに低下した。ヒステリシスが見られるが、炭素が作るアクセプタ準位の電子の捕獲、放出に起因すると考えている。

Fig. 2 (a)に示す逆方向 *I-V* 特性では、逆バイアス電圧と共に電流が増大し 10^{-4} Acm^{-2} 程度まで安定して測定ができた。炭素ドープ層は空乏化しているが、金属/炭素ドープ GaN 界面で金属側から熱電界放出により電子が注入され、空乏層を走行して n^+-GaN 層に到達しているという輸送機構が示唆される。定量的な電流値の検討については当日報告する。

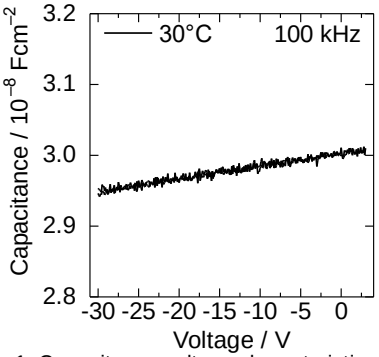


Fig. 1. Capacitance-voltage characteristics.

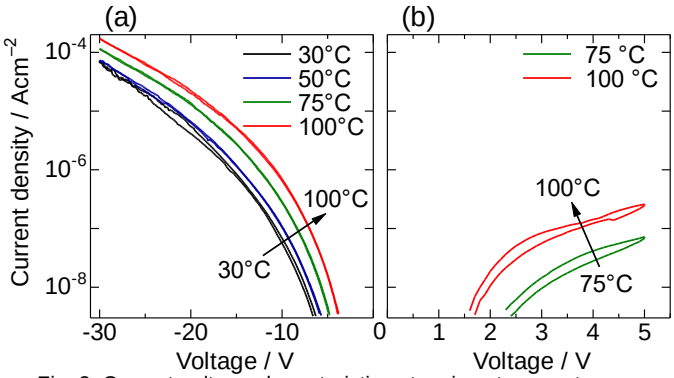


Fig. 2. Current-voltage characteristics at various temperatures.

界面顕微光応答法による JSB 構造の二次元評価

Two-dimensional characterization of junction barrier Schottky structure by scanning internal photoemission microscopy

福井大院工 [1]，法政大 [2]　○今林 弘毅 [1]，吉村 遥翔 [1]，
太田　博 [2]，三島 友義 [2]，塩島 謙次 [1]
Univ. of Fukui[1], Hosei Univ. [2], H. Imabayashi[1], H. Yoshimura[1], H. Ohta[2],
T. Mishima[2] and K. Shiojima[1]
E-mail: ima-ba@u-fukui.ac.jp

【はじめに】　GaN 基板上ジャンクションバリア･ショットキー(JBS)ダイオードは p n 接合ダイオード(PND)とショットキーバリアダイオード(SBD)を組み合わせた構造であり，順方向の低オン電圧化や逆方向リーク電流の抑制が期待される．[1] 前回，我々は薄い高濃度 Mg ドープ p-GaN 層を直接 n-GaN 層上に成長した構造に対して界面顕微光応答法(SIPM：Scanning Internal Photoemission Microscopy) [2]を用いて２次元評価を行った．[3] 今回は本格的な JBS 構造に対して実験を行った．

【実験】　自立 GaN 基板上に，HVPE 法で n-GaN（n：2×10^{16} cm^{-3}，厚さ 20 μm）層を，MOVPE 法で p-GaN（Mg：2×10^{20} cm^{-3}，厚さ 20 nm）層を成長した．p-GaN 上に Ni(厚さ 50 nm)，Au(厚さ 50 nm)からなる直径約 300 μm の電極を電子ビーム蒸着法により堆積し，セルフアラインで p-GaN 層をドライエッチングすることにより PND 領域を形成した．その後、その一部に覆い被さるように Ni(厚さ 50 nm)，Au(厚さ 50 nm) の直径約 200 μm の電極を堆積し，SBD 領域を形成した（図 1 (a)）．SIPM 測定では，近紫外(λ = 375 nm) のレーザーを半導体側から照射し，光電流(光電子収率(Y)：入射フォトンフラックス当たりの光電流)を測定した．レーザーを界面に集光し，電極面内を走査することで Y の 2 次元像を得た．

【結果と考察】　図 1 (b)に電極の光電流像を示す．PND に SBD が隣接しているパターンが確認できた．図２に示す区間 A-B のラインプロファイルでは PND 領域では信号は均一で、SBD 領域では信号が大きいが不均一であることが判明した．本手法を用いれば JBS の実デバイスを評価できることを実証した．

【参考文献】

1) K. Hayashi, *et al.*, *2017 IEEE IMFEDK*, 50 (2017).
2) K. Shiojima, *ECS Trans.* **104**, 69 (2021).
3) H. Imabayashi, *et al.*, Phys. Status Solidi **B**, 2400033 (2024).

謝辞　本研究の一部は日本学術振興会科研費 24K07558の助成を受けた．

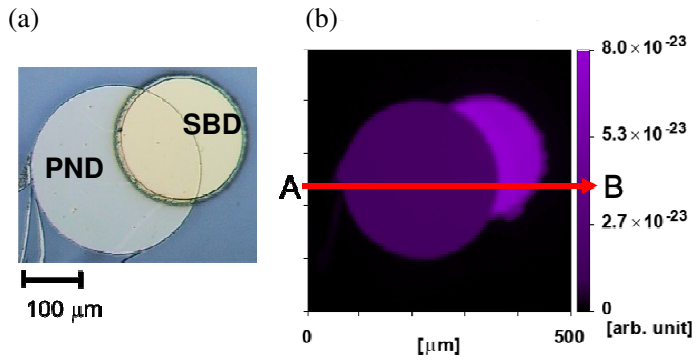


Fig. 1. (a) Microscope and (b) SIPM Y images of JSB structure.

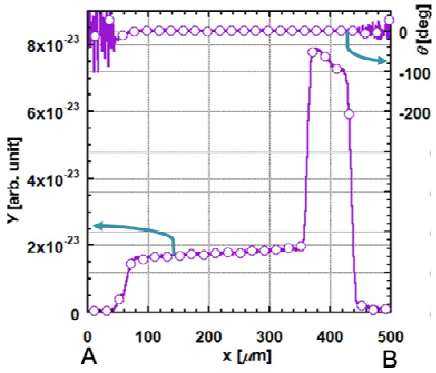


Fig. 2. Line profiles of SIPM (a) Y signal and rock-in phase difference across between A and B as shown in Fig. 1 (b).

© 2024年 応用物理学会

GaN HEMT の短チャネル効果に及ぼす表面処理の影響

Influence of surface treatment on short channel effect in GaN HEMTs

東工大 [1]，佐野春樹 [1]、伊藤幸風 [1]、吉田樹 [1]、°宮本 恭幸 [1]

Tokyo Tech [1], Haruki Sano[1], Yoshikaze Ito[1], Itsuki Yoshida[1] and °Yasuyuki Miyamoto[1]*

E-mail: miya@ee.e.titech.ac.jp

我々は、希塩酸を用いることで、GaN HEMT の RIE エッチング後のダメージや特性の経時変化を改善できることを報告した[1]。HCl 処理により、表面にドナー準位が生成し、伝導帯側にピン止めされる一方、アルカリ水溶液は Ga 欠損により表面がアクセプタ準位となり、価電子帯側にピン止めされる[2]ことが報告されている。ここで弱アルカリ溶液であり、酸化ガリウムを除去することが報告[3]されている TMAH で表面処理を行い、特性変化を調べた。

使用したエピタキシャルウエハは、Si 基板上にバッファ層、厚さ 300 nm の GaN チャネル層、厚さ 20 nm の $Al_{0.25}Ga_{0.75}N$ バリア層、厚さ 3 nm の GaN キャップ層を持つ。ゲート長は 200, 300, 500, 1000 nm である。ゲート電極形成後、まず HCl:H_2O=1:3 で 2 分間表面処理を行い、I-V 特性を測定した。その後、TMAH 溶液（マイクロポジット MF320 現像液）で 3 分間表面処理を行い、再度 I-V 特性を測定した。また、再現性を確認するため、TMAH 処理後に再度塩酸水溶液処理を行い、I-V 特性を評価した。

TMAH 処理を行うとオン抵抗が劣化し、プローブとの接触が困難になった。TMAH 溶液の Al エッチング速度は 60 nm/min 程度であり、ソース・ドレイン電極表面のアルミニウム部分の除去により、電極表面に凹凸が生じ、オン抵抗が劣化したと考えられる。

Fig.1 にゲート長 200 nm の素子での HCl 処理と TMAH 処理後の I_d-V_g 特性を示す。HCl 処理後の曲線では、ドレイン電圧が高くなるにつれてサブスレッショルドの傾きが大きくなる典型的な短チャネル効果を示している。TMAH 処理後は、サブスレッショルド特性のドレイン電圧依存性があまり見られず、サブスレッショルドの傾きが急峻になっている。ゲート長 500nm における同様の I_d-V_g 特性を Fig.2 に示す。TMAH 処理により、しきい値電圧の明確なシフトが確認できる。また、ゲートバイアス-5V 付近ではゲートリーク電流の減少も確認された。Fig.3 は、ゲート長 200nm で 2 回目の HCl 処理を行った後の I_d-V_g 特性の変化を示す。サブスレッショルドスロープのドレイン電圧依存性は弱くなることが一回目に比べて弱くなっていることが確認できる。高周波特性などについても当日ご説明する。

本研究は JPMXP1223IT0017 の支援を受けた。

[1] Y. Ito, et al., JJAP, 62, SC1048 (2023)
[2] K. A. Rickert, et al., APL, 80, 204 (2002)
[3] J. He, et al., Sci. Rep 8, 7922 (2018).

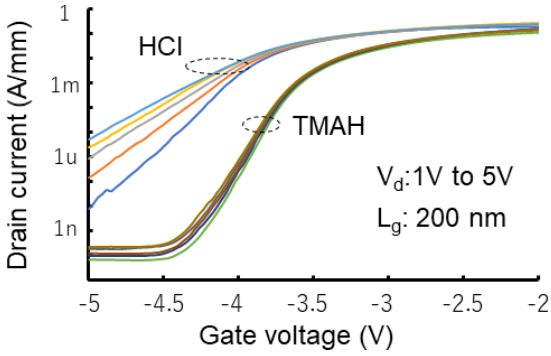


Fig. 1 I_d-V_g characteristics after 1st HCl treatment and TMAH treatment. Gate length is 200 nm.

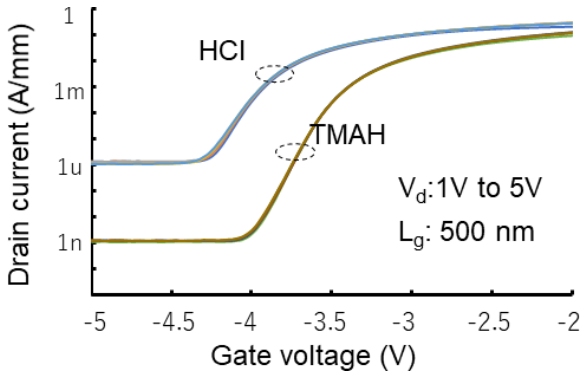


Fig. 2 I_d-V_g characteristics after 1st HCl treatment and TMAH treatment. Gate length is 500 nm.

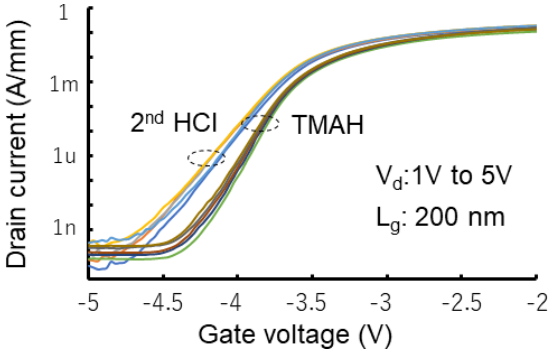


Fig. 4 I_d-V_g characteristics after TMAH treatment and 2nd HCl treatment after TMAH treatment. Gate length is 200 nm.

極性 c 面及び非極性 m 面 GaN 上 MIS 界面特性における GaN ドライエッチング加工の影響

Impact of GaN Dry Etching on Polar and Non-polar GaN MIS Interface Properties

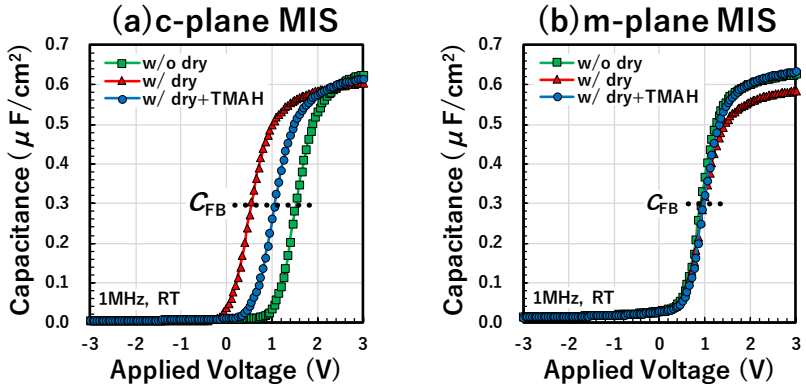
三菱電機(株)先端総研 [1], 東工大 [2]
°吉嗣 晃治 [1], 山田 高寛 [1], 滝口 雄貴 [1], 友久 伸吾 [1], 長永 隆志 [1], 宮本 恭幸 [2]
Advanced Technology R&D Center, Mitsubishi Electric Corp.,[1] Tokyo Institute of Technology[2],
°Koji Yoshitsugu[1], Takahiro Yamada[1], Yuki Takiguchi[1],
Shingo Tomohisa[1], Takashi Takenaga[1], and Yasuyuki Miyamoto[2]
E-mail: Yoshitsugu.Koji@dx.MitsubishiElectric.co.jp

【背景】線形利得向上に資する Tri-gate ないし Dual-gate GaN HEMT [1]は、ドライエッチング加工によってダメージが誘起されるため、極性面や非極性面での電気的振る舞いを理解することが重要である。本報告では、ドライエッチングを施した自立基板上に ALD-SiN_x/n-GaN MIS (Meta-Insulator-Semiconductor) 構造を作製し界面特性評価を行った。

【実験方法】極性(1000)c 面、及び非極性(10-10)m 面自立 GaN 基板上に、N_d: 10^{15}~10^{16} /cm^3 の uid-GaN エピタキシャル層を 5 μm 成長し、Cl_2+BCl_3 ガスを用いて ICP-RIE によって GaN を約 150 nm エッチングした。次に 10 nm-SiN_x を BEMAS ($H_2Si[N(C_2H_5)(CH_3)]_2$)と N_2 Plasma を用いて原子層堆積し、電極を設け平行平板型の MIS キャパシタを作製した。

【結果】図 1(a), (b)に極性 c 面及び非極性 m 面上 GaN MIS キャパシタの *C-V* 特性を示す。全試料間で *stretch-out* に変化は認められなかった。c 面ではドライエッチングによってキャリア濃度が減少し、負方向へのフラットバンド(V_{FB})シフトが生じた。さらに、TMAH ウェット処理によって理想状態まで回復する様子を捉えた。一方 m 面では加工による差異がなく、安定な界面特性を有することを見出した。当日は c 面 GaN で生じた V_{FB} シフトのメカニズムについても考察する。

【参考】[1] S. Joglekar *et al.*, IEEE IEDM Tech. Dig., pp.25.3.1-25.3.4 (2017).



	c-plane GaN MIS			m-plane GaN MIS		
	w/o dry	w/ dry	w/ dry+TMAH	w/o dry	w/ dry	w/ dry+TMAH
ΔV_{FB} (V)	0.44	-0.56	-0.02	-0.17	-0.11	-0.12
Q_{eff}/q (cm^{-2})	-1.8×10^{12}	$+2.2\times10^{12}$	$+7.3\times10^{10}$	$+6.8\times10^{11}$	$+4.4\times10^{11}$	$+4.8\times10^{11}$

Fig.1 *C-V* curves and ΔV_{FB} of (a) c-plane and (b) m-plane GaN MIS at 1MHz for each specification.

© 2024年 応用物理学会

イオン注入により形成されるドナー型欠陥の起源解明に向けた低ドーズ Al イオン注入 GaN の実効ドナー密度の深さ方向分布の評価

Evaluation of depth profile of net donor density in low dose Al-ion implanted GaN layer to elucidate the origin of donor-like defects formed by ion implantation

豊田中研 [1]，名古屋大 [2]
○井口 紘子 [1]，堀田 昌宏 [2]，片岡 恵太 [1]，成田 哲生 [1]，渡邉 浩崇 [2]，新田 州吾 [2]
本田 善央 [2]，天野 浩 [2]，須田 淳 [2]
Toyota Central R&D Labs., Inc. [1], Nagoya Univ. [2]
○H. Iguchi[1], M. Horita[2], K. Kataoka[1], T. Narita[1], H. Watanabe[2], S. Nitta[2]
Y. Honda[2], H. Amano[2], J. Suda[2]
E-mail : e4745@mosk.tytlabs.co.jp

次世代パワーデバイスとして期待されている窒化ガリウム(GaN)縦型 MOSFET の作製にはイオン注入による選択的な n 型、p 型領域の形成技術が必要不可欠である。イオン注入とその後の高温熱処理によって生じる残留点欠陥は、デバイス特性に影響を及ぼすことが懸念される。我々のこれまでの検討により、n 型エピタキシャル成長層に対してその実効ドナー密度(N_D)の 1/10 以下の超低濃度で Si をイオン注入し、熱処理を行った試料のイオン注入領域において、ドナー型欠陥の形成が示唆されている[1]。今回は、ドナー型欠陥の形成が Si イオン注入特有の現象なのかを調べるため、Al イオン注入 GaN 試料の N_D 深さ方向分布を調べた結果を報告する。

n 型 GaN 自立基板上に MOVPE 法により成膜した n 型 GaN (N_D=2–4×10^{15} cm^{-3})に、加速エネルギー650 keV、ドーズ量 1×10^{12} cm^{-2} で Al をイオン注入した。試料の表面にプラズマ CVD による SiO_2 を保護膜として成膜した後に、温度 1100 ℃で常圧窒素雰囲気中 3 分間の熱処理を行った。比較のため、加速エネルギー700 keV、ドーズ量 1×10^{12} cm^{-2} で Si イオン注入をした試料と n 型 GaN 試料（イオン注入なし）を、1100 ℃で熱処理をした試料も作製した。保護膜除去後、ショットキー電極として表面に Ni/Au、オーミック電極として裏面に Ti/Al/Ni を蒸着し、ショットキーバリアダイオード(SBD)を作製した。容量-電圧測定により、各 SBD の N_D の深さ方向分布を求めた。

各 SBD の N_D 深さ方向分布を図 1 に示す。熱処理のみを行った試料は、N_D が深さ方向に一定であった。一方、Al または Si をイオン注入した後に熱処理をした試料は、イオン注入領域において N_D が増加した。Si と異なり、Al は GaN 中のドナーとはならないにも関わらず、N_D の増加が生じた。二次イオン質量分析法により Al イオン注入後に熱処理を行った試料の Si と O の深さ方向分布を調べた結果、表面から 200 nm より深い位置において、GaN 中のドナーとなる Si や O の濃度は深さ方向に一定であり、SiO_2 保護膜からの熱拡散は生じていないことがわかった。イオン注入とその後の熱処理によって形成されるドナー型欠陥は、注入元素に依らず形成される欠陥であり、かつ Si を含まない欠陥（恐らく複合欠陥）であると考えられる。

[1] H. Iguchi et al., Appl. Phys. Express 15, 076504 (2022).

【謝辞】本研究は，文部科学省 革新的パワーエレクトロニクス創出基盤技術研究開発事業 JPJ009777 の助成を受けたものです。

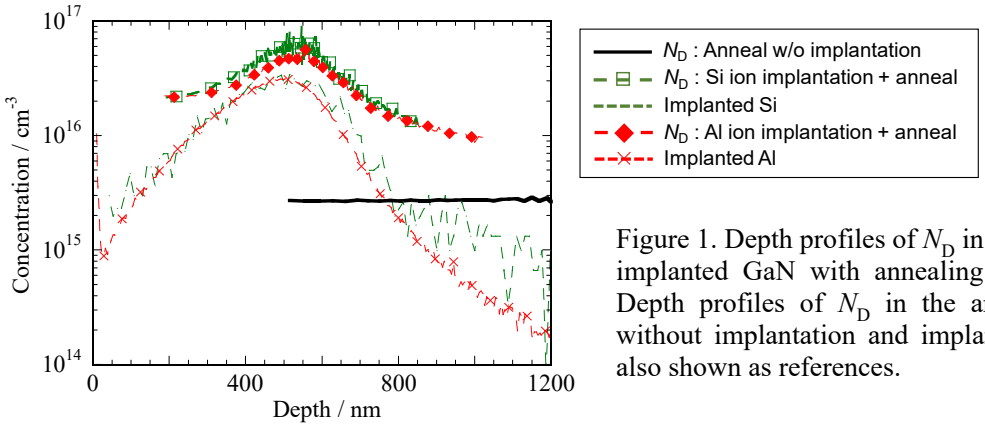


Figure 1. Depth profiles of N_D in the Si and Al implanted GaN with annealing at 1100 °C. Depth profiles of N_D in the annealed GaN without implantation and implanted ions are also shown as references.

正孔捕獲を抑制した高 Mg 濃度 p 型 GaN MOS 構造の熱安定性

Stability of Heavily Mg-doped p-type GaN MOS Structures with Low Hole Trap Density Against Thermal Annealing

阪大院工, °阪上 優一, 小林 拓真, 冨ケ原 一樹, 野﨑 幹人, 渡部 平司

Osaka Univ., °Yuichi Sakagami, Takuma Kobayashi, Kazuki Tomigahara, Mikoto Nozaki, and Heiji Watanabe

Email: sakagami@ade.prec.eng.osaka-u.ac.jp

【はじめに】高効率・高信頼性 GaN MOS デバイスの実現に向け、高品質な GaN MOS 構造の形成が不可欠である。SiO_2/GaN 構造では電子捕獲は比較的容易に低減できるが[1]、正孔捕獲が根強い課題である。先行研究により、高アクセプタ濃度（$N_A > 10^{18}$ cm^{-3}）の p 型 GaN MOS 構造は、理想的な正孔蓄積挙動を示すことが分かっている[2]。また、高 Mg 濃度の p 型 GaN にあえて活性化熱処理を施さず、N_A が比較的低い（$N_A \sim 10^{17}$ cm^{-3}）場合にも、良好な界面特性が得られる[3]。したがって、GaN MOS 構造における正孔捕獲低減の鍵は、Mg 濃度である。しかし、MOS 構造の熱処理に対する安定性は十分に調べられていない。そこで本研究では、異なる雰囲気・温度条件での熱処理を SiO_2/p 型 GaN 構造に施し、高 Mg 濃度 MOS 構造の熱安定性評価を行った。

【実験方法・結果】実験には、n 型 GaN 自立基板上に成長した p 型 GaN エピ層（[Mg] = 7 × 10^{16} cm^{-3}, 2 × 10^{19} cm^{-3}）を用いた。試料をアセトンおよび 50% HF で洗浄後、プラズマ CVD 法により SiO_2 膜を約 20 nm 堆積した。続いて、O_2、N_2、あるいは FG（H_2/N_2 3%）雰囲気で 200 – 800°C 30 min の堆積後熱処理（PDA）を施した。最後に、表面に Ni ゲート電極、裏面に Al 電極を蒸着することで、MOS キャパシタを作製した。Fig. 1 に作製した GaN MOS キャパシタの 1 kHz 双方向 *C*–*V* 特性を示す: (a) 低[Mg] O_2-PDA 試料、(b) 高[Mg] as-depo.および FG-PDA 試料。まず、O_2-PDA 後の低[Mg]試料では、フェルミ準位のピニングに起因した容量停滞により酸化膜容量（C_{ox}）まで正孔が蓄積せず、顕著なヒステリシス（V_{hys}）も観測される。一方、高[Mg]試料では、as-depo.の場合にも正常な正孔蓄積が確認でき、容量停滞やヒステリシスは見受けられない。したがって GaN 基板の Mg 濃度増加は、たしかに界面特性の向上に有効である。また、高[Mg]試料は FG-PDA 後も、曲線の僅かな正方向シフトは見られるものの、正孔蓄積挙動や V_{hys} の劣化は見られない。次に高[Mg]試料に対し、各種雰囲気（O_2, N_2, FG）での熱処理を施した際の V_{hys} の変化を Fig. 2 に示す。その結果、熱処理に伴うヒステリシスの増大は観測されない。正孔トラップの有力候補の一つは、SiO_2/GaN 界面に存在する GaO_x 層中の酸素空孔（V_O）である。近年の理論研究により、Mg 原子は V_O と複合体を形成し、正孔トラップを不活性化するモデルが提案されている[4]。本研究の結果より、熱処理後も Mg 原子が正孔トラップを不活性化する効果は持続し、高 Mg 濃度 p 型 GaN MOS 界面の熱処理に対する安定性が示された。

[謝辞] 本研究は、文部科学省革新的パワーエレクトロニクス創出基盤技術研究開発事業 JPJ009777 および JSPS 科研費 23K13367 の助成を受けた。
[参考文献] [1] T. Yamada *et al*., APEX **11**, 015701 (2018). [2] Y. Wada *et al*., Appl. Phys. Lett. **120**, 082103 (2022). [3] H. Mizobata *et al*., Appl. Phys. Express **16**, 105501 (2023). [4] S. Hattori *et al*., ICNS **14**, CH15-4 (2023).

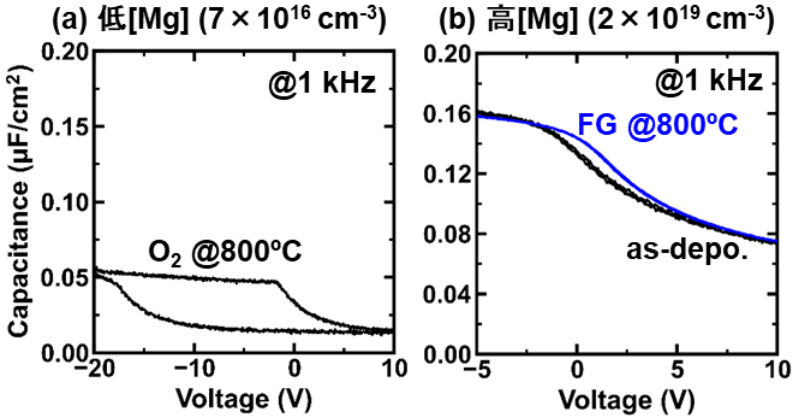


Fig. 1: Bidirectional 1-kHz *C*-*V* characteristics of p-type GaN MOS capacitors: (a) lightly Mg-doped and (b) heavily Mg-doped samples.

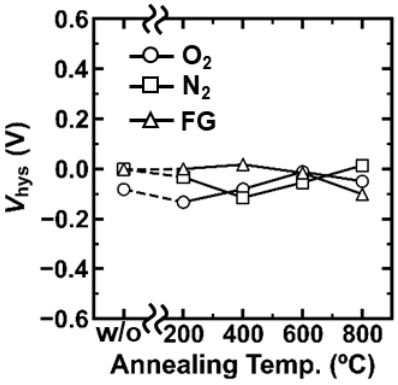


Fig. 2: Annealing temperature dependence of V_{hys} in heavily Mg-doped p-GaN MOS capacitors.

© 2024年 応用物理学会

SiO_2 堆積後熱処理による p 型 GaN MOS 界面正孔トラップ生成

Generation of hole traps at SiO_2/p-GaN MOS interfaces by post-deposition annealing

阪大院工，°原 征大，冨ケ原 一樹，野崎 幹人，小林 拓真，渡部 平司
Osaka Univ., °M. Hara, K. Tomigahara, M. Nozaki, T. Kobayashi, and H. Watanabe
E-mail: hara@prec.eng.osaka-u.ac.jp

GaN MOS 界面における正孔トラップの起源解明およびその低減は，GaN 縦型パワーMOSFET の信頼性向上に向けた喫緊の課題である．我々はこれまで，比較的高温(> 600℃)・O_2 雰囲気中での絶縁膜堆積後熱処理(PDA)は SiO_2/n 型 GaN 構造の界面特性向上に有効である一方[1]，p 型 GaN MOS 構造に適用した場合，高密度正孔トラップに起因して，正孔の正常な蓄積が起こらず，*C–V* 特性に顕著なヒステリシスが見られることを報告してきた[2]．本研究では，正孔トラップの生成メカニズム解明に向けて，PDA の雰囲気および温度を系統的に変化させることで，これらの要因が SiO_2/p 型 GaN MOS 構造の正孔トラップに与える影響を詳細に調べた．

n 型 GaN(0001)自立基板上 p 型 GaN エピ層([Mg] = 7×10^{16} cm^{-3})試料をアセトンおよび 50% HF で洗浄後，N_2 雰囲気で 800℃, 20 分の脱水素アニールを行った．試料の再洗浄後，PECVD (基板温度: 400℃)により SiO_2 膜を約 20 nm 堆積した後，150–800℃の範囲で温度を変化させ，O_2 または N_2 雰囲気で 30 分の PDA を施した．最後に，Ni ゲート電極，裏面 Al 電極を形成し，MOS キャパシタを作製した．

図 1 に，(a) O_2-または(b) N_2-PDA を施した p 型 GaN MOS キャパシタの双方向 *C–V* 特性を示す．まずは O_2-PDA 試料に着目する．正から負バイアスへの掃引時，200℃での PDA を施した試料では，MOS 界面フェルミ準位(E_F)のピニングに伴う容量の停滞(~ 0.05 μF/cm^2)が生じる電圧範囲(ΔV_{hump})は狭く，正孔の蓄積が見られた．一方，PDA 温度の上昇に伴いΔV_{hump} は徐々に増加し，PDA 温度が 600℃以上のとき，測定電圧範囲において正孔の蓄積は見られなかった．また，N_2-PDA 試料においても，正バイアス印加時にドナー型欠陥に由来する電子蓄積が見られる点を除いて，O_2-PDA 試料と同様のΔV_{hump} 増加傾向が得られた[図 1(b)]．*C–V* 曲線の微分解析に基づいてΔV_{hump} を定量し，酸化膜容量(C_{ox})を用いて，E_F のピニングに寄与する界面正孔トラップ密度($N_{hump} = C_{ox}\Delta V_{hump}/e$)を求めると，熱処理の雰囲気によらず，PDA 温度の上昇とともに N_{hump} は増大し，高温 PDA (≥ 600℃)を施した試料では約 10^{13} cm^{-2} を超える多量の界面トラップが存在することがわかった(図 2)．以上より，上述の高密度界面正孔トラップは，熱により生成/活性化する欠陥に由来することが示唆された．一方，PDA 温度が 200℃と低い場合でも大きなヒステリシスが見られることから，界面トラップが正孔で満たされた後に正孔捕獲に寄与し始める応答の遅いトラップが存在し，その起源は界面トラップとは異なることが明らかになった．

本研究は，文部科学省「革新的パワーエレクトロニクス創出基盤技術研究開発」事業(JPJ009777)および JSPS 科研費(23K13367, 24KJ0142)の助成を受けたものである．

[1] T. Yamada *et al.*, *APEX* **11**, 015701 (2018). [2] 山田 他, 第 79 回 応用物理学会秋季学術講演会, 19p-CE-10 (2018).

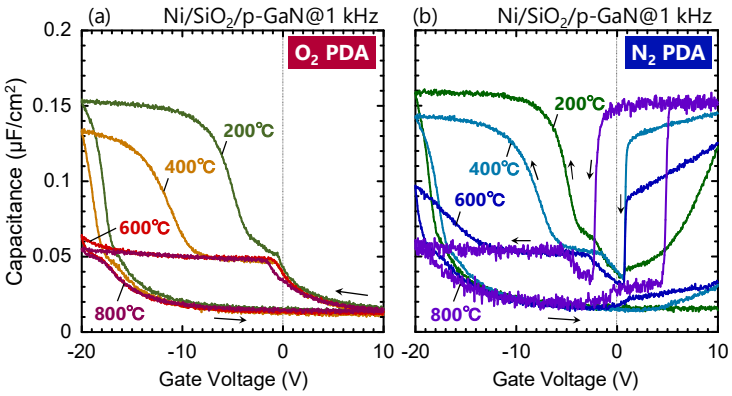


Fig. 1. *C–V* characteristics of the SiO_2/p-GaN MOS capacitors fabricated with PDA at various temperatures in (a) O_2 and (b) N_2.

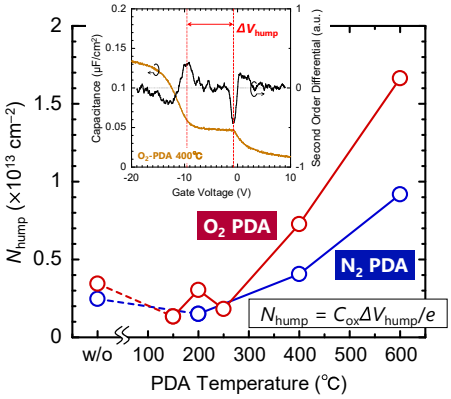


Fig. 2. PDA temperature dependence of N_{hump} at the SiO_2/p-GaN MOS interfaces.

© 2024年 応用物理学会

PECVD-SiO_2の成膜温度がp型GaN MOS界面正孔トラップに与える影響

Impacts of PECVD-SiO_2 deposition temperature on hole traps at p-type GaN MOS interfaces

阪大院工，°原 征大，小林 拓真，溝端 秀聡，野崎 幹人，渡部 平司
Osaka Univ., °M. Hara, T. Kobayashi, H. Mizobata, M. Nozaki, and H. Watanabe
E-mail: hara@prec.eng.osaka-u.ac.jp

GaN 縦型パワーMOSFET の信頼性向上には，GaN MOS 構造の高密度正孔トラップの起源解明が不可欠である．先の報告では，応答が比較的速く，MOS 界面でのフェルミ準位(E_F)のピニングを引き起こす正孔トラップ(速い正孔トラップ)が，熱により生成する欠陥に由来することが示唆された[1]．したがって，GaN MOS 構造形成プロセスの熱履歴を低減することが，速い正孔トラップ抑制に有効であると期待される．この観点から，我々は低温での SiO_2 成膜に着目した．本研究では，様々な SiO_2 成膜温度で p 型 GaN MOS 構造を作製し，成膜温度が正孔トラップ生成に与える影響を詳細に調査した．

p 型 GaN エピ層試料([Mg] = 7×10^{16} cm^{-3})をアセトンおよび HF で洗浄後，N_2 雰囲気で 800°C, 20 分の脱水素アニールを行った．試料の再洗浄後，PECVD により，基板温度 200, 300, 400°Cで 14–21 nm の SiO_2 膜を堆積した．その後，200–800°Cの範囲で温度を変化させ，O_2 または N_2 雰囲気で 30 分の堆積後熱処理(PDA)を施した．最後に，Ni ゲート電極，裏面 Al 電極を形成し，MOS キャパシタを作製した．

400°C成膜した SiO_2 に O_2-PDA を施して作製した p 型 GaN MOS キャパシタの双方向 *C–V* 特性を図 1 に示す．先の報告の通り，400°C成膜試料では，E_F ピニングにより容量停滞が生じる電圧範囲(ΔV_{hump})は，PDA 温度の上昇に伴って徐々に増加している．また，このΔV_{hump} 増加傾向は N_2-PDA 試料でも同様に観測された．続いて，図 2 に，200°C成膜 SiO_2 に(a) O_2-または(b) N_2-PDA を施した MOS キャパシタの *C–V* 特性を示す．200°Cで成膜した場合，600°C以下の温度で O_2-PDA を施した試料では顕著な容量停滞は生じず，800°Cでの O_2-PDA 後に急激にΔV_{hump} が増大している[図 2(a)]．一方，図 2(b)に示すように，200°C成膜試料では，800°Cでの N_2-PDA を施してもなお，正孔の蓄積に伴う容量の増加傾向が見られる．以上の結果を，SiO_2 成膜時に O_2 プラズマにより形成される SiO_2/GaN 界面 GaO_x 層[2]に対する成膜温度および PDA の効果に着目して考察する．SiO_2 成膜温度が低いほど，GaO_x 層の形成は抑制されると予想される．また，PDA を 800°C，O_2 雰囲気で施すと GaO_x 中間層が増膜するのに対し[2]，N_2 雰囲気では GaO_x 層は増膜しない．よって，200°C成膜試料のうち，GaO_x 層が増膜する 800°Cでの O_2-PDA を施した場合のみ，熱に起因した速い正孔トラップの生成が起こり，極薄 GaO_x 層が維持されるその他の試料ではトラップは増加しないことがわかる．以上を踏まえ，SiO_2/GaN 界面 GaO_x 層に存在し，かつ熱により生成する欠陥が，速い正孔トラップの主要な起源であると推定する．

本研究は，文部科学省「革新的パワーエレクトロニクス創出基盤技術研究開発」事業(JPJ009777)および JSPS 科研費(23K13367, 24KJ0142)の助成を受けたものである．

[1] 原 他, 第 85 回 応用物理学会秋季学術講演会 (2024). [2] T. Yamada *et al.*, *APEX* **11**, 015701 (2018).

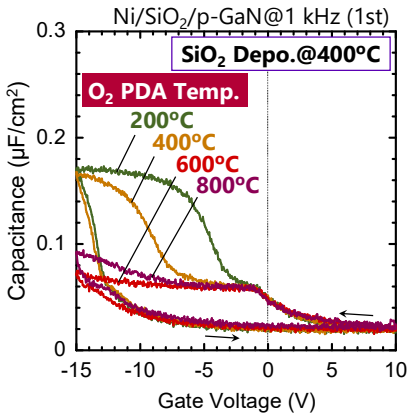


Fig. 1. *C–V* characteristics of the p-GaN MOS capacitors fabricated with 400°C-deposited SiO_2 and O_2-PDA.

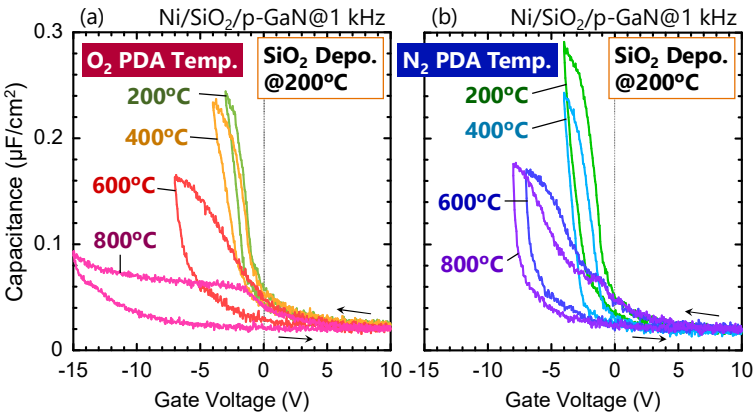


Fig. 2. *C–V* characteristics of the p-GaN MOS capacitors fabricated with 200°C-deposited SiO_2 and (a) O_2- or (b) N_2-PDA.

30 W/mm 超 X 帯 InAlGaN-HEMT

Over 30 W/mm InAlGaN-HEMT in X-band

富士通株式会社　°山田　敦史，美濃浦　優一，倉橋　菜緒子，鎌田　陽一，
多木　俊裕，佐藤　優，中村　哲一

Fujitsu Limited, °Atsushi Yamada, Yuichi Minoura, Naoko Kurahashi, Yoichi Kamada,
Toshihiro Ohki, Masaru Sato, Norikazu Nakamura

E-mail: atsushi.y@fujitsu.com

InAlGaN を電子供給層に用いた高電子移動度トランジスタ（HEMT）は、AlGaN を電子供給層に用いた従来の AlGaN-HEMT に比べ、高濃度の二次元電子ガス（2DEG）を誘起できるため、従来にない高出力化が実現できると期待されている。しかしながら、InAlGaN-HEMT に関して多くの研究がなされてきたが、AlGaN-HEMT の最高出力密度[1]を超える性能を達成できていない。InAlGaN は含有する In に起因して、デバイスプロセスによるダメージを受けやすく、性能が劣化しやすい。したがって、従来の AlGaN -HEMT と同様のデバイスプロセスでは InAlGaN が持つポテンシャルを最大限に活かせていないと考えられる。

本研究では、InAlGaN 供給層の表面を保護するパッシベーション膜に着目した。一般的に用いられているプラズマ化学気相堆積（PECVD）法とプラズマダメージの無い熱 CVD（TCVD）法による SiN_x 膜を比較しデバイス性能への影響を調査した。まず SiN_x 成膜後の電気特性について検証した。PECVD SiN_x 膜を成膜した場合、2DEG 移動度が大きく減少するが、TCVD SiN_x 膜では 2DEG 移動度の減少が抑制されることがわかった。TCVD SiN_x 膜を用いた InAlGaN-HEMT では、シート抵抗と 2DEG 移動度がそれぞれ 293 Ω/sq.および 2048 $cm^2V^{-1}s^{-1}$ と非常に高い性能を実現した。続いてデバイス特性について検証した。TCVD SiN_x 膜を用いた InAlGaN-HEMT は、オフ耐圧が 227 V と PECVD SiN_x の 169 V より高い。また、TCVD SiN_x 膜を用いた InAlGaN-HEMT は低いシート抵抗を反映しドレイン電流値も高いため、出力電力も PECVD SiN_x 比較して非常に高いことがわかった（図１）。

以上の結果から、TCVD SiN_x 膜を用いることにより InAlGaN-HEMT の電気特性を大きく改善し、デバイス性能を向上できることがわかった。また、耐圧が向上するため駆動電圧も 90 V まで上げることが可能となった。90 V における出力電力は 31 W/mm（8 GHz 動作）と従来の AlGaN-HEMT を凌駕する世界トップの性能を実現した。

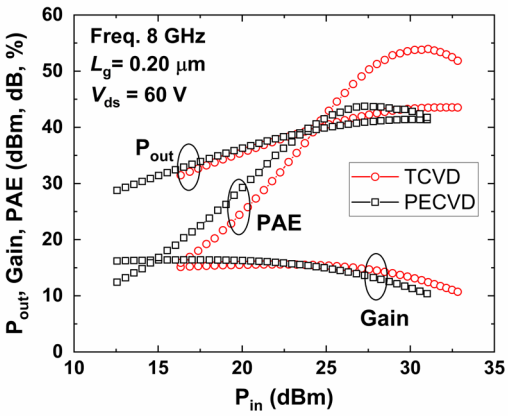


Fig.1 RF power characteristics of the InAlGaN/GaN-HEMT with TCVD and PECVD SiN_x passivation.

[1] Y.-F. Wu et al., IEEE Electron Device Lett. 25, 117–119 (2004).

EID AlGaN/GaN MOS-HEMT における電極形成後アニールの影響

Impact of post metallization annealing in EID AlGaN/GaN MOS-HEMT

三菱電機株式会社 先端技術総合研究所 [1]，佐賀大学 [2]，名古屋工業大学 [3]
◦南條 拓真 [1]，古橋 壮之 [1]，綿引 達郎 [1]，大石 敏之 [2]，江川 孝志 [3]
Advanced Technology R&D Center, Mitsubishi Electric Corporation[1], Saga University[2], Nagoya Inst. of Tech.[3]
Takuma Nanjo[1], Masayuki Furuhashi[1], Tatsuro Watahiki[1], Toshiyuki Oishi[2], Takashi Egawa[3]
E-mail: Nanjo.Takuma@ap.MitsubishiElectric.co.jp

はじめに

ノーマリオフ動作するプレーナ型の Extrinsically electron Induced by Dielectric (EID) AlGaN/GaN MOS-HEMT[1,2]は、簡略なプロセスで作製できる上に、ドライエッチングによる半導体層へのダメージを懸念する必要がないため、高い信頼性や安定性を備えた電力変換用の高速高出力スイッチング素子として期待される。我々はこの EID-HEMT の動作実証を行ない、良好な 400V/10 A のスイッチング動作を実現している[2]。しかしながら、報告されている EID-HEMT のしきい値は 0.5～0.9 V であり[1,2]、パワースイッチング用の素子として十分に高い値が得られていない。今回、EID-HEMT におけるゲート電極形成後のアニール処理がしきい値を含む諸特性に影響を及ぼすことが明らかになったため、これについて報告する。

実　験

今回の調査に用いた EID-HEMT（図 1）は、MOCVD（UR25K）にて Si 基板上に成長した AlGaN/GaN エピタキシャル層を用いて作製した。AlGaN バリア層の Al 組成と厚さは 2 次元電子ガス（2DEG）が空乏化されるように、それぞれ 22 %と 5 nm とした。ゲート電極形成までの試作プロセスは、これまでの試作検証[1,2]と同様である。ゲート電極形成後には 500℃で 2 分間の熱処理（1st PMA）を行なった。その後、ソース/ドレイン電極上のパッド電極が形成される領域の誘電膜（SiO_2/SiN/Al_2O_3）をドライエッチングにて除去してコンタクトホール（C/H）を形成した後に Ti/Al からなるパッド電極を堆積した。この状態で、最初の DC 特性評価を行なった。その後、500℃で 2 分間の熱処理（2nd PMA）を施し、再度 DC 特性を再評価することで、C/H 形成後の熱処理が特性に与える影響を調査した。

結　果

図 2 に、作製した EID-HEMT において得られた 2nd PMA 前後のドレイン電流-ゲート電圧（I_d-V_g）特性を示す。2nd PMA によって I_d-V_g 特性は正側にシフトし、しきい値は-1.6 V から 1.5 V に増加した。ゲート電極下側の 2DEG 濃度が減少したことが原因として考えられる。また、2nd PMA によってドレイン電流が半減した。

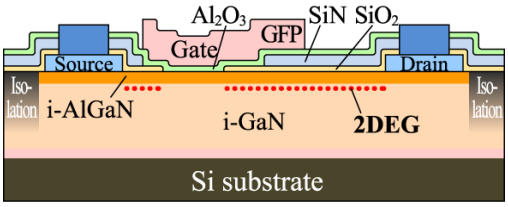


Fig. 1: Fabricated EID-HEMTs.

同条件にて作製した TLM（Transfer Length Method）パターンを用いた評価においても、2nd PMA 後にシート抵抗とコンタクト抵抗が増加する結果が得られており、ソース-ゲート電極間とゲート-ドレイン電極間の 2DEG 濃度も減少していると考えらえる。2DEG 濃度が変化するためには、この領域に形成される SiO_2/SiN/Al_2O_3 からなる誘電膜（ゲート電極直下は Al_2O_3 のみ）中の固定電荷量が変化するか、これらの誘電膜の内部応力が変化する必要がある。従って、2nd PMA によりこれらが変化したことを原因として想定しているが、詳細については調査中である。

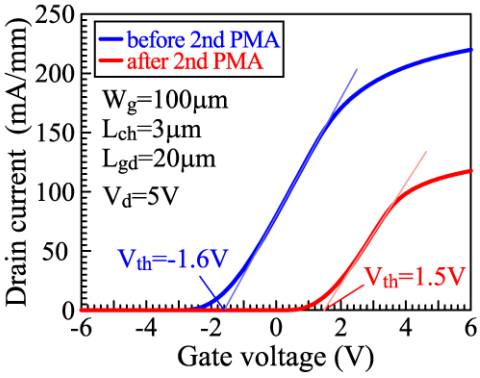


Fig. 2: I_d-V_g characteristics before and after 2nd PMA in EID-HEMTs.

[1] 南條他, 2022 年春応物予稿, 24a-E302-3
[2] 南條他, 2023 年秋応物予稿, 23a-B201-3

マイクロ波整流用 GaN HEMT 構造ゲーテッドアノードダイオードの整流効率向上に向けた素子構造の検討

Exploring Device Design of GaN HEMT-Based Gated-Anode Diodes for High-Efficiency Microwave Rectification

名大院工 [1]，名大未来研 [2]，熊大工 [3]　○渡邊智也 [1]，高橋英匡 [1]，分島彰男 [3]，安藤裕二 [1,2]，須田淳 [1,2]

Nagoya Univ. [1], Nagoya Univ. IMaSS [2], Kumamoto Univ. [3]

°Tomoya Watanabe[1], Hidemasa Takahashi[1], Akio Wakejima[3], Yuji Ando[1,2], Jun Suda[1,2]

E-mail: watanabe.tomoya.a7@s.mail.nagoya-u.ac.jp

マイクロ波無線電力伝送の受電レクテナ(アンテナ+整流回路)用デバイスとして，我々はノーマリーオフ型 AlGaN/GaN HEMT のゲートとドレインを短絡した構造を持つ，ゲーテッドアノードダイオード(GAD)の開発を進めている[1]．前回，我々は Fig. 1 に示すワイドリセス構造 GAD を作製し，実デバイスのパラメータ抽出により SPICE モデルを構築し，整流回路の予測変換効率を報告した．今回，我々は素子構造の改善を目指し，整流回路における GAD の損失の要因分析を行った．その結果を踏まえ，素子構造を変更したゲートリセス構造 GAD (Fig. 2)を試作し，同様に整流効率を求めた．両構造の課題を明らかにし，さらなる整流効率向上に向けた素子構造改良の方針を検討したので報告する．

作製したワイドリセス構造 GAD は，ゲート長 L_g 0.8 μm，ゲート幅 W_g 200 μm, AlGaN 層 AlN モル分率 0.15，膜厚 12 nm である．アクセス領域のシート抵抗は 1130 Ω/sq であった．コラプスの影響を評価するために，−35 V のストレス電圧(パルス幅 10 μs，周期 20 μs)印加時の順方向特性を評価し，閾値電圧 V_{th} = 0.42 V，オン抵抗 R_{on} = 7.2 Ωmm の特性を得た．G-S 間距離が 2.6 μm における耐圧は 61 V(@ I_r=0.1 mA/mm)であった．Fig. 1 に示す等価回路に基づき GAD の大信号モデルを構築した．モデルパラメータはパルス *I-V* 特性と S パラメータから抽出した．GAD モデル(W_g=800 μm)を用いたブリッジ整流回路のシミュレーションを行い，10 W 入力時(5.7 GHz 帯)に 80.9 %の整流効率を得た．GAD 一つ当たりの損失は 380 mW であり，その内訳は P_{Rs} が 284 mW, P_{Rj} が 97 mW である．また，P_{Rs} のうち 72 %はオフ時の容量 C_{off} で生じる変位電流起因であった．

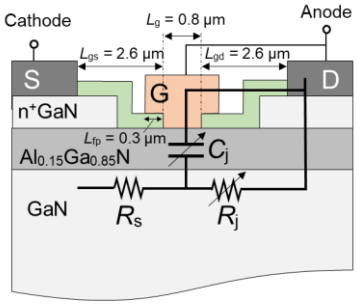


Fig. 1 Widely-recessed GAD

R_{on} の低減を狙い,ゲートリセス構造 GAD を作製した(Fig. 2) [2]．AlGaN 層の AlN モル分率を 0.22，膜厚を 17.5 nm に設定することで 417 Ω/sq の低いシート抵抗を実現し，−40 V のストレス印加時に R_{on} = 3.0 Ωmm を達成した．10 W 入力時の整流効率を予測した結果，ワイドリセス構造と比較して P_{Rs} を 10%, P_{Rj} を 22 %程度低減することに成功し，整流効率 83.4 %を達成した．一方, AlGaN 層の設計変更により C_{off} が増大し，大幅な効率向上には至らなかった．

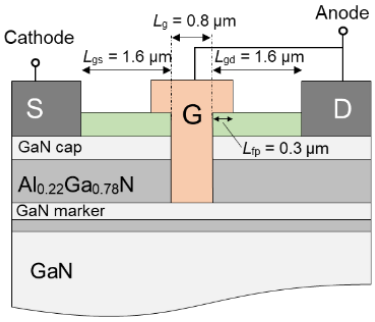


Fig. 2 Recessed-gate GAD

どちらの構造もまだ改善の余地が残されており，ワイドリセス構造は R_{on} 低減，ゲートリセス構造は C_{off} 低減に向けた素子構造の検討を続けていく．

本研究の一部は総務省の「空間伝送型ワイヤレス電力伝送の干渉抑制・高度化技術に関する研究開発」の助成を受けたものである．

[1] H. Takahashi *et al.*, *Phys. Status Solidi A*, 220: 2200837 (2023).

[2] Y. Ando *et al.*, *IEEE Transactions on Electron Devices*, vol.71, no.5 (2024).

© 2024年 応用物理学会

13 半導体 | 一般セッション(口頭講演)：13.7 化合物及びパワーデバイス・プロセス技術・評価

[19p-C41-1~24] 13.7 化合物及びパワーデバイス・プロセス技術・評価

[19p-C41-1]
SiおよびWにおける低速イオンに対する電子阻止断面積のZ_1振動を再現するEl-Hoshy−Gibbonsモデルの改良と4H-SiCへの適用
〇望月 和浩[1]、西村 智朗[1]、三島 友義[1] (1.法政大)

[19p-C41-2]
ヘリウムイオン注入によるSiC積層欠陥拡張抑制
〇加藤 正史[1]、Li Tong[1]、原田 俊太[2]、坂根 仁[3] (1.名工大、2.名大、3.住重アテックス)

[19p-C41-3]
水素・ヘリウムイオン注入SiCダイオードにおける点欠陥深さ方向分布
〇加藤 正史[1]、Li Tong[1]、原田 俊太[2]、坂根 仁[3] (1.名工大、2.名大、3.住重アテックス)

[19p-C41-4]
Observation of Baking Temperature Influence on Interfacial Thermal Resistance at Polymer/SiC Interface Using Optical-Interference Contactless Thermometry (OICT)
〇Yu Jiawen[1]、花房 宏明[1]、東 清一郎[1] (1.広島大学)

[19p-C41-5]
高温下におけるシリコンキャップアニールコンタクトの長期安定性評価
〇福澤 尊仁[1]、花房 宏明[1]、東 清一郎[1] (1.広大先進理工)

[19p-C41-6]
金属/SiCコンタクトの加熱その場TEM観察
〇林 将平[1]、先崎 純寿[2] (1.東レリサーチセンター、2.産総研)

[19p-C41-7]
600℃熱処理によるp型SiC上の低抵抗Ptオーム性電極の形成
〇桑原 功太朗[1]、金子 光顕[1]、木本 恒暢[1] (1.京大院工)

[19p-C41-8]
SiC(0001)表面モフォロジーに対する酸化及び水素エッチングの影響
〇神畠 真治[1]、小林 拓真[1]、渡部 平司[1] (1.阪大院工)

[19p-C41-9]
広温度範囲に亘るSiO_2/SiC界面発光中心の形成過程の調査
〇(B)兼子 悠[1]、中沼 貴澄[1]、遠山 晴子[2]、田原 康佐[2]、朽木 克博[2]、渡部 平司[1]、小林 拓真[1] (1.阪大工・院工、2.豊田中研)

[19p-C41-10]
SiO_2/SiC界面発光中心の発光強度の酸化温度・酸素分圧依存性
〇大西 健太郎[1]、中沼 貴澄[1]、遠山 晴子[2]、田原 康佐[2]、朽木 克博[2]、渡部 平司[1]、小林 拓真[1] (1.阪大院工、2.豊田中研)

[19p-C41-11]
SiO_2/SiC界面発光中心の密度に対する熱処理雰囲気及び時間の影響

○中沼 貴澄[1]、田原 康佐[2]、遠山 晴子[2]、朽木 克博[2]、渡部 平司[1]、小林 拓真[1] (1.阪大院工、2.豊田中研)

[19p-C41-12]
第一原理計算を用いた4H-SiC中不純物-空孔ペアに関する包括的調査
○(M2)岩本 蒼典[1]、渡部 平司[1]、小林 拓真[1] (1.阪大院工)

[19p-C41-13]
電子線照射がSiCおよびSi MOSFETのチャネル特性に及ぼす影響
○(M2)松木 康太郎[1]、市川 義人[2]、小野澤 勇一[2]、岩室 憲幸[1]、矢野 裕司[1] (1.筑波大、2.富士電機)

[19p-C41-14]
4H-SiC MOS反転層における電子状態の界面構造依存性
○(DC)永溝 幸周[1]、田中 一[1]、森 伸也[1] (1.阪大院工)

[19p-C41-15]
SiC MOSFETにおける量子閉じ込め効果と界面準位のエネルギー分布に関する考察
○遅 熙倫[1]、伊藤 滉二[1]、金子 光顕[1]、木本 恒暢[1] (1.京大院工)

[19p-C41-16]
SiC pチャネルMOSFETのしきい値電圧と移動度に与えるカウンタードープの効果
○伊東 遼馬[1]、井上 瑛[1]、三上 杏太[1]、金子 光顕[1]、木本 恒暢[1] (1.京大院工)

[19p-C41-17]
SiC MOS 構造中に生成されるボディ層濃度に依存した固定電荷
○三上 杏太[1]、金子 光顕[1]、木本 恒暢[1] (1.京大院工)

[19p-C41-18]
第一原理計算によるNOアニール後のSiC/SiO_2界面の電子状態解析
○(M1)杉山 耕生[1]、舩木 七星斗[1]、植本 光治[1]、小野 倫也[1] (1.神戸大工)

[19p-C41-19]
NO窒化SiC(0-33-8) MOS構造の界面特性及び信頼性評価
○岩本 隼登[1]、小林 拓真[1]、平井 悠久[2]、染谷 満[1,2]、岡本 光央[2]、渡部 平司[1] (1.阪大院工、2.産総研)

[19p-C41-20]
SiC 表面のプラズマ窒化と絶縁膜堆積により形成した SiO_2/SiC 構造に対する後熱処理の効果
○藤本 博貴[1]、小林 拓真[1]、渡部 平司[1] (1.阪大院工)

[19p-C41-21]
Al_2O_3キャップ層による4H-SiC/SiO_2界面への窒素導入過程の変化
○中島 辰海[1]、女屋 崇[1]、喜多 浩之[1] (1.東大院新領域)

[19p-C41-22]
SiC MOSFETへのゲートACストレス印加による発光としきい値電圧変動
○(M1)新郷 諒介[1]、円城寺 佑哉[1]、岩室 憲幸[1]、矢野 裕司[1] (1.筑波大)

[19p-C41-23]
負電圧ゲートストレス印加によるSiC MOSFETのチャネル移動度劣化
○八軒 慶慈[1]、小林 拓真[1]、平井 悠久[2]、染谷 満[1,2]、岡本 光央[2]、渡部 平司[1] (1.阪大院工、2.産総研)

[19p-C41-24]
高温酸化プロセスによるSiC MOSFETのゲートストレス耐性向上

〇(M1)陳 強[1]、小林 拓真[1]、平井 悠久[2]、染谷 満[1,2]、岡本 光央[2]、渡部 平司[1] (1.阪大院工、2.産総研)

Si および W における低速イオンに対する電子阻止断面積の Z_1 振動を再現する El-Hoshy–Gibbons モデルの改良と 4H-SiC への適用

Modified El-Hoshy−Gibbons model reproducing the Z_1 oscillation of electronic stopping cross sections in Si and W for low-velocity ions and its application to 4H-SiC

法政大　○望月 和浩，西村 智朗，三島 友義

Hosei Univ.　○K. Mochizuki, T. Nishimura, T. Mishima

E-mail: kazuhiro.mochizuki.66@hosei.ac.jp

はじめに El-Hoshy と Gibbons [1]は電子阻止断面積 S_e が入射イオンの原子番号 Z_1 に対して振動する現象を説明するため，低速イオンに対する Firsov モデル[2]を改良した次式を提案した。

$$S_e\,(\mathrm{eV\,cm^2\,atom^{-1}}) = (N\,W)^{-1}\,4.3\times10^{-8}\,(Z_1' + Z_2')^{5/3}\,U\,/\,[1 + 0.31\,(Z_1' + Z_2')^{1/3}\,(R_0/y)]^5. \quad (1)$$

ここで，N は原子密度(cm^{-3})，W は衝突間隔(cm)，Z_1'は入射イオンの実効原子番号，Z_2'はターゲットの実効原子番号，R_0 は小角衝突径数(Å)，および y は R_0 低減係数である。Z_1'および Z_2'は，最外殻電子数 n が最外殻軌道数の半分未満の場合 n，n が最外殻軌道数の半分以上の場合 $n-2L$ (但し，L は n が最外殻軌道数の半分である原子との原子番号差) として求められた。しかし，彼らは y に対して W<110>方向チャネリング結果(イオン速度 $V_1 = 1.5\times10^8$ cm s^{-1}) [3]の再現に約 5，Si<110>チャネリング結果($V_1 = 1.5\times10^8$ cm s^{-1}) [4]の再現に約 10 と，異なる値を用いていた。今回，原子核および電子が作るクーロンポテンシャルと電子の交換相関ポテンシャルを含む結晶格子ポテンシャルであり，非相互作用電子に作用する実効ポテンシャル(Kohn−Sham ポテンシャル)が，最高占有軌道エネルギーに等しくなる Kohm−Sham 半径 r [5] (Fig. 1)を考慮し，$r > R_0$ の場合に $y = 5$，$r < R_0$ の場合に $y = 10$ と El-Hoshy−Gibbons モデルを修正し，4H-SiC へ適用したので，報告する。

Si および W に関する検討 El-Hoshy−Gibbons モデルと同様に，チャネリング方位と向きが一致する共有結合手の数 2 を $Z_1' + Z_2'$から減じた結果 [1]，Si おける実験結果の再現性が向上した[Fig. 2(a)]。$Z_1 = 54$ を除いて実験結果を再現できていた W に関しては，同様の結果となった[Fig. 2(c)]。

4H-SiC<0001>チャネリングに関する検討 チャネリング方位と向きが一致する共有結合手の数 1 を $Z_1' + Z_2'$から減じた結果は，$R_0 = 0.89$Å とすると実験結果を再現した[6]。詳細は当日報告する。

[1] A.H. El-Hoshy and J.F. Gibbons, Phys. Rev. **173**, 454 (1968). [2] O.B. Firsov, Soviet Phys. JETP **36**, 1076 (1959).
[3] L. Eriksson et al., Phys. Rev. **161**, 219 (1967). [4] F.H. Eisen, Can. J. Phys. **46**, 561 (1968).
[5] E. Ospadov et al., PNAS **115**, E11578 (2018). [6] K. Mochizuki et al., Jpn. J. Appl. Phys. **63**, 058001 (2024).

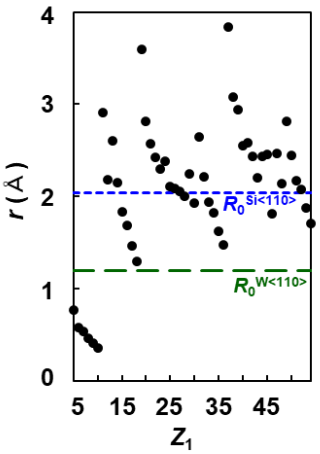


Fig. 1. Z_1 dependences of the reported Kohn−Sham radii of neutral atoms [5]. Impact parameters for small-angle collisions (R_0) are also shown for reference.

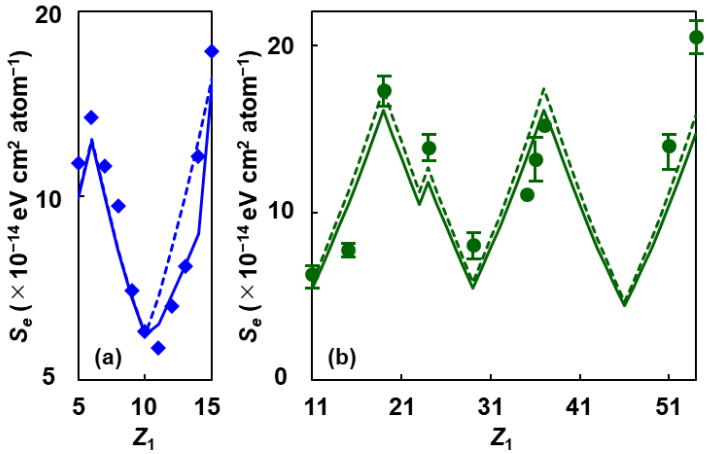


Fig. 2. Comparison between measured (symbols) [3,4] and calculated (El-Hoshy and Gibbons [1]: dotted lines; this work; solid lines) values of the electronic stopping cross sections as a function of the atomic number of the projectile in (a) Si <110> ($V_1 = 1.5\times10^8$ cm s^{-1}) and (b) W <110> ($V_1 = 1.5\times10^8$ cm s^{-1}).

ヘリウムイオン注入による SiC 積層欠陥拡張抑制

Suppression of stacking-fault expansion in SiC by helium implantation

名工大 [1], 名大 [2], 住重アテックス [3], ○加藤正史 [1], Li Tong[1], 原田俊太 [2], 坂根仁 [3],

NITech[1], Nagoya Univ.[2], SHI-ATEX Co. Ltd.[3], ○M. Kato[1], T. Li[1], S. Harada[2], H. Sakane[3]

E-mail: kato.masashi@nitech.ac.jp

SiC デバイスにおいてバイポーラ劣化は致命的な問題であり、4H-SiC 結晶中の基底面転位(BPD)からシングルショックレー積層欠陥(1SSF)への拡張が原因である。これまでの研究で、エピタキシャル層へのプロトン注入により、BPD から 1SSF への拡張を抑制できることが示されている。しかし、この拡張抑制のメカニズムはまだ完全には解明されておらず、点欠陥が転位をピニングして運動を抑制している、あるいはイオン注入によるエピ層中のキャリア寿命の減少が 1SSF 拡張駆動力を弱めることが考えられる[1,2]。水素による効果ではなく点欠陥の効果だとすれば、注入種はプロトンに限定されない。そこで本研究では、1SSFs の拡張抑制に対するヘリウム注入の効果を調べた。

試料にはエピタキシャル層厚 10 μm, ドナードーピング濃度 7.5×10^{15} cm^{-3} の n 型 4H-SiC ウェハーを用いた。ヘリウムイオンを室温で深さ 10 μm まで、加速エネルギー3.6 MeV、ドーズ量 1.6×10^{12} cm^{-2} でウェハーの一部に注入した。その後、Al イオン注入と活性化アニールを行い、基板側には Ni コンタクトを、エピ層側には 2.0 mm×2.0 mm の櫛形 Ti/Al コンタクトを蒸着した。最後に、700℃でコンタクトアニールを行い、PiN ダイオードを作製した。電気的ストレスとして、425 A/cm^2 のパルス電流を 10 Hz で 2 時間印加した。PiN ダイオードは電気的ストレス印加前に 60℃に予熱され、ストレス印加中は約 95℃まで温度が上昇した。

室温でのパルス電流ストレス印加前の PiN ダイオードの I-V 特性は、ヘリウム注入ありとなしでほぼ同じ性能を示した。電気的ストレス後の電流密度 25 A/cm^2 における PiN ダイオードのエレクトロルミネッセンス(EL)像を Fig. 1 に示す。Fig. 1(a)に示すように、電気応力印加後、ヘリウムを注入していない PiN ダイオードでは、電気応力印加前には観察されなかった暗部が複数観察された。この暗い領域は、基板上の BPD の 1SSF が拡張した部分に相当する。一方、Fig. 1(b)に示すように、ヘリウムを注入したダイオードでは、1SSF の拡張はほとんど観察されなかった。各条件 5 つの PiN ダイオードに電流ストレスを加えた後の 1SSF の密度を Fig. 2 に示した。ヘリウム注入をしたものは 1SSF の密度が、注入していないものに対して 1/10 程度に抑制された。したがって、ヘリウム注入により導入された点欠陥の存在により、1SSF の拡張が抑制されたと考えられる。

この成果は、国立研究開発法人新エネルギー・産業技術総合開発機構（NEDO）の助成事業（事業番号 JPNP20004）により得られた。

[1] M. Kato et al., Jpn. J. Appl. Phys. 63, 020804 (2024). [2] M. Kato et al., Mater. Sci. Semicond. Process. 175, 108264 (2024).

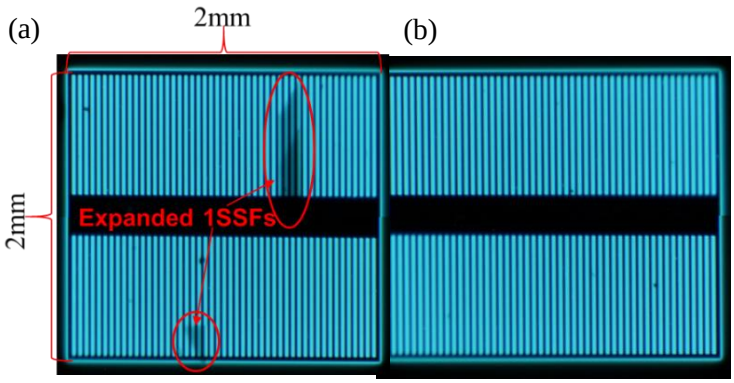


Fig. 1. EL images after current stress in 2 h for (a) w/o and (b) w/ He implantation with 1.6×10^{12} cm^{-2}.

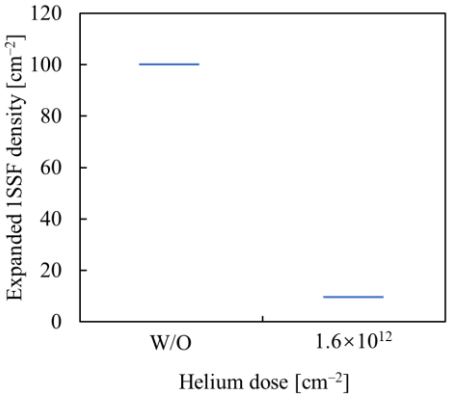


Fig. 2. Expanded 1SSF densities for the PiN diodes w/o & w/ He implantation (each condition includes five stressed diodes).

水素・ヘリウムイオン注入 SiC ダイオードにおける点欠陥深さ方向分布

Depth distribution of point defects in H or He ion implanted SiC diodes

名工大 [1], 名大 [2], 住重アテックス [3], ○加藤正史 [1], Li Tong[1], 原田俊太 [2], 坂根仁 [3],

NITech[1], Nagoya Univ.[2], SHI-ATEX Co. Ltd.[3], ○M. Kato[1], T. Li[1], S. Harada[2], H. Sakane[3]

E-mail: kato.masashi@nitech.ac.jp

我々は SiC デバイスにおいて、水素イオン注入により積層欠陥の拡張が抑制できることを報告してきた[1]。また、ヘリウムイオン注入によっても拡張抑制効果が得られることがわかってきた。これらの結果はイオン注入に伴う点欠陥が拡張抑制の重要な因子であることを示唆している。一方で、高エネルギーのイオン注入によって導入される点欠陥の深さ方向分布は、十分明らかではなかった。そこで本研究では水素もしくはヘリウムイオンを注入した SiC ダイオード内部の点欠陥分布をカソードルミネッセンス(CL)および深い準位過渡応答測定(DLTS)により評価した。

試料には，エピタキシャル層厚 10 μm，ドナードーピング濃度 8×10^{15} cm^{-3} の n 型 4H-SiC ウェハーを用いた。注入深さ 10 μm となるように水素イオンは 0.95 MeV、ヘリウムイオンは 3.6 MeV の加速エネルギーで室温での注入をおこなった。イオンドーズ量は水素においては 10^{12} or 10^{13} cm^{-2}、ヘリウムでは 1.6×10^{12} cm^{-2} である。その後、Al イオンを室温で注入し、活性化アニールを行い、基板側には Ni コンタクトを、エピ層側には 2.0 mm×2.0 mm の櫛形 Ti/Al コンタクトを蒸着した。最後に、700℃でコンタクトアニールを行い、PiN ダイオードを作製した。その後ダイオード断面に対して、深さ方向の CL スキャンを 27.3 K、加速電圧 10 kV で実施した。さらに DLTS 測定を断面加工していないダイオードに対して実施した。

Fig. 1 に注入なしと水素イオンを 10^{13} cm^{-2} 注入したダイオードの断面の CL スペクトルのラインスキャンを示す。どちらのダイオードからもブロードな発光とともに、イオン注入で生じる点欠陥による発光 L_1 線がエピ層の範囲で観測された[2]。この L_1 線の強度の深さ分布を、バンド端発光強度に対する比として示したものを Fig. 2 に示す。L_1 線は水素イオン注入のドーズに応じて強くなり、一方で He イオン注入の方が水素イオン注入よりも深くまで強く観測された。また DLTS 測定においても、注入なしのものに比べて水素イオンを 10^{13} cm^{-2} 注入したものにおいては、点欠陥密度が増加していることが確認された。

この成果は、国立研究開発法人新エネルギー・産業技術総合開発機構（NEDO）の助成事業（事業番号 JPNP20004）により得られた。

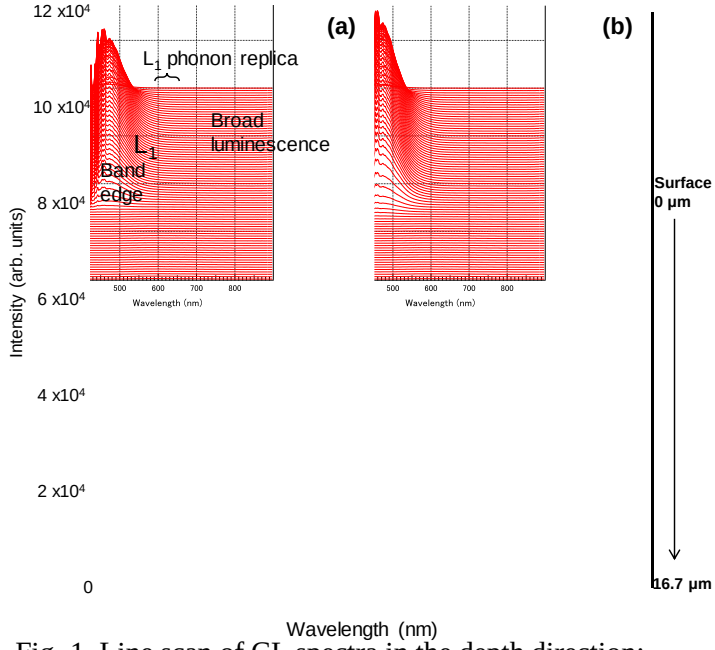


Fig. 1. Line scan of CL spectra in the depth direction: (a) w/o implantation and (b) w/ 10^{13} cm^{-2} H^+ implantation.

[1] M. Kato et al., Jpn. J. Appl. Phys. 63, 020804 (2024). [2] S. Fukaya et al., Phys. Stat. solidi (b), 259, 2100419 (2021)

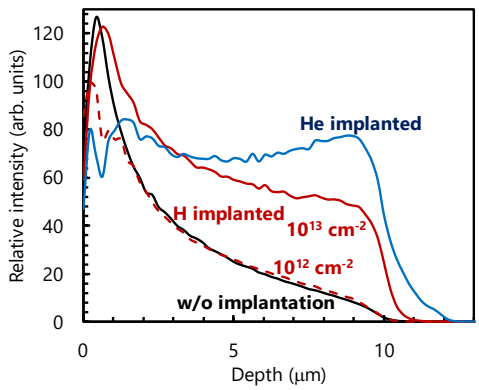


Fig. 2. Depth dependence of relative CL intensity of the L_1 line to the band edge luminescence.

Observation of Baking Temperature Influence on Interfacial Thermal Resistance at Polymer/SiC Interface Using Optical-Interference Contactless Thermometry (OICT)

広大院先進理工　○Jiawen Yu，花房 宏明，東 清一郎
Graduate School of Advanced Science and Engineering, Hiroshima University
○J. Yu, H. Hanafusa, and S. Higashi　　E-mail: semicon@hiroshima-u.ac.jp

Background＞Interfacial thermal resistance (ITR) is a critical parameter for evaluating heat dissipation performance of SiC power device packaging. We have developed a novel method [1] to extract ITR from organic/SiC interface based on Optical-Interference Contactless Thermometry (OICT). Utilizing this method, we observed a dependence of ITR on the post-exposure baking temperature at the SU-8/SiC interface.

Experimental＞SU-8/SiC samples were prepared followed by the process flow shown in Fig. 1 with post-exposure baking temperature (T_{bake}) ranging from 75 to 200°C. After spin-coating SU-8 on 4H-SiC wafers (350 µm, n type) and soft-baking, samples were pre-baked at the set T_{bake} for 3 min, followed by UV exposure and continued baking for 7 min to cure SU-8. Hard bake at 225°C for 30 min was performed on all samples. H-patterned Ni electrodes were formed on top of the SU-8 layer by sputter deposition. Thickness of SU-8 was around 120 µm, measured by SEM. OICT (see Fig. 2) was utilized to measure the reflectivity variation of SU-8/SiC samples during pulsed Joule heating generated by the Ni electrode. Measured reflectivity waveforms were then fitted with a simulation based on heat conduction equation and multiple reflection and interference principle, with ITR as one of the fitting parameters.

Results and Discussions＞Figure 3 shows the transient reflectivity waveform measured from SU-8/SiC samples fabricated at various T_{bake} under Joule heating (100 ms, 8 V). Reflectivity waveforms oscillate due to variations in the optical thickness of SU-8 and SiC caused by temperature change. Since SU-8 has a higher thermo-optic coefficient (TOC) [2] than SiC, higher ITR prevent more heat flow from SU-8 to SiC, leading to more oscillations in reflectivity. By optimizing ITR in the simulation, best-fit results reproduce the reflectivity waveform of each sample accurately. Figure 4 summarizes the ITR extracted in Fig. 3. At T_{bake} of 75°C, ITR was measured as 330 mm^2KW^{-1}, which dramatically decreases to 8 mm^2KW^{-1} at 100°C. However, further increases in T_{bake} result in a rise in ITR to 90 mm^2KW^{-1} at 150°C and 340 mm^2KW^{-1} at 200°C.

Conclusions＞ITR at SU-8/SiC interface, prepared at post-exposure baking temperature ranging from 75 to 200°C, was measured based on OICT. An optimal ITR reduction was found as 8 mm^2KW^{-1} at 100°C. This research provides significant insights into ITR control at polymer/SiC interface via the optimization of post-exposure baking temperature, crucial for the design of efficient heat dissipation in power device packaging.

Reference＞[1] J. Yu, H. Hanafusa, and S. Higashi, Appl. Phys. Express **17**, 036502 (2024).
[2] Y. Xie, L. Chen, H. Li, and Y. Yi, polymers **15**, 3721 (2023).

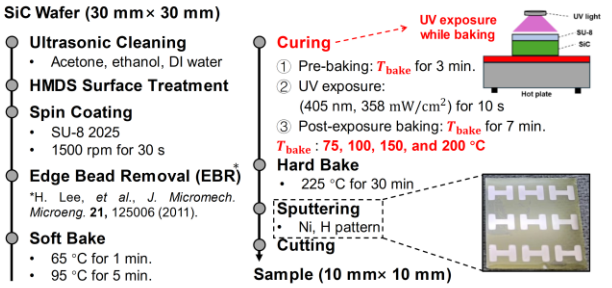


Fig. 1. Process flow of SU-8/SiC sample preparation with various baking temperature.

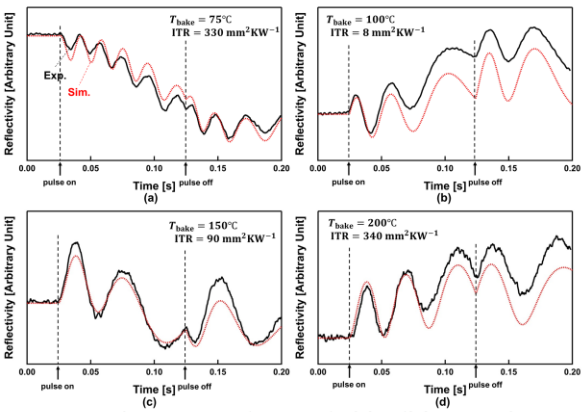


Fig. 3. Measured reflectivity change (black lines) of SU-8/SiC samples fabricated at T_{bake} ranging from 75 to 200 °C during the pulse heat (100 ms, 8 V) and their best-fit results (red lines).

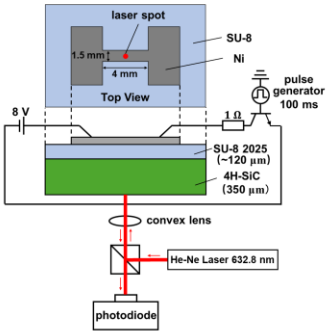


Fig. 2. Schematic diagram of OICT measurement system.

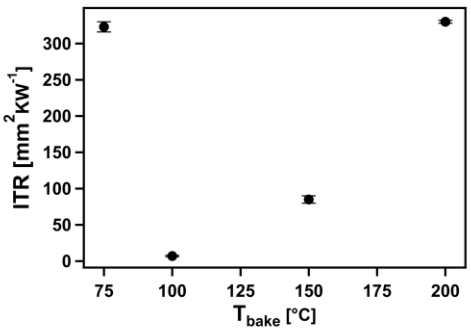


Fig. 4. Dependence of ITR at SU-8/SiC interface on the post-exposure baking temperature extracted from the best-fit simulation results in Fig. 3.

© 2024年 応用物理学会

高温下におけるシリコンキャップアニールコンタクトの長期安定性評価

Evaluation of Long-term Stability for Silicon-cap-annealed Contact at High-temperature

広大院先進理工　○福澤尊仁，花房 宏明，東 清一郎
Graduate School of Advanced Science and Engineering, Hiroshima University
○T. Fukuzawa, H. Hanafusa, and S. Higashi
E-mail: semicon@hiroshima-u.ac. jp

序>近年，省エネルギー化を目指す社会において低損失な電力変換と高温動作を可能とするシリコンカーバイド(SiC)パワーデバイスが注目されており，プロセス技術の開発研究が進められている．オーミック電極は Ni などの金属を SiC 上に堆積した後にアニールを行い，シリサイド化する方法が報告されているが，高温下においてはカーボンクラスタが生じ，時間経過とともにコンタクトの高抵抗化が生じる[1]．我々は n 型 4H-SiC 上に Si 層を堆積させた後，加熱処理を施すシリコンキャップアニール(SiCA)を行い，SiC 層の極表面に欠陥を導入することでシリサイド化を行わずにオーミックコンタクトが得られることを報告している[2,3]．本研究では，SiCA を行い形成した電極の高温下における長期安定性を調査した．

実験>n 型 4H-SiC 基板(抵抗率 0.02 Ω・cm)の Si 面を用いて実験を行った．洗浄，フッ酸処理後，RF スパッタ装置により基板温度 300 ℃でアモルファスシリコン層を約 25 nm 堆積した．続いて，Ar 雰囲気中で SiCA を 1200 ℃，1 分間行い，80 ℃の水酸化テトラメチルアンモニウム水溶液により Si 層を除去した．その後，Ni と Al をそれぞれ堆積し，TLM 電極を形成した．高温長期特性の評価は 300 ℃で 100 時間まで 10 時間ごとに評価した．比較として Ni 金属をシリサイド化した Ni_2Si/SiC 電極を形成し同時に評価を行った．

結果及び考察>Figure 1 に加熱時間に依存したコンタクト抵抗の変化を示す．Al/SiCA-SiC 電極においてはアニール時間に対するコンタクト抵抗の顕著な変化は見られず，Ni/SiCA-SiC 電極においては，加熱 10 時間後にコンタクト抵抗が 3.4 から 8.9 Ωに増加したが，その後はほぼ 10 Ω程度の値をとった．一方で，Ni_2Si/SiC 電極は加熱初期の 10 時間で 9.7 から 82 Ωに増大し，50 時間後には 359 Ωに達した．Figure 2 に Ni_2Si/SiC 電極と Ni/SiCA-SiC 構造の，Initial と 100 時間経過後の光学顕微鏡写真を示す．Ni_2Si 電極においては 100 時間経過後に表面構造の凝集が見られた．一方，SiCA 電極においては，電極表面に変化が見られなかった．これはシリサイド化を行っていないことから Ni-Si-C の相互拡散とクラスタリングが進展せず、安定した構造を保っていることに起因すると推察される．

結論>SiCA 電極を用いることで，高温環境下においてもコンタクトの長期安定化とデバイス劣化の抑制が期待される．

参考文献> [1] Shengbei Liu, *et al*, Appl. Phys. Lett. 105, 122106 (2014).
[2] H. Hanafusa, *et al*, Mater. Sci. Forum. **778** 649 (2014). [3] H. Hanafusa, *et al*, Surf. Sci. **696** 121592 (2020).

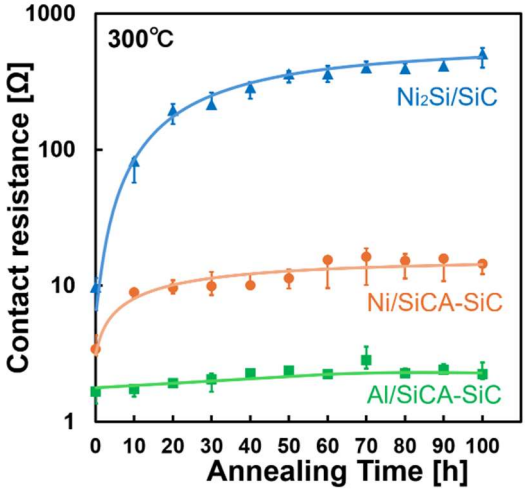


Fig. 1. Time dependence of contact resistance for Ni_2Si/SiC, Al/SiCA-SiC, and Ni/SiCA-SiC electrodes under 300℃, respectively.

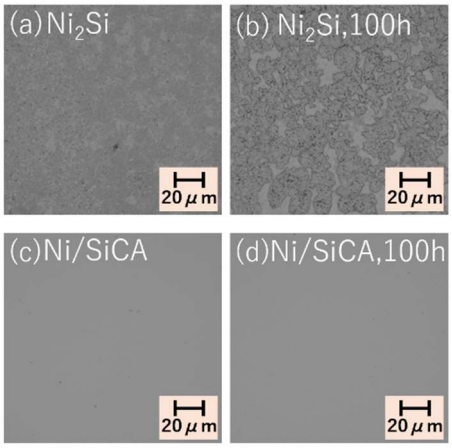


Fig. 2. Optical microscope images of the electrode surface for (a) Ni_2Si/SiC (initial) (b) Ni_2Si/SiC (100 h), (c)Ni/SiCA-SiC (initial), and (d) Ni/SiCA-SiC (100h), respectively.

© 2024年 応用物理学会

金属/SiC コンタクトの加熱その場 TEM 観察

In-situ Heating TEM Observation of Metal / SiC Contacts

(株)東レリサーチセンター[1]，(国研)産総研[2] ○林 将平[1]，先崎 純寿[2]
Toray Research Center Inc.[1], AIST[2] ○S. Hayashi[1], J. Senzaki[1]
E-mail: shohei.hayashi.t2@trc.toray

概要

半導体デバイスプロセスにおける物理反応現象を理解するため、プロセス中のその場観察、分析は有効な手段である。透過電子顕微鏡（TEM）によるその場観察は、半導体デバイス特性に影響する極微小領域の構造変化を明確に捉えることが可能である[1]。4H-SiC パワーデバイスのオーミック電極は、イオン注入により形成された高不純物濃度 SiC 領域上に金属成膜後、900℃以上の高温加熱処理によりコンタクト形成される。このアニール過程において、金属のシリサイド化や金属種によってはC（グラファイト）の析出が生じる[2]。本研究では、金属/SiC コンタクトアニール過程のその場 TEM 観察を実施した。

実験および結果

4°オフ 4H-SiC 基板 Si 面表面に P^+を $7e^{15}/cm^2$ 注入することで n^+領域を形成後、電子ビーム蒸着により約 60 nm 厚の Ni 膜を堆積した。集束イオンビーム（FIB）法により TEM 観察用薄片試料を作製し、室温~ 900℃で加熱中の試料を断面方向から観察した。

Fig. 1 に加熱中の TEM スナップショットを示す。850 - 870℃において界面に暗いコントラスト（黄矢印）が生じ、その後当該コントラスト領域が SiC 側に進行する様子が明瞭に観察された。900℃においては界面付近赤矢印位置に明るいコントラストの領域が認められた。Fig. 2 に 900℃加熱前後の TEM 像を Ni 層最表面を基準に並べて示す。Ni/SiC 界面位置は加熱後に僅かに基板側に移動しており、基板側から暗⇒明⇒暗の順にコントラストの異なる領域が認められた。当該界面領域の EDX マップを Fig. 3 に示す。界面付近の青線で示す位置においては Ni および Si、赤線で示す位置においてはC が顕著に検出された。この結果から、表面側から Ni / Ni シリサイド/ C / Ni シリサイド / SiC の構造であることが示唆される。

結論

Ni/SiC コンタクトアニール中の様子をその場 TEM 観察した。Ni シリサイドおよび C 析出過程を明瞭に観察することに成功した。

謝辞

本研究は、共同研究体「つくばパワーエレクトロニクスコンステレーション（TPEC）」の事業として実施された。

[1]垂水他，第 67 回応用物理学会春季学術講演会, 11-370 (2020).
[2]S.Y. Han, *et. al.*, Appl. Phys. Lett **79**, 1816 (2001).

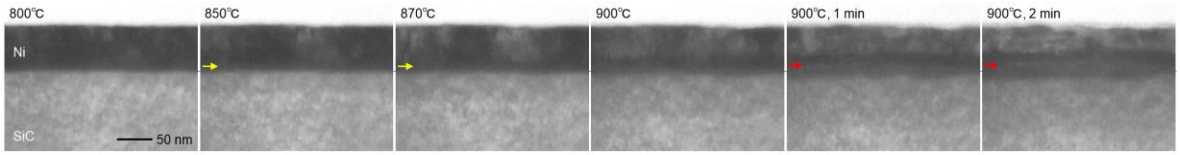


Fig. 1 BF-TEM snapshots during annealing.

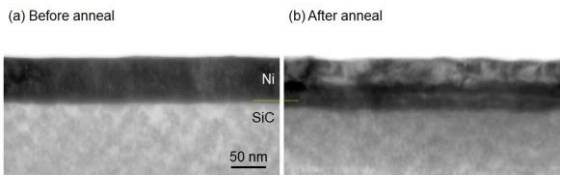


Fig. 2 BF-TEM images (a) before and (b) after annealing of the metal / SiC contact region.

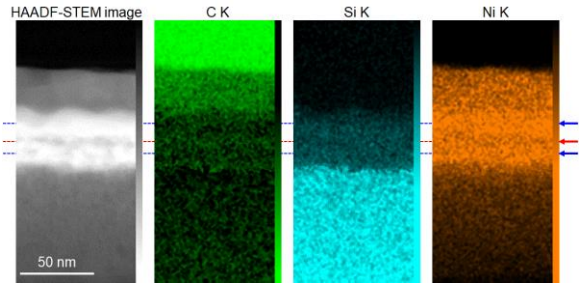


Fig. 3 HAADF-STEM image and EDX maps of the metal / SiC contact region after annealing.

600°C 熱処理による p 型 SiC 上の低抵抗 Pt オーム性電極の形成

Pt ohmic contacts on p-type SiC with low contact resistivity formed by 600°C-annealing process

京大院工，°桑原 功太朗，金子 光顕，木本 恒暢
Kyoto Univ., °K. Kuwahara, M. Kaneko, and T. Kimoto
E-mail: kuwahara@semicon.kuee.kyoto-u.ac.jp

現行の SiC デバイスプロセスでは，Ti/Al 電極を形成後に約 1000°C での熱処理を施すことで p 型 SiC 上オーム性電極を形成しているが，このような高温熱処理は電極溶融などの問題を引き起こすため，低温プロセスの確立が重要である．半導体物理の観点では，p 型 SiC に対して低い障壁を形成する，Pt のような大きな仕事関数を有する金属が電極として有望である．本研究では，比較的低温で熱処理を施した p 型 SiC 上の Pt 電極の電気的特性やコンタクト抵抗率(ρ_c)を評価し，600°C の熱処理を施した Pt 電極において 3.2×10^{-5} Ωcm^2 という低いρ_cが得られた．

p 型 4H-SiC(0001)基板上 p 型 SiC エピ層(2.4×10^{19}, 1.5×10^{17} cm^{-3})に Pt 電極を形成し，400, 600, または 800°C で 3 分の熱処理(Ar 雰囲気)を施してショットキー障壁ダイオード(SBD)を作製した．また，n 型 4H-SiC(0001)基板上 n 型 SiC エピ層(3×10^{15} cm^{-3})に 500°C で Al イオン注入を行なった試料を用いて円形 TLM 構造も作製した．Al 原子密度 $N_{Al} = 8.2\times10^{19}$, 1.8×10^{20}, 2.2×10^{20}, 3.0×10^{20} cm^{-3} のボックスプロファイル(深さ 200 nm)を形成し，Ar 雰囲気で 1750°C, 20 分の活性化アニールを行った後，1300°C, 120 分の犠牲酸化を施した．Pt 電極形成後の熱処理は SBD と同様である．

作製した Pt SBD($N_A = 2.4\times10^{19}$ cm^{-3})の電流–電圧(I–V)特性を図 1 に示す．600°C までは熱処理温度の増加に伴って電流密度が大きくなるが，800°C の熱処理では電流密度が減少に転じるという結果が得られた．図 2 に Pt SBD($N_A = 1.5\times10^{17}$ cm^{-3})の容量–電圧(C–V)特性から求めた障壁高さ(ϕ_{B0})の熱処理温度依存性を示す．電流密度の大小関係に対応した熱処理温度依存性が得られており，電流密度の変化はϕ_{B0}の変化で説明することができる．

円形 TLM 構造の I–V 測定によって決定したρ_cの N_A 依存性を図 3 に示す(シンボル)．600°C の熱処理を施した Pt 電極において 3.2×10^{-5} Ωcm^2 という低いρ_cが得られた．図 3 の点線は直接トンネル(DT)[1]に基づくρ_cの計算値を示している．ρ_cの計算においては，金属/高濃度ドープ p 型 SiC 界面において支配的な電気伝導機構である，スプリットオフバンドの正孔のトンネルを考慮している[2]．比較的 N_A が低い領域ではρ_cの実験値が計算値を下回っているのに対し，N_A が高い領域(~10^{20} cm^{-3})ではρ_cの計算値と実験値がよく一致している．これは N_A が比較的低い領域ではトラップアシストトンネル(TAT)による電流増加(ρ_cの低下)が見られるのに対し，N_A が非常に高い領域では TAT の寄与が DT と比べて相対的に小さくなり，DT が支配的な電気伝導機構になることに起因する[3,4]．

[1] R. Stratton, *J. Phys. Chem. Solids* **23**, 1177 (1962). [2] T. Kitawaki *et al.*, *Appl. Phys. Express* **16**, 031005 (2023).
[3] M. Hara *et al.*, *Mater. Sci. Semicond. Process*. **171**, 108023 (2024). [4] K. Kuwahara *et al.*, *Jpn. J. Appl. Phys.* **63**, 050903 (2024).

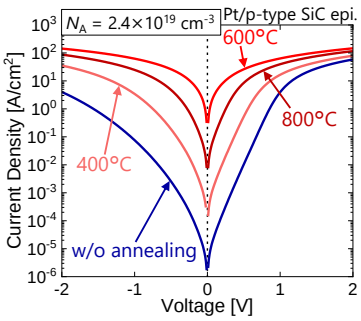


Fig. 1. I–V characteristics of the Pt/p-type SiC SBDs (N_A = 2.4×10^{19} cm^{-3}).

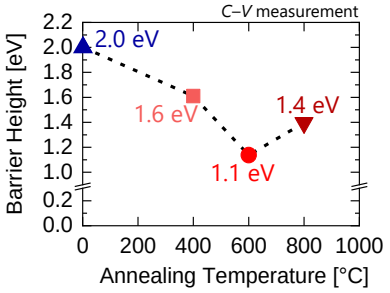


Fig. 2. Barrier height at the Pt/p-type SiC interface obtained by C–V measurements on Pt SBDs (N_A = 1.5×10^{17} cm^{-3}).

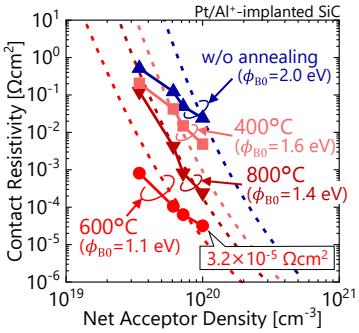


Fig. 3. Experimental (symbols) and calculated (dashed lines) contact resistivity as a function of N_A.

© 2024年 応用物理学会

SiC(0001)表面モフォロジーに対する酸化及び水素エッチングの影響

Influences of oxidation and hydrogen etching on surface morphology of SiC(0001)

阪大院工 °神畠 真治，小林 拓真，渡部 平司

Osaka Univ. , °Shinji Kamihata, Takuma Kobayashi, Heiji Watanabe

E-mail: kamihata@ade.prec.eng.osaka-u.ac.jp

【はじめに】 SiC MOSFET は高効率スイッチングデバイスとして有望であるが、SiO_2/SiC 界面の品質がデバイス性能を制限している[1]。先行研究により、SiC 表面の水素エッチングと酸化抑制プロセスを組み合わせることで、SiO_2/SiC 界面特性が改善することが報告されている[2,3]。これは MOS 界面（SiC 表面）の優れたモフォロジーに起因する可能性がある。これまでに、典型的な温度条件（1000°C）での酸化が SiC の表面形状に与える変化は調査されているものの[4]、様々な酸化・熱処理条件に対する形状変化を系統的に調べた報告はない。そこで本研究では、異なる条件下での酸化と水素エッチングが SiC 表面モフォロジーに与える影響を調査した。

【実験及び結果】 試料には、n 型エピ層付き 4°オフ SiC(0001)基板を用いた（ドナー濃度：1×10^{16} cm^{-3}）。試料をウェット洗浄後、1300°C 1–60 分の熱酸化で SiO_2 膜を形成し（酸化膜厚：4.6–74.1 nm）、フッ酸で酸化膜を除去した。この際、60 分酸化試料に対しては更に、酸化膜除去後に 1100–1400°C 10 分の希釈水素熱処理（FGA; 3%-H_2/Ar）を施した。また、比較として、酸化や熱処理を実施していない洗浄直後の試料も準備した。以上の試料の表面形状を原子間力顕微鏡（AFM）により評価した。図 1 に代表的な AFM 像を示す：(a) 洗浄直後試料、(b) 1300°C 3 分酸化試料、(c) 1300°C 60 分酸化試料、(d) 1300°C 60 分酸化 + 1400°C 10 分 FGA 試料。まず、酸化が表面モフォロジーに与える影響に着目する。洗浄直後の試料（図 1(a)）では、基板のオフ角に対応する周期的なステップ-テラス構造が観察され、表面の二乗平均ラフネス（RMS）は 0.20 nm であった。1300°C 3 分の酸化を施すと（図 1(b)）、ステップの形状が丸みを帯び、RMS 値が約半分に低減した（0.11 nm）。これに対し、60 分の長時間酸化後（図 1(c)）は、ステップ-テラス構造が消失して、文献[4]で報告されているような酸化起因のアイランド形成が確認された。これに対応し、RMS 値も僅かに増加（0.11 nm→ 0.14 nm）することが分かった。以上のことから、比較的短時間の酸化により、アイランド形成が抑制でき、ステップ-テラス構造起因の凹凸も低減できるといえる。続いて、酸化起因で生じるアイランドに対する水素エッチングの効果に着目する。1300°C 60 分酸化試料に対し、酸化膜除去後に 1400°C の FGA を追加で施すことで（図 1(d)）、アイランド構造の消失とステップ-テラス構造の回復が確認できた。これに伴い RMS 値も増加し（0.14 nm → 0.22 nm）、洗浄直後の試料（0.20 nm）と近い値となった。よって、比較的長時間の酸化を実施し、一度アイランドが形成した試料に対しても、高温水素エッチングを施せば SiC 表面のステップ-テラス構造が回復することが分かった。以上の結果は、酸化・水素エッチングの条件を適切に設計することで、ゲート絶縁膜堆積前の SiC 表面構造を制御できる可能性を示唆する。

本研究の一部は、文部科学省革新的パワーエレクトロニクス創出基盤技術研究開発事業 (JPJ009777) および JSPS 科研費 (24H00046) の助成を受けて行われた。

[1] T. Kimoto and H. Watanabe, *Appl. Phys. Express* **13**, 120101 (2020).
[2] T. Kobayashi *et al*., *Appl. Phys. Express* **13**, 091003 (2020).
[3] K. Tachiki *et al*., *Appl. Phys. Express* **13**, 121002 (2020).
[4] R. Nagai *et al*., *Jpn. J. Appl. Phys.* **55**, 08PC07 (2016).

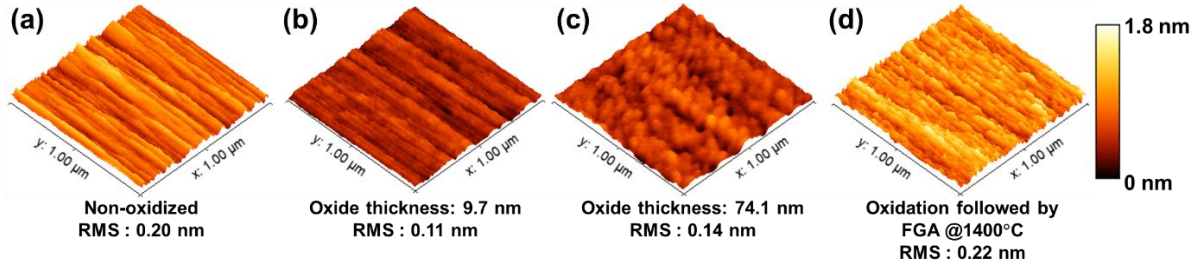


Fig. 1: Typical AFM images of SiC surfaces after HF cleaning: those (a) without oxidation, (b) after 3-min oxidation, (c) after 60-min oxidation, and (d) 60-min oxidation followed by FGA at 1400°C.

広温度範囲に亘る SiO_2/SiC 界面発光中心の形成過程の調査

Investigation of color centers at SiO_2/SiC interfaces formed by various oxidation temperatures

阪大工・院工 [1], 豊田中研 [2] ○(B3)兼子 悠 [1], 中沼 貴澄 [1], 遠山 晴子 [2], 田原 康佐 [2], 朽木 克博 [2], 渡部 平司 [1], 小林 拓真 [1]

Osaka Univ. [1], Toyota Central R&D Labs., Inc. [2] ○Yu Kaneko[1], Takato Nakanuma[1], Haruko Toyama[2], Kosuke Tahara[2], Katsuhiro Kutsuki[2], Heiji Watanabe[1], and Takuma Kobayashi[1]
E-mail: kaneko@ade.prec.eng.osaka-u.ac.jp

【はじめに】半導体中の発光中心は単一光子源（SPE）として機能し、量子コンピューティングや量子センシングへの応用で期待される。SiC は広いバンドギャップ（3.26 eV）を有し、微細加工・プロセス技術が進展しているため、SPE のホスト材料として有望である。SiC 中のシリコン空孔[1]等に加え、SiO_2/SiC 界面発光中心も高輝度な SPE として注目を集めている[2-6]。しかし、界面発光中心は、その密度や光学特性の制御が課題である。先行研究において我々は、酸化膜形成プロセスを変えて発光中心の密度を制御し、単一光子性の制御を実証している[5,6]。しかし、発光中心密度の酸化温度依存性については、例えば異種の基板（半絶縁性・n 型）に対して低温域（1150°C 以下）[3]と高温域（1200–1500°C）[5]を調査した結果が独立に存在しており、同一の評価系・基板・解析手法で広い温度範囲を調査した例はない。そこで本研究では、酸化温度を系統的に変化させて SiO_2/SiC 構造を形成し、発光中心の形成過程を詳細に調査した。

【実験及び結果】本研究では、*n* 型 4H-SiC(0001)エピ層（N_D: 1.0×10^{16} cm^{-3}）に対して、400–1500°C の温度範囲で熱酸化を施し、SiO_2/SiC 構造を形成した。作製した試料に対し、対物レンズ（NA=0.9）越しに波長 532 nm のレーザーを照射し、600 nm 以上の蛍光（PL）のマッピング像を取得した。

図 1 に典型的な PL マッピング像を示す： (a) 600°C、(b) 800°C、(c) 1200°C 酸化試料。まず、いずれの試料においても、バックグランドの中に輝点（発光中心）の発生が確認できる。試料間の差に着目すると、600°C→800°C で発光中心密度が増加し、800°C→1200°C では減少することが分かる。酸化温度に対する発光中心の密度変化を可視化するために、図 2 にマッピング像中の積算 PL 強度を酸化温度に対してプロットした結果を示す。ここで、400°C 酸化試料について発光中心が確認できなかったため、データ点から除外している。600°C 以上で発光中心が生成したことから、600°C 以上で SiC 表面の酸化が進行することが示唆される。その後、PL 強度は 600°C から 800°C にかけて増加し、800°C 以上では単調減少する傾向が見られた。600°C では SiC 表面が極僅かにしか酸化せず、発光中心の生成が酸化時間に対して飽和していない可能性が高い。一方、800°C–1500°C における温度上昇に伴う発光中心密度の減少は、界面近傍の炭素関連欠陥が酸化温度上昇に伴い低減する理論予測と対応する[7]。講演当日はマッピング像の解析方法を変えた結果も示しながら、輝点だけでなくバックグランドの発光にも着目した議論を行う。

本研究は、JST さきがけ JPMJPR22B5 および JSPS 科研費 24H00046 の支援を受けたものである。

[1] M. Widmann *et al*., Nat. Mater. **14**, 164 (2015).
[2] A. Lohrmann *et al*., Nat. Commun. **6**, 7783 (2015).
[3] A. Lohrmann *et al*., Appl. Phys. Lett. **108**, 021107 (2016).
[4] M. Kaneko *et al*., APL Mater. **11**, 091121 (2023).
[5] T. Nakanuma *et al*., Appl. Phys. Lett. **123**, 102102 (2023).
[6] K. Onishi *et al*., Appl. Phys. Express **17**, 051004 (2024).
[7] T. Kobayashi *et al*., J. Appl. Phys. **126**, 145302 (2019).

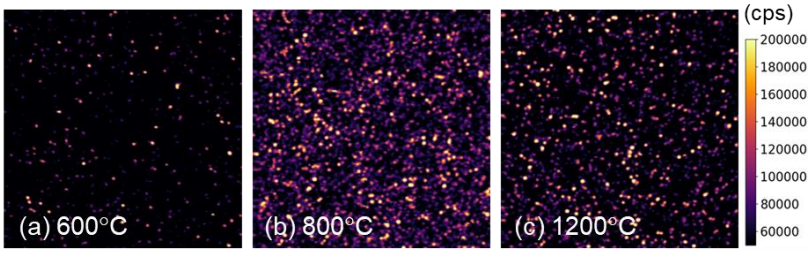


Fig. 1 Typical PL mapping images obtained from SiC samples oxidized at (a) 600°C, (b) 800°C, (c) 1200°C (scan area: 30×30 μm^2).

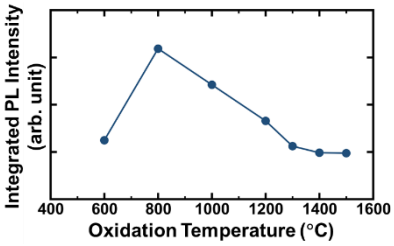


Fig. 2 Integrated PL intensity of SiC samples oxidized at 600–1500°C.

SiO_2/SiC 界面発光中心の発光強度の酸化温度・酸素分圧依存性

Impacts of Oxidation Temperature and Oxygen Partial Pressure on Luminescence Intensity of Color Centers at SiO_2/SiC Interfaces

阪大院工 [1], 豊田中研 [2] ○大西 健太郎 [1], 中沼 貴澄 [1], 遠山 晴子 [2], 田原 康佐 [2], 朽木 克博 [2], 渡部 平司 [1], 小林 拓真 [1]

Osaka Univ.[1], Toyota Central R&D Labs., Inc.[2], ○Kentaro Onishi[1], Takato Nakanuma[1], Haruko Toyama[2], Kosuke Tahara[2], Katsuhiro Kutsuki[2], Heiji Watanabe[1], and Takuma Kobayashi[1]

Email: onishi@ade.prec.eng.osaka-u.ac.jp

【はじめに】 量子通信や量子センシングなどの応用において、任意のタイミングで光子を取り出すことのできる単一光子源（SPE）が重要である。SiO_2/SiC 界面の発光中心は SPE として機能することが知られている[1]。界面発光中心は SiC の熱酸化によって形成可能であるが、典型的な酸化条件では高密度に存在するため、必ずしも個々の発光を分離して検出できない[2-4]。この問題に対して我々は、高温低酸素分圧酸化[5]で初めに発光中心の少ない高品質界面を形成し、その後の低温追酸化で界面を原子レベルで再構成することで、孤立した SPE を形成する戦略を提示している[6]。本手法は、その第一段階として発光中心の一切存在しない高品質界面を形成することが要である。そこで本研究では、更なる高品質界面の形成条件確立に向け、酸化条件を系統的に変えて SiO_2/SiC 構造を形成し、界面発光中心の密度及び発光強度の制御を試みた。

【実験方法と結果】 実験には、n 型 4H-SiC エピ層（N_D: 1.0×10^{16} cm^{-3}）を用いた。試料をウェット洗浄後、温度（1400 – 1600°C）及び酸素分圧（O_2/Ar: 0.05 – 100%）を変えた熱酸化により SiO_2 膜を形成した。その後、励起レーザー（波長 532 nm）、対物レンズ（NA = 0.9）、および単一光子検出器を含む共焦点光学評価系[4]を用いて、波長 600 nm 以上のフォトルミネッセンス（PL）のマッピング測定を実施した。本予稿では、特に酸化温度 1400°C の試料の評価結果に着目する。Fig. 1 に酸素分圧(a)100%, (b)1%, (c)0.05%の条件で形成した SiO_2/SiC 界面の PL マッピング像を示す。まず、酸素分圧 100%の場合は、高発光強度（> 50 kcps）の発光中心形成が確認できるものの、比較的弱い発光スポットが全面を覆っている。冒頭で述べたように、このような条件では発光中心同士の発光が重なり、必ずしも SPE として機能しない（強度相関関数 $g^2(0)$の値が 0.5 を下回らない）[4]。酸素分圧の低下（100%→0.05%）とともに、発光中心の強度及び密度の低下が確認される。特に酸素分圧 0.05%の試料では、15 kcps 以上の発光領域が存在しないことから、酸素分圧の低減は発光中心を抑制した高品質界面の形成に有効といえる。続いて、Fig. 2 に各試料の発光中心強度をヒストグラムとして示す。ここでは高品質界面の形成を判断するため、弱い発光（< 30 kcps）に焦点を充てている。まず、酸素分圧 100%の試料は、最頻値約 15 kcps のブロードな強度プロファイルを示すことから、発光強度が比較的強いだけでなく、多彩な強度のスポットを含むことが分かる。酸素分圧低下とともに発光強度の低下が確認でき、強度プロファイルも急峻になることが見て取れる。このことから、低酸素分圧での酸化は、弱い発光中心を抑制するだけでなく、その発光強度の分散抑制にも有効である。以上のように酸素分圧の低減はバックグラウンド光を抑制した高品質 SiO_2/SiC 界面の形成を可能にし、その後、空間的によく孤立した高強度界面 SPE を形成するための基盤形成に有用であるといえる。

【謝辞】 本研究は JST さきがけ JPMJPR22B5 および JSPS 科研費 24H00046 の助成を受けたものである。**【参考文献】** [1] A. Lohrmann *et al*., Nat. Commun. **6**, 7783 (2015). [2] B. C. Johnson *et al*., Phys. Rev. Appl. **12**, 044024 (2019). [3] M. Kaneko *et al*., APL Mater. **11**, 091121 (2023). [4] T. Nakanuma *et al*., Appl. Phys. Lett. **123**, 102102 (2023). [5] T. Hosoi *et al*., Appl. Phys. Express **11**, 091301 (2018). [6] K. Onishi *et al*., Appl. Phys. Express **17**, 051008 (2024).

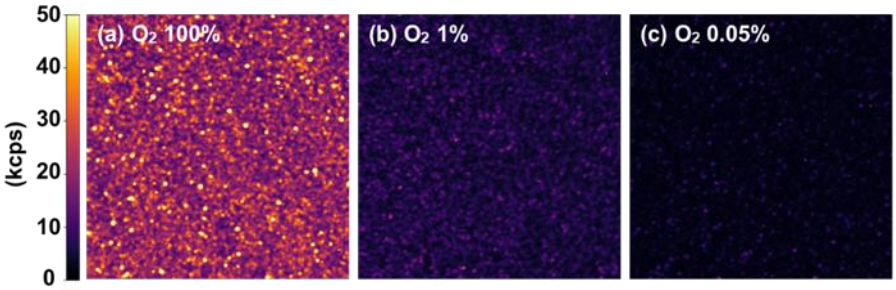


Fig. 1: Confocal photoluminescence mapping images of SiO_2/SiC structures formed by thermal oxidation at 1400°C under different oxygen partial pressure: (a) O_2 100%, (b) O_2 1%, (c) O_2 0.05%. (mapping area: 30×30 μm^2).

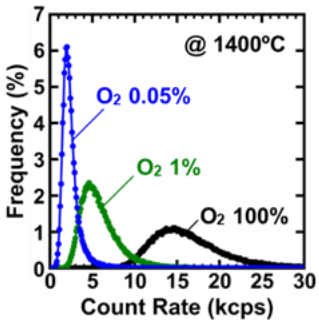


Fig. 2: Histograms of luminescence intensity in the mapping images.

SiO_2/SiC 界面発光中心の密度に対する熱処理雰囲気及び時間の影響

Impacts of annealing ambient and time on the color center density at SiO_2/SiC interfaces

阪大院工 [1], 豊田中研 [2] ○中沼 貴澄 [1], 田原 康佐 [2],
遠山 晴子 [2], 朽木 克博 [2], 渡部 平司 [1], 小林 拓真 [1]

Osaka Univ. [1], Toyota Central R&D Labs., Inc. [2] ○Takato Nakanuma[1], Kosuke Tahara[2],
Haruko Toyama[2], Katsuhiro Kutsuki[2], Heiji Watanabe[1], and Takuma Kobayashi[1]
E-mail: nakanuma@ade.prec.eng.osaka-u.ac.jp

【はじめに】量子情報通信やセンシングへの応用で、半導体中の単一光子源（SPE）の活用が期待される。SiC は広いバンドギャップ（3.26 eV）を有し、微細加工技術も成熟しているため、SPE のホスト材料として有望である。実際にバルク SiC 中の V_{Si} や $V_{Si}V_C$ [1, 2]に加え、SiO_2/SiC 界面（MOS 界面）の発光中心も SPE として機能することが知られている[3-5]。しかし、界面発光中心の密度や光学特性の制御は容易ではない。我々は熱酸化後に CO_2 熱処理を施すことで界面発光中心の密度を制御し、孤立した界面 SPE を形成する技術を確立している[4]。しかし、熱処理の雰囲気や時間が発光中心密度に及ぼす影響は依然明らかでない。本研究では、熱酸化後に CO_2 および Ar 雰囲気で熱処理を実施し、発光中心密度の経時変化を評価したのでこれを報告する。

【実験及び結果】*n* 型 4H-SiC(0001)エピ層（N_D: 1.0×10^{16} cm^{-3}）に対して、ウェット洗浄後に 1300°C の熱酸化を施すことで、約 20 nm の酸化膜を形成した。その後、1200°C 1 – 30 min の CO_2 もしくは Ar 熱処理を実施した。比較のため、酸化直後の（熱処理を施していない）試料も用意した。これらの SiO_2/SiC 構造に対して、対物レンズ（NA=0.9）を介して波長 532 nm の励起レーザーを照射し、600 nm 以上の蛍光（PL）を検出することで、マッピング測定を実施した。

図 1 に取得した典型的な PL マッピング像を示す：(a) 1300°C 酸化、(b) + Ar 1200°C 5min、(c) + CO_2 1200°C 5min 試料。まず、1300°C 酸化直後の試料では、多数の輝点（発光中心）に加え、比較的強いバックグラウンド光が観測できる。このため、発光が干渉することで、個々の発光中心が必ずしも SPE として機能しない[4]。一方、酸化後に Ar や CO_2 熱処理を行うことで、発光の抑制が確認できる。特に CO_2 熱処理では、Ar の場合に比べバックグランド光が抑制され、孤立した発光中心を形成できることが分かる。このことから、CO_2 熱処理による発光低減は純粋な熱による効果ではなく、CO_2 特有の欠陥パッシベーション効果に由来するといえる[6]。続いて発光中心密度をより定量的に議論する。図 2 に二値化画像処理で 50 kcps 以上の発光中心密度を評価し、熱処理時間に対してプロットした結果を示す。結果として、CO_2 熱処理後の発光中心密度は、Ar の場合と比較して約 1 桁低い値を示した。特に CO_2 熱処理を 30 分施した場合、発光中心密度は 2.2×10^5 cm^{-2}（検出下限：1.1×10^5 cm^{-2}）にまで低減し、CO_2 熱処理の時間制御により 10^5–10^7 cm^{-2} の広範囲で発光中心密度が制御可能であると分かった。講演当日は、同様の条件で作製した MOS キャパシタの電気特性評価結果も示し、発光中心密度と電気特性の相関についても議論を行いたい。

本研究は、JST さきがけ JPMJPR22B5 および JSPS 科研費 24H00046 の支援を受けたものである。

[1] M. Widmann *et al*., Nat. Mater. **14**, 164 (2015).
[2] W. F. Koehl *et al*., Nat. Lett. **479**, 84 (2011).
[3] A. Lohrmann *et al*., Nat. Commun. **6**, 7783 (2015).
[4] T. Nakanuma *et al*., Appl. Phys. Lett. **123**, 102102 (2023).
[5] M. Kaneko *et al*., APL Mater. **11**, 091121 (2023).
[6] T. Hosoi *et al*., Appl. Phys. Express **14**, 101001 (2021).

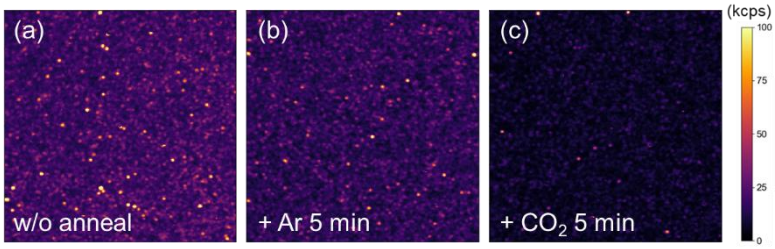


Fig. 1 Typical PL mapping images obtained from SiO_2/SiC samples (scan area: 30×30 μm^2); (a) w/o anneal, (b, c) + Ar or CO_2 5 min.

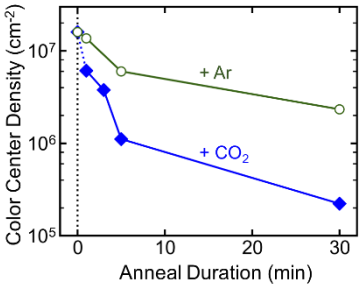


Fig. 2 Color center density as a function of annealing duration.

第一原理計算を用いた 4H-SiC 中不純物−空孔ペアに関する包括的調査

Comprehensive survey of impurity-vacancy pairs in 4H-SiC via ab initio calculations

阪大院工 ○岩本 蒼典，渡部 平司，小林 拓真

Osaka Univ, ○Sosuke Iwamoto, Heiji Watanabe, and Takuma Kobayashi

Email: iwamoto@ade.prec.eng.osaka-u.ac.jp

【はじめに】量子暗号通信や量子コンピューティング等の技術の実用化に向けて、固体中の点欠陥をスピン量子光源として利用することが検討されている。量子光源研究の主流は NV 中心[1]や SiV 中心[2]といったダイヤモンド中の点欠陥であるが、結晶成長・伝導型制御・各種プロセス技術が成熟している SiC が量子光源の母材として近年注目されている。しかし、SiC 中の点欠陥については未だに調査が不十分であり、包括的な探索が必要とされる。そこで我々は、高精度第一原理計算に基づき、SiC 中の様々な点欠陥の有用性を調査している。本研究では特に、第 1-2 周期の不純物と隣接する空孔からなる欠陥に着目し、理論計算に基づく調査を実施した。

【計算方法と結果】計算には VASP コード[3]を用いた。交換-相関汎関数には SiC のバンドギャップを高精度に再現できる HSE06 汎関数[4]を用い、帯電した欠陥の形成エネルギーには点電荷補正を適用した。計算モデルには、576 原子 4H-SiC スーパーセルに対して各種不純物-空孔ペアを導入した系を用いた。本研究では特に、BV、NV、OV、AlV、PV、SV 中心について不純物原子が Si サイト（空孔は C サイト）あるいは C サイト（空孔は Si サイト）に位置する欠陥構造を考慮し、構造緩和計算を実施した。Fig. 1 に各不純物-空孔ペアの中で安定であった構造の欠陥準位（熱力学的遷移準位）と各荷電状態における欠陥の総スピンを示す。Fig. 1 に示す欠陥の内、N_CV_{Si} については既に室温でコヒーレントなスピン制御が実証されている[4]。N_CV_{Si} はダイヤモンド中の NV 中心と同様に $q = -1$ に帯電すると $S = 1$ のスピンを有するが、SiC の場合は発光が近赤外領域であるという特徴がある。また、O_CV_{Si} は近年我々が理論的手法により優れたスピン量子光源であると予言している点欠陥である[5]。O_CV_{Si} は電荷中性の時に $S = 1$ のスピンを持ち、フォノンを介さない発光であるゼロフォノン線の割合（Debye-Waller 因子）が高い（13.4%）ことで期待される[5]。以上の欠陥に加え、今回の計算によって $Al_{Si}V_C$、S_CV_{Si} が荷電状態によっては $S=1$ あるいは $S = 3/2$ のスピンを持つことが分かった。講演当日は、各欠陥の形成エネルギーや結合エネルギーを比較することで欠陥の実現可能性・形成戦略を議論すると共に、光学特性（ゼロフォノン線等）の計算結果も示し、スピン量子光源としての有用性についても議論を行う。

【謝辞】本研究は、JST さきがけ JPMJPR22B5 および JSPS 科研費 24H00046 の支援を受けたものであり、大阪大学サイバーメディアセンターの SQUID を利用して得られた。欠陥構造の可視化には VESTA を利用した[6]。

【参考文献】[1] A. Gruber *et al.*, Science **276**, 2012 (1997). [2] L. J. Rogers *et al.*, Nat. Commun. **5**, 4739 (2014). [3] G. Kresse and J. Furthmüller, Phys. Rev. B **54**, 11169 (1996). [4] J. F. Wang *et al.*, Phys. Rev. Lett. **124**, 223601 (2020). [5] T. Kobayashi *et al.*, J. Appl. Phys. **134**, 145701 (2023). [6] K. Momma and F. Izumi, J. Appl. Crystallogr. **44**, 1272 (2011).

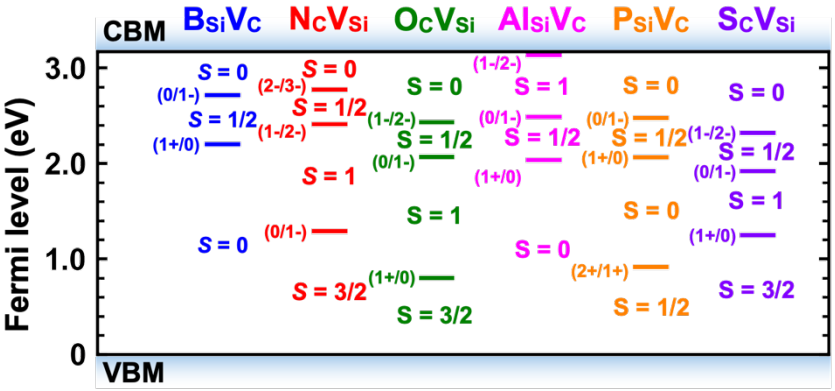


Fig. 1 Charge transition levels and spin states of impurity-vacancy complexes in 4H-SiC.

電子線照射がSiCおよびSi MOSFETのチャネル特性に及ぼす影響

Impact of Electron Irradiation on Channel Properties of SiC and Si MOSFETs

筑波大学[1], 富士電機[2] ○(M2)松木 康太郎[1], 市川 義人[2], 小野澤 勇一[2], 岩室 憲幸[1], 矢野 裕司[1]

Univ. of Tsukuba[1], Fuji Electric[2] ○K. Matsuki[1], Y. Ichikawa[2], Y. Onozawa[2], N. Iwamuro[1], H. Yano[1]

E-mail: s2320303@u.tsukuba.ac.jp

SiC パワーMOSFET に内蔵される PiN ダイオードをインバータ回路の FWD として活用することで、回路の小型化・低コスト化を実現できる。しかし、FWD として採用される外付けの SBD に比べ、内蔵 PiN ダイオードは逆回復現象に由来する損失と遅いスイッチング速度が課題である。逆回復特性の改善法として、電子線照射によるドリフト層のキャリアライフタイム制御が挙げられる。これまで我々は、電子線を照射した市販 SiC MOSFET の特性評価を行い、400 kGy 照射でサブスレッショルドスイング(*SS*)は変化しないものの、相互コンダクタンス(g_m)が劣化することを明らかにした[1]。本研究では、ドリフト抵抗(R_{drift})の増大を考慮した g_m を評価し、電子線照射がパワーMOSFET のチャネル特性に与える影響を解析した。

市販の 1.2 kV SiC MOSFET と 600 V Si MOSFET に、4.6 MeV の電子線を室温で照射した。照射は 20 kGy ステップで 400 kGy（実測線量：430 kGy）まで行った。照射後に熱処理は行っていない。照射によるサブスレッショルド特性の変化は SiC MOSFET と Si MOSFET で異なることが分かった。Fig. 1 に照射線量に対するしきい値電圧(V_{th})と *SS* の変化を示す。V_{th} は両デバイスとも負に変動した。また、Si MOSFET の *SS* が照射によって増加する一方で、SiC MOSFET の *SS* は変化しなかった。Fig. 2 に照射による g_m の変化を示す。*SS* は Si MOSFET のみ増加したのに対し、g_m は両デバイスとも照射によって減少した。以下では、g_m 減少の原因について解析する。Eq. (1)に示すように、パワー MOSFET の g_m はドリフト層の電圧降下を考慮する必要があるため、チャネル移動度だけでなく、オン抵抗(R_{on})や R_{drift} に依存する[2]。そこで、照射による R_{drift} の変化の影響を除くため、Eq. (2)に示すような補正相互コンダクタンス(g_m')を導入した。

$$g_m=\left.\frac{\partial I_d}{\partial V_{gs}}\right|_{V_{ds}}=\frac{W}{L}\mu_{FE}C_{ox}V_{ds}\left(\frac{R_{on}-R_{drift}}{R_{on}}\right)^2 \quad (1)$$

$$g'_m=g_m\left(\frac{R_{on}}{R_{on}-R_{drift}}\right)^2,\quad \mu_{FE}=\frac{L}{WC_{ox}V_{ds}}g'_m \quad (2)$$

各デバイスの R_{drift} は、I_d-V_{gs} 特性から得られる $R_{on}-(V_{gs}-V_{th})^{-1}$ プロットを外挿した切片から導出できる[2]。Fig. 3 に SiC および Si MOSFET の照射による R_{drift} の変化を示す。照射によってドリフト層に生じた欠陥準位がドナーを補償し、R_{drift} が増大したと考えられる[3]。Fig. 4 に g_m と g_m'のピーク比の変化を示す。Si MOSFET の g_m と g_m'はともに照射によって減少した。一方、SiC MOSFET では g_m のみが減少し、g_m'はほとんど変化しなかった。これは、SiC MOSFET の g_m 減少の原因がチャネル移動度の減少ではなく、R_{drift} の増大であることを示唆している。*SS* と g_m'の変化から、Si MOSFET では照射によって界面準位が増加したと考えられる。一方、SiC MOSFET では、400 kGy までの電子線照射はチャネル特性にほとんど影響を与えないと言える。

[1]松木康太郎他, 先進パワー半導体分科会 第 10 回講演会, IA-22 (2023). [2]S. L. Rumyantsev, et al., Semicond. Sci. Technol., **24**, 075011 (2009). [3] J. Vobecky, et. al., IEEE Trans. Electron Devices, **62**, 1964 (2015).

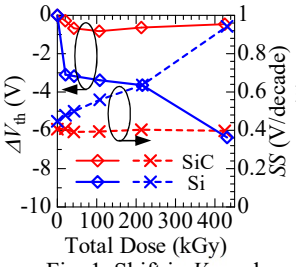


Fig. 1. Shift in V_{th} and degradation in SS of irradiated SiC and Si MOSFETs.

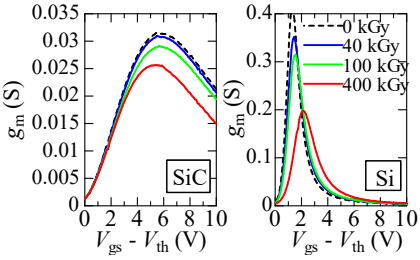


Fig. 2. Change of g_m in irradiated SiC and Si MOSFETs.

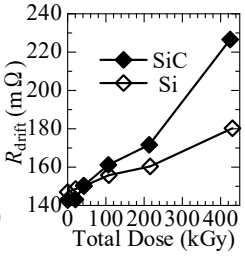


Fig. 3. Increase in R_{drift} for SiC and Si MOSFETs with different doses.

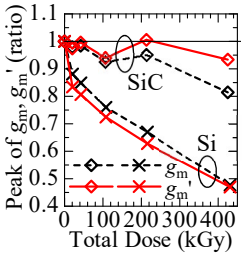


Fig. 4. Change in g_m and g_m' for SiC and Si MOSFETs with different doses.

© 2024年 応用物理学会

4H-SiC MOS 反転層における電子状態の界面構造依存性

Interface Structure Dependence of Electronic States in 4H-SiC MOS Inversion Layers

阪大院工　○(DC) 永溝 幸周，田中　一，森　伸也
Osaka Univ., ○(DC)Sachika Nagamizo, Hajime Tanaka and Nobuya Mori
E-mail: nagamizo@si.eei.eng.osaka-u.ac.jp

背　景　4H-SiC MOS 反転層の電子移動度の改善に向けて，反転層中の電子状態の理解を深めることが重要である．4H-SiC(0001)/酸化膜界面近傍で，4H-SiC は，図 1 上部に示す cubic 界面構造と hexagonal 界面構造 [1, 2] とを取りうる．本研究では，これらの界面構造の違いが反転層中の電子状態へ与える影響を調べた．

計算手法　4H-SiC の界面構造を考慮できる経験的擬ポテンシャル法を用いて，それぞれの界面構造での電子状態を計算した [3]．界面に垂直な方向を z 軸に選び，界面位置を $z = 0$ とした（図 1 参照）．波動関数の境界条件として，$\Psi(z = 0) = 0$ を課した．MOS 反転層を模擬するため，一様な垂直電界 F が作る三角ポテンシャル eFz を与えて電子状態を計算した．

結果・考察　図 1 に $F = 0.5$ MV/cm での基底サブバンド底の電子状態を示す．2 種類の界面構造の結果を比較すると，サブバンドエネルギー E_1 および界面からの距離の期待値 $\langle z \rangle$ が異なることがわかる．また，hexagonal 界面構造では，界面から約 0.3 nm の領域で存在確率密度が小さいこともわかる．図 2 に，E_1 と $\langle z \rangle$ の F 依存性を示す．hexagonal 界面構造の方が大きな E_1 と $\langle z \rangle$ を示す．また，$F < 1$ MV/cm の領域で，$\langle z \rangle$ の差はおよそ $d = 0.33$ nm で一定であり，E_1 の差はおよそ eFd であることがわかった．これを確認するために，hexagonal 界面構造の結果に，E_1 を eFd 減少させ，$\langle z \rangle$ を d 減少させるオフセットをかけた（黒点線）．黒点線が cubic 界面構造の結果（赤実線）によく一致することが確認できる．以上の結果は，hexagonal 界面構造の場合に電子が感じる実効的な界面位置が $z = 0$ ではなく $z = d$（図 1(b) の赤実線）にあると考えることで説明できる．実効的な界面位置が $z = d$ になることで $0 \le z \le d$ の領域での存在確率密度が小さくなる．また，三角ポテンシャルの底が z 軸方向に d，エネルギー方向に eFd だけずれることから，$\langle z \rangle$ と E_1 がそれぞれ d と eFd だけ異なることが説明される．

結　論　hexagonal 界面構造の場合に界面位置が実効的に d ずれると考えることで，基底サブバンド底の電子状態の界面構造への依存性を記述できることがわかった．

【謝辞】本研究は，JST 次世代研究者挑戦的研究プログラム JPMJSP2138，文部科学省革新的パワーエレクトロニクス創出基盤技術研究開発事業 JPJ009777，JSPS 科研費 JP21H05003 の助成を受けたものです．

[1] Y.-I. Matsushita *et al.*, Nano Lett. **17**, 6458 (2017).
[2] C. J. Kirkham *et al.*, JPSJ **85**, 024701 (2016).
[3] S. Nagamizo *et al.*, JJAP **63**, 02SP62 (2024).

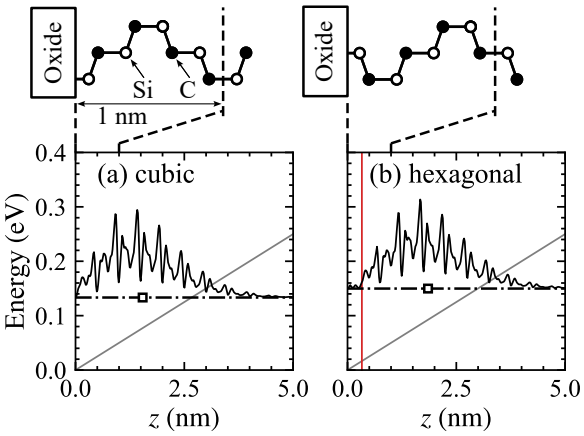


Fig 1: Electronic state of the ground subband bottom for $F = 0.5$ MV/cm for each interface structure. The black solid lines represent the probability density distribution in the z direction. The square markers represent E_1 and $\langle z \rangle$. The gray slanted lines represent the confinement potential of eFz. The red vertical line represents $z = d$.

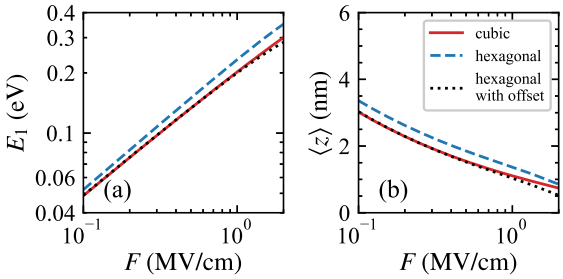


Fig 2: F dependences of (a) E_1 and (b) $\langle z \rangle$ of the ground subband bottom.

SiC MOSFET における量子閉じ込め効果と界面準位のエネルギー分布に関する考察

A quantitative analysis of the quantum confinement effect and the energy distribution of interface states in SiC MOSFETs

京大院工 [1] ○遅 熙倫 [1], 伊藤 滉二 [1], 金子 光顕 [1], 木本 恒暢 [1]

Kyoto Univ. ○Xilun Chi, Koji Ito, Mitsuaki Kaneko, Tsunenobu Kimoto
E-mail: chixilun@semicon.kuee.kyoto-u.ac.jp

背景・目的：SiC MOSFET では、界面準位による電子捕獲と捕獲された電子によるキャリア散乱が同時に生じ、特性モデリングが困難である。捕獲電子（散乱源）と自由電子の距離が移動度に大きく影響するため[1]、界面準位の存在場所を特定することが SiC MOSFET の特性モデリング上、非常に重要である。近年、界面準位が主に SiC 側に形成されていると主張する研究が多数報告された[2-5]が、決定的な証拠は得られていない。本研究では、界面準位密度（D_{it}）分布のボディバイアス依存性を調べた。反転層内の量子閉じ込め効果をボディバイアス（V_B）により制御し、D_{it} 分布が反転層内の量子化準位に追随することがわかり、ほとんどの界面準位が SiC 側に存在することを示唆する結果を得たので報告する。

デバイス作製・実験方法：MOSFETのゲート酸化膜は、p型4H-SiC(0001)面試料（N_A = 3×10^{16} cm^{-3}）に熱酸化+NOアニールを施して作製した（酸化膜厚：約42 nm）。作製した試料に対して、Split *C–V*測定を行うことで全電子密度 (n_{total}) を定量した。また、Hall効果測定を行うことで自由電子密度（n_{free}）を定量した。その後、捕獲電子密度 (n_{trap}) を$n_{trap} = n_{total} - n_{free}$として計算した。さらに、ボディバイアス$V_B$を印加した状態で上記の測定を行った。

結果・考察：図 1 に、N_A = 3×10^{16} cm^{-3} の MOSFET に様々な V_B を印加した場合の n_{trap}–n_{free} 特性を示す。異なる V_B を印加した場合の n_{trap}–n_{free} 特性がほぼ完全に一致している。この結果を、図 2 を用いて定性的に説明する。図 2(a)に V_B = 0 V、図 2(b)に負の V_B を印加した場合の MOS 界面近傍のバンド図と D_{it} 分布の模式図を示す。図 2(b)の D_{it} 分布は、「D_{it} 分布が三次元状態密度下端（E_C(3D-DOS)）に対してエネルギー的に固定される」場合（左側）と「D_{it} 分布が二次元状態密度下端（E_C(2D-DOS)）に追随する」場合（右側）の 2 つの仮定を示している。負の V_B 印加時、実効電界が強くなるため量子閉じ込め効果がより顕著になり、E_C(2D-DOS)が高エネルギー側にシフトする（図 2(b)のバンド図）。それに追随して一定の n_{free} に対応するフェルミ準位（E_F）も高エネルギー側にシフトするため、もし D_{it} 分布が E_C(3D-DOS)に対してエネルギー的に固定される場合、負の V_B の増加に従って n_{trap} が増えることになる（図 2(b)の左側の D_{it} 分布）。しかし、一定の n_{free} における n_{trap} が V_B に依存しない（図 1 の実験結果）ことから、D_{it} 分布が E_C(2D-DOS)に追随して高エネルギー側にシフトしたと言える（図 2(b)の右側の D_{it} 分布）。つまり、界面準位のエネルギーレベルが反転層内のポテンシャル変動に追随すると言える。MOSFET のオン状態では、反転層は MOS 界面から数 nm 程度の範囲で形成されるため、上記の実験結果はほとんどの界面準位が MOS 界面極近傍 SiC 側に存在することを強く示唆する。これは、SiC MOSFET の特性モデリングにおいての非常に重要な知見である。

[1] O. Weber and S. Takagi, *IEEE Trans. Electron Devices* **55**, 2386 (2008).
[2] Y. Matsushita *et al.*, *Nano Letters* **17**, 6458 (2017).
[3] H. Yoshioka *et al.*, *AIP Advances* 8, 045217 (2018).
[4] T. Kobayashi and Y. Matsushita, *J. Appl. Phys.* **126**, 145302 (2019).
[5] K. Ito *et al.*, *J. Appl. Phys.* **128**, 095702 (2020).

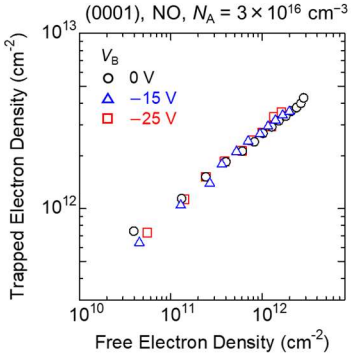


Fig. 1: Trapped carrier density plotted against free carrier density (n_{trap}–n_{free} characteristics) of MOSFETs (N_A = 3×10^{16} cm^{-3}) with various body bias (V_B) applied.

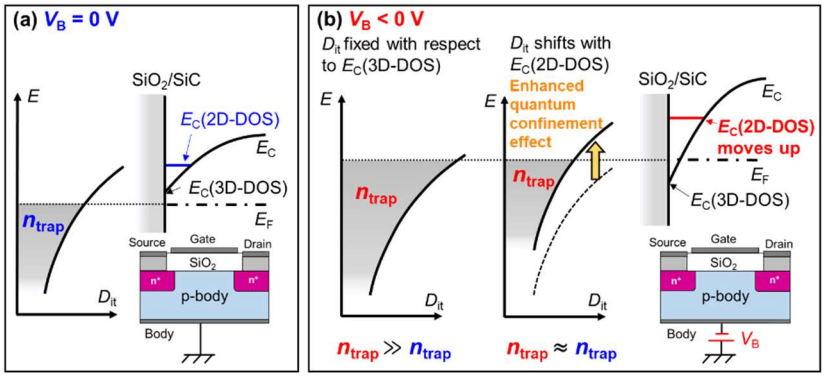


Fig. 2: Comparison of trapped carrier densities (n_{trap}) at a given free carrier density: (a) without V_B and (b) with a negative V_B applied.

© 2024年 応用物理学会

SiC p チャネル MOSFET のしきい値電圧と移動度に与える カウンタードープの効果

Threshold Voltage and Mobility in Counter-doped SiC P-channel MOSFETs

京大院工 °伊東 遼馬，井上 瑛，三上 杏太，金子 光顕，木本 恒暢

Kyoto Univ. °Ryoma Ito, Akira Inoue, Kyota Mikami, Mitsuaki Kaneko, Tsunenobu Kimoto

E-mail: rito@semicon.kuee.kyoto-u.ac.jp

背景・目的：高温動作 SiC CMOS の実用化に向けて、SiC p チャネル MOSFET のしきい値電圧低減が必要不可欠である。カウンタードープはしきい値電圧低減に有望であるが、SiC p チャネル MOSFET においてカウンタードープに関する報告は限定的である[1]。本研究では、Al^+注入によるカウンタードープが SiC p チャネル MOSFET のしきい値電圧(V_{TH})および電界効果移動度(μ_{FE})に与える影響を調べた。

デバイス作製：n型4H-SiC(0001)エピ層上にpチャネルMOSFETを作製した。エピ層の濃度(ボディ層濃度: N_{Body})は1.0×10^{16}, 1.2×10^{17} cm^{-3}である。Alイオン注入を施すことで、面密度(D_{Al})が8.0×10^{11}–3.3×10^{12} cm^{-2}のカウンタードープ領域を形成した。また、比較のため、カウンタードープ領域を有しない素子も作製した。ゲート酸化膜はPECVDによるSiO_2の堆積とNOアニール(1250°C, 70分)により形成した。酸化膜厚は50 nm、チャネル長は100 μm、チャネル幅は50 μmである。

結果・考察：図 1 に作製した p チャネル MOSFET におけるドレイン電流(I_D)のゲート電圧(V_G)依存性を示す。いずれの素子においても、オフ時のドレイン電流は 1×10^{-12} A 以下と十分に小さい。図 2 に V_{TH} の D_{Al} 依存性を示す。実験 V_{TH} は Split C–V 測定を用いて求めた。$N_{Body}=1.0\times10^{16}$ cm^{-3} の素子において、D_{Al} が 0 から 3.3×10^{12} cm^{-2} へと増加するにつれて、実験 V_{TH} は−6.6 V から−3.8 V まで低減した。しかし、N_{Body} によらず、D_{Al} の増加に伴って理論 V_{TH} と実験 V_{TH} の差が大きくなっている。この結果は、D_{Al} の増加に伴い正の固定電荷もしくは正孔トラップが増加することを示唆する。図 3 に $V_G - V_{TH} = -10$ V における μ_{FE} の D_{Al} 依存性を示す。SiC n チャネル MOSFET では、カウンタードープにより移動度が大幅に向上するが[2,3]、図 3 に示すように、p チャネル MOSFET では D_{Al} に依らず μ_{FE} はほとんど一定であった($N_{Body} = 1.2\times10^{17}$ cm^{-3} の素子で $\mu_{FE}\approx9$ cm^2/Vs)。n チャネル MOSFET における移動度向上は、実効垂直電界の緩和により、捕獲電子による散乱が弱まるためであると理解されている[1-3]。一方、p チャネル MOSFET では、界面準位に捕獲される正孔が n チャネル MOSFET の捕獲電子と比べて少ないため[4]、捕獲正孔による散乱の影響は小さいと考えられる。そのため、SiC p チャネル MOSFET ではカウンタードープによる移動度向上が見られなかったと推測される。

[1] M. Okamoto *et al*, *Jpn. J. Appl. Phys.* **51**, 02BF05 (2012).
[2] S. Harada *et al*, *IEEE Electron Device Lett.* **22**, 272 (2001).
[3] K. Ariyoshi *et al*, *Appl. Phys. Lett.* **106**, 103506 (2015).
[4] X. Chi *et al*, *Jpn. J. Appl. Phys.* **62**, 110906 (2023).

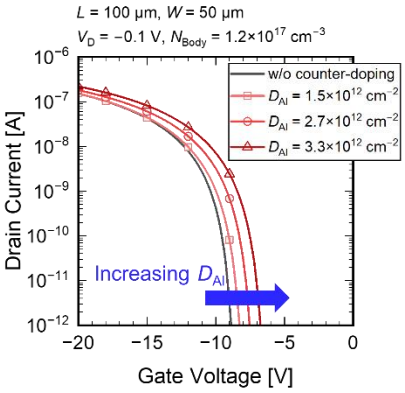


Fig. 1. Gate characteristics of the fabricated p-channel MOSFETs with various Al doses of counter-doping.

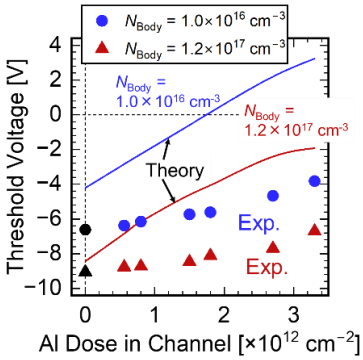


Fig. 2. Al dose dependence of experimental and theoretical V_{TH}.

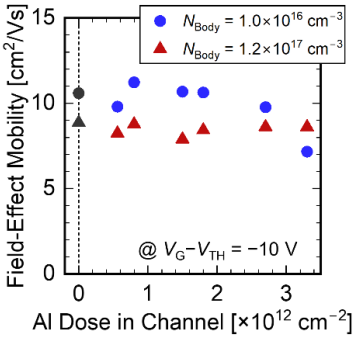


Fig. 3. Al dose dependence of field-effect mobility at $V_G - V_{TH} = -10$ V.

© 2024年 応用物理学会

SiC MOS 構造中に生成されるボディ層濃度に依存した固定電荷

Doping-dependent fixed charges in SiC MOS

京大院工 [1]　○三上 杏太 [1], 金子 光顕 [1], 木本 恒暢 [1]

Kyoto Univ. °Kyota Mikami, Mitsuaki Kaneko, Tsunenobu Kimoto
E-mail: mikami@semicon.kuee.kyoto-u.ac.jp

背景・目的：SiC MOSFET のしきい値電圧制御は、パワーデバイス・高温動作 CMOS 応用のいずれにおいても必要不可欠である。しきい値電圧はボディ層濃度によって精密に制御できるが、SiC MOSFET において、その知見は欠如している。本研究では、n・p チャネル SiC MOSFET 双方におけるしきい値電圧(V_{TH})のボディ層濃度依存性(N_{Body})について調査した。

デバイス作製：p型およびn型4H-SiC(0001)エピ層上にn・pチャネルMOSFETをそれぞれ作製した。ボディ層濃度はイオン注入を用いて変化させた(nチャネル: 1×10^{15}–4×10^{17} cm^{-3}, pチャネル: 5×10^{15}–2×10^{18} cm^{-3})。ゲート酸化膜は熱酸化(1300℃, 20分)とNOアニール(1250℃, 70分)により形成した。酸化膜厚は32–35 nm、チャネル長は100 µm、チャネル幅は50 µmである。

結果・考察：図 1 に作製した n・p チャネル MOSFET における V_{TH} の N_{Body} 依存性を示す。実験 V_{TH} は Split C–V 測定を用いて得た。図 1 より、特に高 N_{Body} 領域(~10^{18} cm^{-3})において、実験 V_{TH} と理論 V_{TH} が乖離していることが分かる。実験 V_{TH} と理論 V_{TH} の差から抽出した実効固定電荷密度(Q_{eff})の N_{Body} 依存性を図 2 に示す。また、MOSFET と同一基板上に作製した MOS キャパシタ(例: n チャネル MOSFET では p 型 MOS キャパシタ)のフラットバンド電圧(V_{FB})シフトから抽出した Q_{eff} も示す。N_{Body} の増加に伴って、p-body(n チャネル)素子では正の Q_{eff}、n-body(p チャネル)素子では負の Q_{eff} が増加している。ここで Q_{eff} は固定電荷密度(Q_{fix})と捕獲電子・正孔密度の和であるが、$Q_{eff}(V_{TH})$と $Q_{eff}(V_{FB})$が同程度であることから、Q_{eff} の大半は Q_{fix} であると言える。なぜなら、p-body 素子を例にすると、V_{TH} と V_{FB} に対応する表面フェルミ準位はそれぞれ伝導帯・価電子帯端近傍であり、$Q_{eff}(V_{TH})$と $Q_{eff}(V_{FB})$が同程度であることは、捕獲電子・正孔が少ないことを意味するためである。よって、図 2 は SiC MOS において Q_{fix} が N_{Body} に依存することを示唆している。SiC n チャネル MOSFET の先行研究でも、同様の Q_{fix} が報告されている[1]。ここで、Si MOS における Q_{fix} は最後に行われる高温熱処理で決まり[3]、本研究では NO アニールがこの熱処理に該当する。しかし、Si MOS における Q_{fix} は N_{Body} に依存せず[2,3]、NO アニールそのものでは Q_{fix} の N_{Body} 依存性を説明できない。そこで、高温熱処理時のフェルミ準位(E_F)に起因した固定電荷生成モデルを提案する(図 3)。NO アニール温度(1250℃)における SiC の E_F は、低 N_{Body} ではミッドギャップ(E_i)近傍に位置するが、高 N_{Body} では E_i から離れたエネルギーに位置する。その結果、例えば高濃度 n 型 SiC の場合、負に帯電する欠陥の形成エネルギーが低く、負の Q_{fix} が生成されやすい。逆に高濃度 p 型 SiC では、正の Q_{fix} が生成されやすい。低濃度 n・p 型 SiC では E_F が E_i 近傍に位置するため、図 2 に示す通り、N_{Body}<1×10^{16} cm^{-3} において Q_{fix} がほとんど同じになると考えられる。

[1] G. Ortiz *et al., Appl. Phys. Lett.* **106**, 062104 (2015).
[2] B. E. Deal *et al., J. Electrochem. Soc.* **114**, 266 (1967).
[3] A. S. Grove *et al., Solid-State Electron.* **8**, 145 (1965).

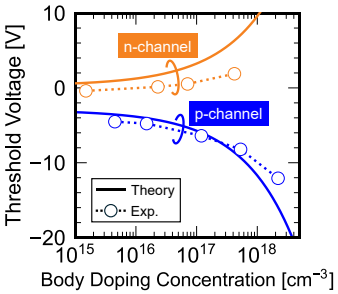


Fig. 1. Doping dependence of threshold voltage in n- and p-channel 4H-SiC MOSFETs.

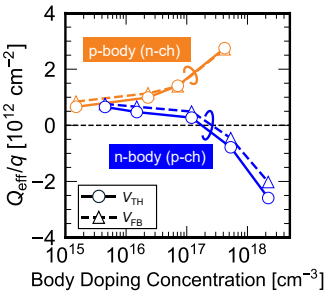


Fig. 2. Doping dependence of the density of effective fixed charges (Q_{eff}) extracted at threshold and flatband voltage (V_{TH}, V_{FB}).

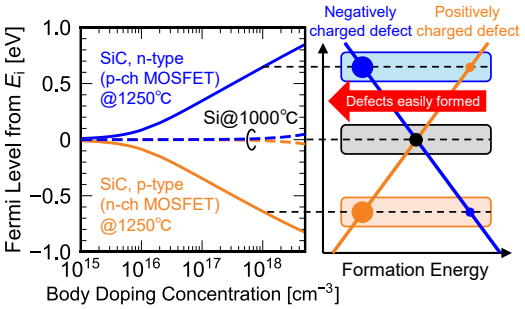


Fig. 3. Proposed model of fixed charge generation related to Fermi level at final treatment temperature.

第一原理計算による NO アニール後の SiC/SiO_2 界面の電子状態解析

First-principles analysis on electronic-structure of SiC/SiO_2 interface after NO annealing.

神戸大工 [1]
○杉山 耕生 [1] 舩木 七星斗 [1], 植本 光治 [1], 小野 倫也 [1]
Grad. Schl. Eng., Kobe Univ. [1]
○Kosei Sugiyama[1], Nahoto Funaki[1], Mitsuharu Uemoto[1], and Tomoya Ono[1]
E-mail: 244t230t@stu.kobe-u.ac.jp

SiC は Si に変わる次世代のパワーデバイスの材料として注目を集めている。一方で、SiC-MOSFET の SiC/SiO_2 界面はバルク中に比べ電子移動度が非常に低い。この問題は SiC/SiO_2 界面に生じる欠陥が原因だと考えられている。欠陥を除去し、電子の移動度を向上させる手段として NO アニーリングが用いられているが、界面が窒化される様子は現在明らかになっていない。我々の先行研究[1]では SiC 基板中の C 原子を N 原子で置換し、N 原子の面密度（～10^{14}atoms/cm^2）を実験結果と同程度にした NO アニール後の界面原子構造を提案した[2]。その結果から我々は窒化層は SiO_2 層の直下に形成され、SiO_2 層によって生じていた伝導帯端（CBE）準位のゆらぎが窒化層によって整えられることで、クーロン相互作用による影響を遮蔽していると結論づけた。しかし、計算資源の限界が理由で局所的な N 原子の密度は実際のデバイスの 3 倍程度高くなっていた。

そこで本研究では，界面の N 原子密度を減らした図のようなモデルを用いて第一原理計算を行い、NO アニール後の部分電荷密度を調査した。また、CBE 準位が現れる層を定量的に計算するために、図のモデルから薄膜モデルを作成し、界面モデルの波動関数から薄膜モデルの波動関数への射影を計算した。本研究では図のモデルを含めて h1, h3, k1, k3 の 4 つのモデルに対して計算を行った。ここで最上位層が h サイトのものに対して、SiO_2 層の O 原子と 3 配位で結合している図のモデルを h3 モデル、SiO_2 層の O 原子と 1 配位で結合しているものを h1 モデルと名付け、最上層が k サイトのものに対しても同様に k1、k3 モデルと名付けた。計算の結果、h1, h3 モデルでは、NO アニール前の CBE 準位の出現位置がそれぞれ 3 層目、1 層目であるのに対し、NO アニール後では h1, h3 どちらのモデルも 3 層目から CBE 準位が出現していた。また、k1, k3 モデルでは、いずれも NO アニール前後で CBE 準位の出現位置は 2 層目から 4 層目へと変化していた。このことから、部分的に窒化をしたモデルでも遮蔽効果が現れていることが確認でき、N 原子密度が高くなると遮蔽効果が高まる可能性が考えられる。

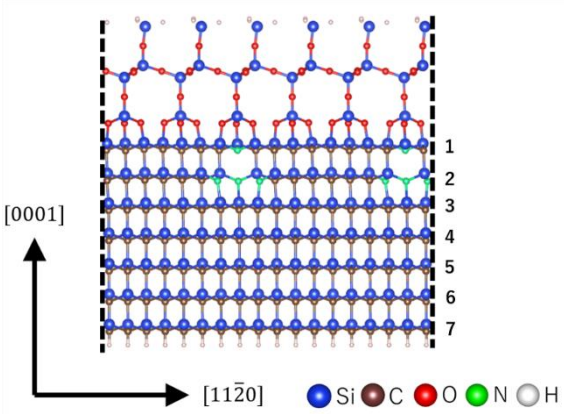


図　SiC/SiO2 界面の計算モデル

[1] M. Uemoto *et al.*, J. Phys. Soc. Jpn. **90**, 124713 (2021).
[2] K. Hamada *et al.*, e-J. Surf. Sci. Nanotechnol. **15**, 109 (2017).

NO 窒化 SiC(0$\bar{3}$3$\bar{8}$) MOS 構造の界面特性及び信頼性評価

Interface properties and reliability of NO-nitrided SiC(0$\bar{3}$3$\bar{8}$) MOS structures

阪大院工 [1], 産総研 [2] ○岩本 隼登 [1], 小林 拓真 [1], 平井 悠久 [2], 染谷 満 [1,2], 岡本 光央 [2], 渡部 平司 [1]
Osaka Univ. [1], AIST[2] ◦Hayato Iwamoto[1], Takuma Kobayashi[1], Hirohisa Hirai[2], Mitsuru Sometani[1,2], Mitsuo Okamoto[2], and Heiji Watanabe[1]
E-mail: h-iwamoto@ade.prec.eng.osaka-u.ac.jp

[はじめに] SiO_2/SiC 界面特性改善のために NO 窒化(NO-POA)が標準的に用いられる[1]。窒化を施した SiC MOSFET のチャネル移動度は面方位に強く依存し、特に非基底面の一つである(0$\bar{3}$3$\bar{8}$)面(R 面)上では(0001)面(Si 面)に比べて遥かに高い移動度が得られる[2]。過去に我々は、窒化時間を変えて作製した R 面 SiO_2/SiC 構造に対して、詳細な XPS 分析および電気特性評価を実施し、界面窒素量の増加とともに界面準位密度(D_{it})が低減することを報告した[3]。一方、R 面 SiC MOS デバイスの価電子帯近傍の界面特性や長期信頼性に対する NO 窒化の影響は明らかではない。そこで本研究では、窒化 R 面 SiC MOS 構造の価電子帯近傍の特性と信頼性(フラットバンド電圧(V_{FB})安定性)を詳細に調査した。

[実験及び結果] *n* 型 4H-SiC R 面エピ層(ドナー濃度: 1.5×10^{16} cm^{-3})に対し、1200°C の熱酸化で約 55 nm の SiO_2 膜を形成後、1250°C 10–120 分の NO-POA を行った。以降、本予稿では窒化 xx 分の試料を Rxx と表記する。これらの試料に Al ゲート電極を形成し、MOS キャパシタを作製した。また、比較として 1250°C 60 分の最適な NO 窒化を施した Si 面 MOS 構造も用意した(Si60)。まず、図 1 に各試料の 1 MHz 双方向 *C–V* 特性を示す。窒化が不十分な試料(R10)では電子注入型のヒステリシスが見られたが、窒化進行に伴いヒステリシスは消失し、伝導帯近傍の界面特性が改善した。続いて図 2 に MOS 構造に対して一定の正電圧ストレス(酸化膜電界 7 $MVcm^{-1}$ に対応)を印加した際の V_{FB} シフト(ΔV_{FB})のストレス時間依存性を示す。結果として、参照用の Si60 試料と比べ、全ての窒化 R 面試料で V_{FB} は大きくシフトした。例えば、2000 秒のストレス印加後の ΔV_{FB} は Si60 試料の場合は 1.6 V であるのに対し R60 試料では 19.0 V であった。よって、R 面 MOSFET では高い移動度が得られるものの、信頼性の観点で懸念がある。最後に価電子帯近傍の界面特性を評価するため、紫外光(波長: 250–450 nm)照射下で *C–V* 測定を行った。本手法では紫外光照射により電極周囲に電子-正孔対を生成し、負電圧印加時に正孔蓄積挙動を評価できる[4]。図 3 に 1 kHz で取得した紫外光照射下 *C–V* 特性を示す。R10 では正孔蓄積に対応する負バイアス印加時の容量上昇は見られず、R30-120 でも、正孔蓄積には非常に大きな負バイアスを要することが分かった。本結果は、NO 窒化 R 面 SiC MOS 界面の価電子帯近傍の特性が劣悪であることを示している。以上より、R 面 SiC MOS 構造は優れた伝導帯近傍特性(反転型 MOSFET のオン特性)を示す一方、正バイアスストレス耐性および価電子帯近傍の特性に課題があるといえる。

本研究は、文部科学省革新的パワーエレクトロニクス創出基盤技術研究開発事業 JPJ009777 及び JSPS 科研費 24H00046 の助成を受けた。

[1] G. Y. Chung *et al.*, IEEE Electron Device Lett. **22**, 176 (2001). [2] T. Hiyoshi *et al.*, Mater. Sci. Forum **740**, 506 (2013). [3] 岩本他, 第 84 回応用物理学会秋季学術講演会 21p-B201-7 (2023). [4] Y. Katsu *et al.*, Mater. Sci. Forum **858**, 599 (2016).

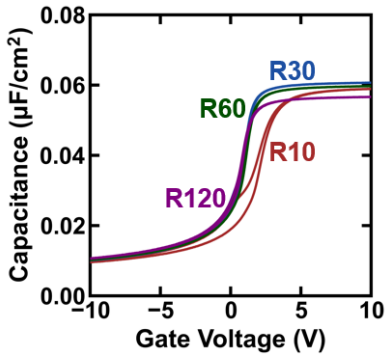


Fig. 1. 1 MHz *C–V* characteristics of R-face SiC MOS capacitors with NO nitridation.

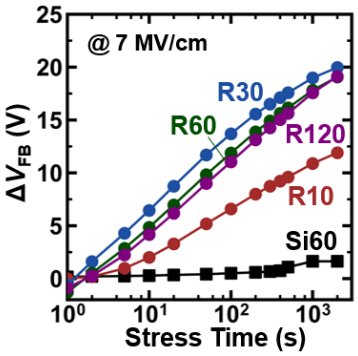


Fig. 2. Flatband voltage shifts as a function of stress time.

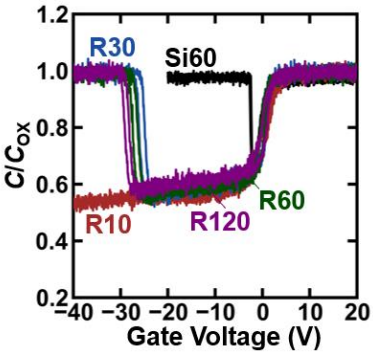


Fig. 3. 1 kHz *C–V* curves of R-face SiC MOS capacitors with NO nitridation. UV light was illuminated during the measurements.

SiC 表面のプラズマ窒化と絶縁膜堆積により形成した SiO_2/SiC 構造に対する後熱処理の効果

Effect of Post Annealing on SiO_2/SiC Structures Formed by Plasma Nitridation of SiC Surface Followed by SiO_2 Deposition

阪大院工　°藤本 博貴, 小林 拓真, 渡部 平司

Osaka Univ., °Hiroki Fujimoto, Takuma Kobayashi, and Heiji Watanabe

E-mail: fujimoto@ade.prec.eng.osaka-u.ac.jp

【はじめに】SiC MOS 界面の高密度欠陥の低減には、NO 窒化処理が広く用いられる。しかし、NO 窒化では SiO_2/SiC 界面への導入窒素量が飽和するため[1]、界面準位密度（D_{it}）を十分に低減できない。近年、我々は SiO_2/SiC 界面に高密度窒素を導入する新プロセスを発案し、NO 窒化処理よりも D_{it} を低減できることを報告した[2]。本手法は SiC 表面のプラズマ窒化、スパッタリングによる SiO_2 膜堆積、CO_2 雰囲気での堆積後熱処理（PDA）の 3 段階で構成される。この際、SiO_2 膜堆積は純 Ar ガス雰囲気で実施することで、SiC 基板表面の酸化に伴い生じる欠陥の抑制を狙っている。しかしスパッタ絶縁膜のダメージ補修には PDA が不可欠であり、文献[2]では酸素空孔の低減効果[3]を期待して CO_2-PDA を採用した。本研究では PDA の温度条件やガス雰囲気を変化させることで、熱処理が界面特性・信頼性に及ぼす影響を詳細に調査した。

【実験及び結果】試料には n 型 SiC(0001) エピ基板（ドナー密度: 1×10^{16} cm^{-3}）を用いた。350°C の基板温度で SiC 表面をプラズマ窒化後、純 Ar 雰囲気でのスパッタリングにより約 30 nm の SiO_2 膜を堆積した。続いて CO_2-PDA（1050–1250°C、30 min）あるいは Ar-PDA（1250°C、30 min）を行った。最後に Al ゲート電極を形成し、MOS キャパシタを作製した。また、比較として、通常の NO 窒化（1250°C, 60 min）で作製した試料も用意した[4]。図 1 に典型的な試料の 1 MHz 双方向 *C–V* 特性を示す。CO_2-PDA 温度の増加とともに *C–V* 特性が急峻になり、電子注入型のヒステリシスが改善した。一方で 1250°C の Ar-PDA でも急峻な *C–V* 特性とヒステリシス改善が観察された。続いて図 2 に high (1 MHz)-low 法より算出した D_{it} のエネルギー分布を示す。CO_2-PDA の温度増加と共に D_{it} は低減し、E_C-E=0.2 eV における D_{it} 値は 1050、1150、1250°C の PDA でそれぞれ 1.6×10^{12}、9.3×10^{11}、1.2×10^{11} $cm^{-2}eV^{-1}$ となった。特に 1250°C CO_2-PDA 試料では NO 試料よりも低い D_{it} 値が得られた。しかし同温度の Ar-PDA では D_{it} は NO 試料と同等以上となったため、スパッタ SiO_2/SiC 界面の十分な特性改善には CO_2 の補修効果が必要といえる。最後に MOS 構造の電子注入耐性を評価した。ここでは酸化膜電界+7 $MVcm^{-1}$ に対応する正電圧ストレスを最大 2000 秒印加し、特性変動を観察した。図 3 はフラットバンド電圧シフトから算出した捕獲電荷密度（ΔQ_{fix}）のストレス時間依存性である。NO 試料では顕著な電荷注入が見られるものの、提案プロセスではこれが格段に抑制できることが見て取れる。CO_2-PDA 温度の増加に伴い電荷注入はさらに低減し、2000 秒のストレス印加後の ΔQ_{fix} は 1250°C の CO_2-PDA 後は僅か 6.7×10^{9} cm^{-2} となった。したがって、電子注入耐性の向上には高温 CO_2-PDA が効果的であると結論できる。

[1] J. Rozen *et al.*, *J. Appl. Phys.* **105**, 124506 (2009).
[2] H. Fujimoto *et al.*, *Appl. Phys. Express* **16**, 074004 (2023).
[3] T. Hosoi *et al.*, *Appl. Phys. Express* **14**, 101001 (2021).
[4] H. Fujimoto *et al.*, *Appl. Phys. Express* **15**, 104004 (2022).

本研究の一部は、文部科学省革新的パワーエレクトロニクス創出基盤技術研究開発事業 (JPJ009777) および JSPS 科研費 (24H00046) の助成を受けて行われた。

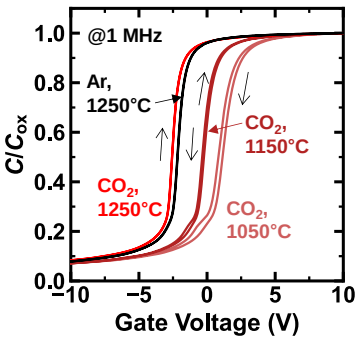


Fig. 1: Bidirectional 1 MHz *C–V* curves obtained from SiC MOS capacitors.

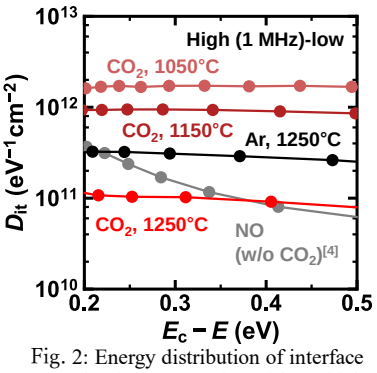


Fig. 2: Energy distribution of interface state density (D_{it}) evaluated by a high (1 MHz)-low method.

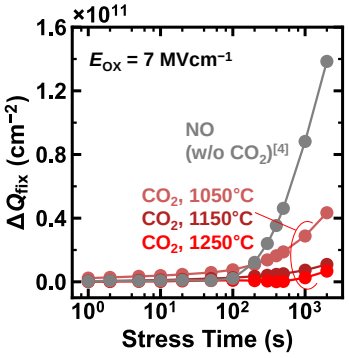


Fig. 3: Charge density injected into the oxide film (ΔQ_{fix}) as a function of stress time.

Al_2O_3キャップ層による 4H-SiC/SiO_2界面への窒素導入過程の変化

Influence of Al_2O_3 cap layer on nitrogen incorporation kinetics at 4H-SiC/SiO_2 interface

東大院新領域 物質系専攻 ○中島 辰海，女屋 崇，喜多 浩之
Dept. of Adv. Mater. Sci., The Univ. of Tokyo, ○Tatsumi Nakashima, Takashi Onaya, and Koji Kita
E-mail: nakashima-tatsumi972@g.ecc.u-tokyo.ac.jp

[背景] NO アニールにより 4H-SiC MOS 界面へ導入される窒素量 $N(t)$ の実験値は, SiC 表面への窒素導入速度 N_r と脱離速度定数 k を用いて, 以下のように単純化した式で説明される[1,2]。

$$\frac{dN(t)}{dt} = N_r - kN(t) \Longrightarrow N(t) = \frac{N_r}{k}\{1 - \exp(-kt)\} \qquad (1)$$

前回の応物学会で我々は, N_r, kはアニール温度や雰囲気だけでなく, 絶縁膜の種類を変更することによって変化することを報告した[2]。その際, Y シリケート絶縁膜を適用すると, NO の分解により発生した酸素の拡散を抑制する層として働き, 窒素の脱離が抑制される機構を推測した。そこで本研究では, このような機構の妥当性を検証することを目的として, 酸素の拡散係数の小さい Al_2O_3 層[3]を SiO_2 の上部にキャップ層として導入した。Al_2O_3 層をキャップ層として N_2O アニールを行った報告例が既にあるが[4], 本研究では特に Al_2O_3キャップ層による窒素導入過程の変化を式(1)に基づいて調査した。

[実験方法] エピタキシャル層(n 型, ドープ濃度～1×10^{16}cm^{-3})を有する 4H-SiC(0001)基板を HF 洗浄した後, 1300°C での熱酸化により膜厚約 20 nm の SiO_2膜を形成した。その上に, 膜厚 5 nm または 30 nm の Al_2O_3膜を ALD 法により堆積した(Fig. 1)。比較のため Al_2O_3膜を堆積していない試料(w/o Al_2O_3)も作製した。その後, NO:N_2=1:2 の比率の混合雰囲気中, 1150°C でアニールを行った。絶縁膜を除去した後, XPS 測定の N 1s と Si 2p ピークの面積強度比(N 1s/Si 2p)から, SiC 上の窒素密度を相対的に評価した。

[結果及び考察] Fig. 2 は, N 1s/Si 2p の NO アニール時間依存性である。まず 5min の時点に注目すると, Al_2O_3膜の堆積によって窒素導入量が w/o Al_2O_3に比べ低下している。初期の傾きはほぼ窒素導入速度 N_rに対応するので, N_rが Al_2O_3キャップ層により低下したと考えられる。次に 4hr での窒素導入量に注目すると, 5 nm の Al_2O_3を堆積した試料の方が w/o Al_2O_3よりも~20%ほど増加しており, 薄膜の Al_2O_3キャップ層によって（N_rも低下する一方で）窒素の脱離速度定数 k が低下し, 式(1)のN_r/kが増大したと解釈できる。これは Al_2O_3によって NO の分解で生じた O_2の拡散が低下し, 界面の酸化反応に伴う窒素の脱離が効果的に抑制された効果と考えられる。Fig. 3 に式(1)でN_r, kを低下させた場合の$N(t)$の計算値を示す。5 nm の Al_2O_3を堆積した試料と Fig. 3 の破線は傾向がよく一致する。一方, 30 nm の Al_2O_3を堆積した試料の場合は 4hr 後でも窒素導入量は少なかった。これは, Al_2O_3の膜厚の増大により界面での反応に寄与する O_2 濃度がさらに減少することで, kが著しく低下し界面窒素量の飽和の時定数が極めて長くなったうえ, N_rも減少したためであり, Fig. 3 の実線と傾向が整合している。

[結論] SiO_2絶縁膜上に, 酸素の拡散を抑制する Al_2O_3をキャップ層として用いると, 窒素の導入よりも特に窒素の脱離の抑制が効果的に働き, 界面への窒素の導入量の飽和値が増大することが検証された。

[謝辞] なお, 本研究の一部は JSPS 科研費の助成により実施された。
[1] S. Dhar et al., J. Appl. Phys. 97, 074902 (2005). [2] T. Nakashima et al., 第 71 回応用物理学会春季学術講演会, 23p-52A-12 (2024). [3] R. Nakamura et al., J. Appl. Phys. 116, 033504 (2014). [4] T. Kimura et al., Mater. Sci. Forum, 740, 737 (2013).

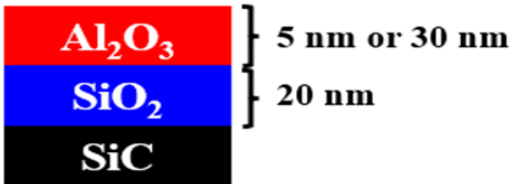


Fig. 1 Schematic diagram of $Al_2O_3/SiO_2/SiC$ stacking.

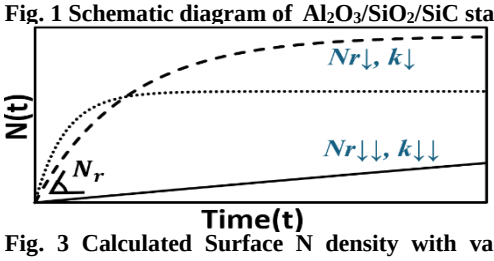


Fig. 3 Calculated Surface N density with various N_r, k value.

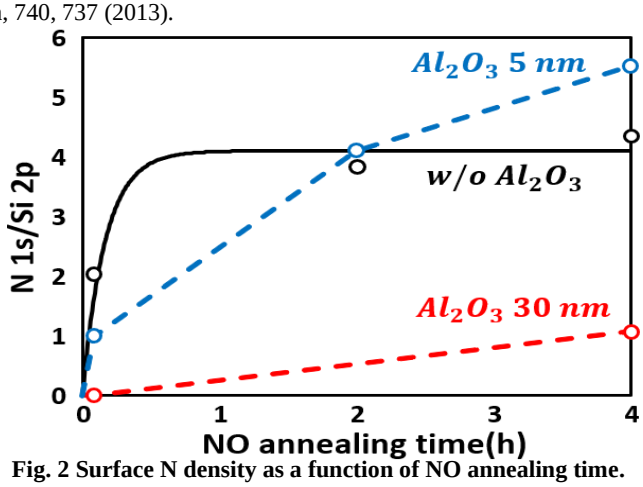


Fig. 2 Surface N density as a function of NO annealing time. (solid line represent calculated value)

SiC MOSFET へのゲート AC ストレス印加による発光としきい値電圧変動

Luminescence and threshold voltage shift in SiC MOSFETs under gate AC stress

筑波大学　°(M1) 新郷 諒介，円城寺 佑哉，岩室 憲幸，矢野 裕司

Univ. of Tsukuba, °Ryosuke Shingo, Yuya Enjoji, Noriyuki Iwamuro, Hiroshi Yano

E-mail: shingo.ryosuke.tkb_cx@u.tsukuba.ac.jp

SiC MOSFET におけるしきい値電圧変動(ΔV_{th})は、界面準位や酸化膜トラップによって引き起こされ、信頼性の面で問題となっている。近年、バイポーラ AC と呼ばれる、MOSFET が蓄積状態と反転状態を繰り返すゲートストレスにより、しきい値電圧ドリフト(ΔV_{th}^{drift})と呼ばれる恒久的な ΔV_{th} が報告されている[1]。このメカニズムを説明する物理モデルの一つとして、Fig.1 に示す光支援 ΔV_{th} モデルが提案されている[2]。このモデルでは、SiC MOSFET が蓄積状態から反転状態になる際に、界面準位を介した電子と正孔の再結合により放出された光が反転層の電子を励起させると考えられている。励起された電子の一部は、伝導帯バンドオフセットを超えて酸化膜に注入・捕獲されることで、正の ΔV_{th}^{drift} を引き起こす。そこで本研究では、市販のトレンチ型 SiC MOSFET におけるゲート AC ストレス印加時の発光現象を観測し、ΔV_{th}^{drift} と発光の関係を評価した。

TO パッケージの裏面を加工することで SiC MOSFET のドレイン電極を除去し、パルス状ゲート AC を印加した際のチップ裏面からの発光を観測した。Fig.2 にパルス AC の高電圧側であるゲートオン電圧(V_{gs}^{on})を 20 V に固定して観測した発光スペクトルのゲートオフ電圧(V_{gs}^{off})依存性を示す。V_{gs}^{off} が–10 V 以下である場合には、V_{gs}^{off} が小さくなるにつれて、特に伝導帯オフセットである 2.7 eV[3]を超える高エネルギーの発光が顕著に見られ、一方で V_{gs}^{off} が–5 V 以上の時には発光が見られなかった。また、Fig.3 に発光観測と同条件のゲート AC を 20 時間印加した場合の ΔV_{th}^{drift} を示す。V_{gs}^{off} が–10 V 以下場合では V_{gs}^{off} が小さくなるにつれて ΔV_{th}^{drift} が大きくなり、V_{gs}^{off} が–5 V 以上の時には ΔV_{th}^{drift} がほとんど見られなかった。ゲート AC 印加時の発光量と ΔV_{th}^{drift} の相関は、光支援 ΔV_{th} モデルの妥当性を示唆する結果である。当日は、様々なゲート AC を印加した際の発光スペクトルと ΔV_{th} の関係についても報告する。

【謝辞】本研究の一部は東芝デバイス&ストレージ（株）の学術奨励制度及び JSPS 科研費(JP22H01540)の支援を受けて行われました。

[1] H. Jiang et al., IEEE Electron Device Lett. 41, 1284 (2020). [2] 熊谷 他, 先進パワー半導体分科会 第8回講演会, IIB-12, pp. 143–144 (2021). [3] T. Kobayashi et al., Mater. Sci. Semicond. Process 175, 108251 (2024).

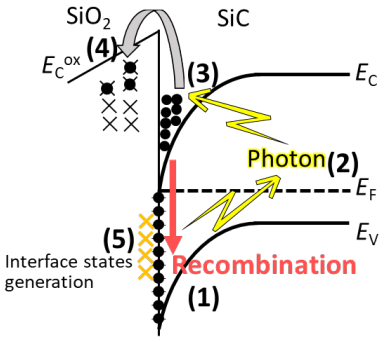


Fig. 1. Photon-assisted electron injection model.

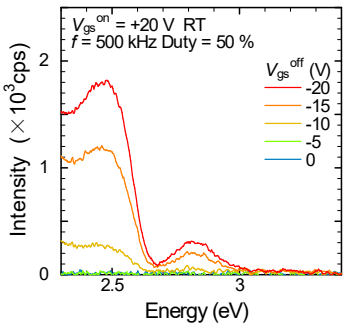


Fig. 2. V_{gs}^{off} dependence on emission spectra.

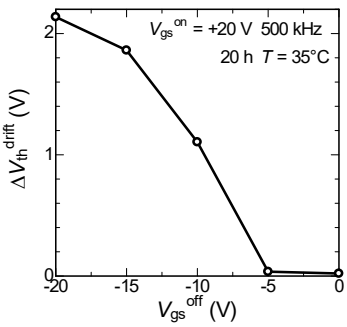


Fig. 3. V_{gs}^{off} dependence on ΔV_{th}^{drift} after 20 h of stress.

© 2024年 応用物理学会

負電圧ゲートストレス印加による SiC MOSFET のチャネル移動度劣化

Degradation of channel mobility in SiC MOSFETs with negative gate bias stress

阪大院工 [1], 産総研 [2] ○八軒 慶慈 [1], 小林 拓真 [1], 平井 悠久 [2], 染谷 満 [1,2], 岡本 光央 [2], 渡部 平司 [1]
Osaka Univ. [1], AIST[2] ◦Keiji Hachiken[1], Takuma Kobayashi[1], Hirohisa Hirai[2],
Mitsuru Sometani[1,2], Mitsuo Okamoto[2], and Heiji Watanabe[1]
E-mail: hachiken@ade.prec.eng.osaka-u.ac.jp

【はじめに】SiC パワーMOSFET はスイッチングデバイスとして有望であるが、低いドレイン電流が課題である。界面欠陥は伝導に寄与できる電子数を低下させ、ドレイン電流を減少させることで知られるが[1]、伝導電子の移動度制限要因については議論が続いている[2,3]。本研究では移動度制限要因の理解に向け、ゲートストレス印加が移動度に与える影響に着目した。一般に、ゲートストレスは酸化膜中及び MOS 界面に欠陥を発生させ、MOSFET のオン特性に影響を及ぼす。本研究では、ストレスにより誘起する欠陥がデバイス特性に与える影響を調査したので報告する。

【実験及び結果】本研究では、p 型 4H-SiC(0001)エピ層（$N_A = 4\times10^{15}$ cm^{-3}）を用いて n チャネル MOSFET を作製した。1200°C 熱酸化と 1150°C 4 h の CO_2 熱処理により厚さ約 45 nm のゲート酸化膜を形成した。続いてゲート・ソース・ドレイン・ボディ領域に Al 電極を蒸着し、MOSFET を作製した。作製した素子に対して、室温または 300°C で約−8 MV/cm の酸化膜電界に対応するゲート電圧を 1 – 2000 s 印加してから、同一温度でドレイン電流–ゲート電圧（I_d–V_g）特性を逐次測定した。図 1 に、300°C でストレスを印加した際の I_d–V_g 特性の変化を例として示す。ストレス印加に伴い、酸化膜中へのホール捕獲による閾値電圧（V_{th}）の負方向シフトと、界面準位の発生によるサブスレッショルドスイング（*SS*）の劣化が同時に観測される。図 2 に I_d–V_g 特性から算出した電界効果移動度（μ_{FE}）のゲート電圧依存性を示す。ストレス印加に伴い μ_{FE} の最大値（$\mu_{FE,max}$）が低下する様子が見て取れる。本移動度の低下要因を理解するために、図 3 に $\mu_{FE,max}$ と *SS* 値をストレス時間に対してプロットした結果を示す。ここで、*SS* 値はチャネル長（*L*）および幅（*W*）で規格化したドレイン電流が 1×10^{-12} –1×10^{-11} A となる範囲から算出した。まず、室温ストレスの場合は *SS* 値の変化は軽微であり、$\mu_{FE,max}$ の変化はほとんど見られなかった。一方、300°C ストレスの場合は、ストレス時間が 100 s を超えると徐々に *SS* 値に劣化が見られ、同時に $\mu_{FE,max}$ が低下した。以上の結果は、バイアスストレスにより *SS* 値が劣化、つまり界面準位が発生した場合のみ、電界効果移動度が低下することを示している。講演当日はホール効果測定による伝導電子の真の移動度の評価結果を交えながら、移動度の制限要因について議論する。

[1] H. Yoshioka *et al.*, *AIP Advances* **5**, 017109 (2015). [2] T. Hatakeyama *et al.*, *Appl. Phys. Express* **10**, 046601 (2017). [3] K. Ito *et al.*, *Appl. Phys. Express* **16**, 071001 (2023).

本研究の一部は、文部科学省革新的パワーエレクトロニクス創出基盤技術研究開発事業（JPJ009777）および科研費（24H00046）の助成を受けて行われた。

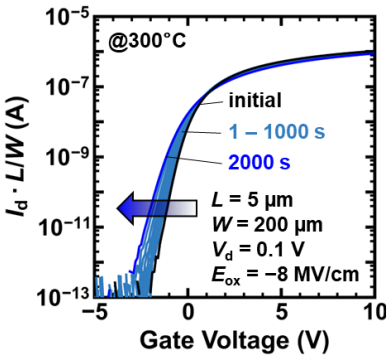


Fig. 1: I_d–V_g characteristics of SiC MOSFETs measured at 300°C after applying bias stress for 1–2000s.

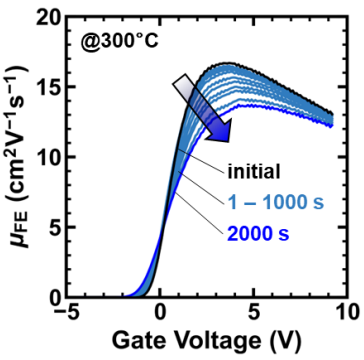


Fig. 2: μ_{FE}–V_g characteristics of SiC MOSFETs measured at 300°C after applying bias stress for 1–2000s.

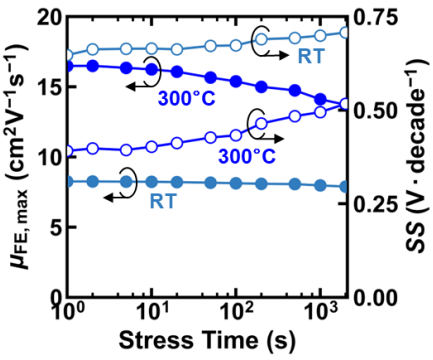


Fig. 3: Stress time dependence of $\mu_{FE,max}$ and *SS* values measured at RT and 300°C.

© 2024年 応用物理学会

高温酸化プロセスによる SiC MOSFET のゲートストレス耐性向上

Improved gate bias stress stability of SiC MOSFETs formed by high temperature oxidation

阪大院工 [1], 産総研 [2] ○(M1)陳 強 [1], 小林 拓真 [1], 平井 悠久 [2], 染谷 満 [1,2], 岡本 光央 [2], 渡部 平司 [1]

Osaka Univ.[1], AIST[2] ◦Qiang Chen[1], Takuma Kobayashi[1], Hirohisa Hirai[2], Mitsuru Sometani[1,2], Mitsuo Okamoto[2], and Heiji Watanabe[1]

E-mail: chen@ade.prec.eng.osaka-u.ac.jp

【背景】SiC MOSFET はパワースイッチングデバイスとして有望であるが、低チャネル移動度に起因した低いドレイン電流が課題である。MOSFET の性能向上に向け、チャネル移動度の決定要因の解明が重要である。そこで我々はゲートストレスで発生する MOS 界面近傍の欠陥が移動度に及ぼす影響に注目している。先の報告では、SiC MOSFET に高温負バイアスストレスを印加すると、サブスレッショルドスイング（*SS*）が劣化して、電界効果移動度（μ_{FE}）が低下することを報告した[1]。本報告では、この移動度劣化を抑制する酸化膜形成プロセスを検討した。

【実験及び結果】本研究では、p 型 4H-SiC(0001)エピ層（アクセプター密度: 8×10^{15} cm^{-3}) 上に n チャネル MOSFET を作製した。この際、ゲート酸化膜は次の 3 通りのプロセスで形成した：1200°C O_2 100%雰囲気でのドライ酸化（w/oNO）、ドライ酸化＋1250°C 60 分（最適条件）の NO 窒化（NO60）、および 1600°C O_2/Ar 0.3%雰囲気での超高温低酸素分圧酸化（HTO）[2]。これらの MOSFET に対して、300°C 真空雰囲気下で酸化膜電界約−8 MV/cm に対応する負のゲート電圧（V_g）を最大 5000 s に亘り印加し、オン特性の経時変化を観察した。

図 1 に各試料に対してゲートストレスを印加した際の μ_{FE}-V_g 特性の変化をまとめる：(a) w/oNO、(b) NO60、(c) HTO 試料。まず、w/oNO および NO60 試料では先の報告[1]と同様、ストレス印加に伴い顕著な移動度劣化が見られる。したがって、典型的な条件での酸化や業界標準の NO 窒化では、ストレス印加に伴う特性劣化が避けがたいといえる。一方で、HTO 試料では移動度劣化が明確に抑制できている。したがって、超高温酸化は界面準位密度（D_{it}）の低減に有効なだけではなく[2]、ストレスにより顕在化する欠陥の前駆体除去にも効果的といえる。図 2 に μ_{FE} 最大値の劣化割合（$\mu_{FE,\,max}/\mu_{FE,\,max(init)}$）と *SS* 値を合計ストレス時間に対してプロットした結果を示す。*SS* 値の劣化と移動度の低下割合には一定の相関があることが見て取れる。つまり、ストレス印加に伴う移動度劣化は界面準位の発生に起因する。HTO 試料では w/o NO や NO60 試料と比べて特性劣化が抑制でき、300°C下、酸化膜電界−8 MV/cm という過酷なゲートストレスを 5000 s 印加後も移動度劣化は初期値の 14%程度に抑えられた。したがって超高温酸化は、ストレス耐性の観点でも優れたゲート酸化膜形成プロセスであるといえる。

本研究は、文部科学省革新的パワーエレクトロニクス創出基盤技術研究開発事業 (JPJ009777) および JSPS 科研費 (24H00046) の助成を受けて行われた。

[1] 八軒 他, 第 85 回 応用物理学会秋季学術講演会 (2024). [2] T. Hosoi *et al.*, *Appl. Phys. Express* **11**, 091301 (2018).

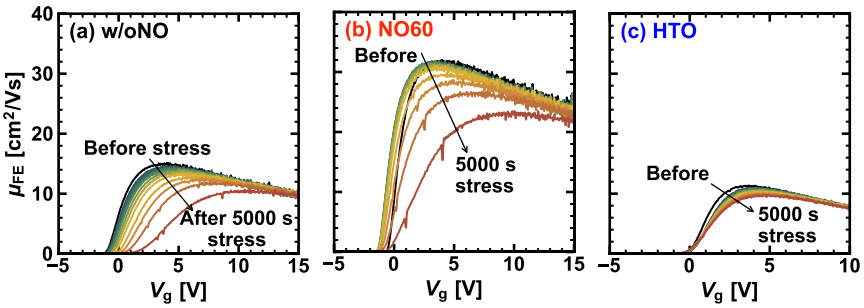


Fig. 1: Channel mobility as a function of gate voltage for fabricated SiC MOSFETs measured at 300°C after applying bias stress for 1–5000s: (a) w/oNO, (b) NO60, and (c) HTO samples.

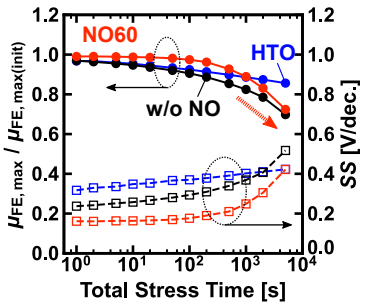


Fig. 2: Channel mobility and sub-threshold swing as a function of stress time.

13 半導体 | 一般セッション(口頭講演)：13.8 光物性・発光デバイス

[17a-C302-1~12] 13.8 光物性・発光デバイス

[17a-C302-1]
温度可変カソードルミネセンスによるCs_4PbBr_6の研究

〇久保田 哲矢[1]、柳本 宗達[1]、斉藤 光[1,2]、秋葉 圭一郎[1,3]、石井 あゆみ[4]、三宮 工[1] (1.東工大、2.九大、3.量研、4.早大)

[17a-C302-2]
ハロゲン化鉛ペロブスカイト$CsPbBr_3/Cs_4PbBr_6$の試料サイズと外部量子効率の関係

〇福田 光希[1]、市川 修平[1,2]、大木 武[3]、山田 泰裕[3]、小島 一信[1] (1.阪大院工、2.阪大電顕センター、3.千葉大理)

[17a-C302-3]
$CsPbBr_3/Cs_4PbBr_6$におけるバンド端以下のエネルギーでの光吸収率の向上

〇登尾 尚紀[1]、福田 光希[1]、市川 修平[1,2]、小島 一信[1] (1.阪大院工、2.阪大電顕センター)

[17a-C302-4]
ペロブスカイト量子ドットを用いた固体光学冷却

〇山田 泰裕[1]、大木 武[1]、森田 剛[1]、福田 光希[2]、市川 修平[2]、小島 一信[2]、山田 琢允[3]、金光 義彦[3] (1.千葉大院理、2.阪大院工、3.京大化研)

[17a-C302-5]
多重共鳴熱活性化蛍光材料を用いた青色発光電気化学セルのESR研究

〇(M1)高橋 優羽[1]、山口 世力[1,2]、南藤 理花[1]、中島 美華[1]、下位 幸弘[1]、畠山 琢次[3]、丸本 一弘[1,2,4] (1.筑波大院数物、2.筑波大量子スピン研、3.京大院理、4.筑波大エネ物質科学セ)

[17a-C302-6]
異方的構造の導入によるEu添加GaNの発光中心の励起効率変化

〇久保 穂高[1]、市川 修平[1,2]、藤原 康文[3,4,5]、小島 一信[1] (1.阪大院工、2.阪大電顕センター、3.立命館大総研、4.阪大産研、5.阪大エマージングサイエンスデザインR3センター)

[17a-C302-7]
AlNを電子ブロック層に用いたEu添加ZnO赤色発光ダイオード構造の提案

〇増田 莉子[1]、舘林 潤[1]、市川 修平[1,2]、多根 正和[1]、藤原 康文[1] (1.阪大院工、2.阪大電顕センター)

[17a-C302-8]
Tm,Yb共添加ZnOナノワイヤにおけるエネルギー輸送プロセス評価

〇(M2C)井田 聖人[1]、舘林 潤[1]、市川 修平[1]、多根 正和[1]、藤原 康文[1] (1.阪大院工)

[17a-C302-9]
時系列機械学習手法を融合した非断熱分子動力学計算によるErドープしたGaAsの中間準位キャリアダイナミックス解析

〇牧野 侑矢[1]、樗木 悠亮[2]、岡田 至崇[2]、曽我部 東馬[1] (1.電通大 i-PERC&基盤理工、2.東大先端研)

[17a-C302-10]
GaO_xトンネルバリアを持つ量子ドットスピン偏極発光ダイオードの作製

〇(M2)沈 承赫[1]、江藤 亘平[1]、樋浦 諭志[1]、高山 純一[1]、スバギヨ アグス[1]、末岡 和久[1]、村山 明宏[1] (1.北大院情報科学)

[17a-C302-11]

希薄窒化GaNAsを用いた近赤外フォトダイオードにおける室温での光電流の偏光依存性

〇峯山 大輝[1]、矢野 龍弥[1]、江藤 亘平[1]、樋浦 諭志[1]、中間 海音[2]、橋本 英季[2]、峰久 恵輔[2]、高山 純一[1]、スバギョ アグス[1]、末岡 和久[1]、石川 史太郎[2]、村山 明宏[1] (1.北大院情報科学、2.北大量子集積)

[17a-C302-12]

希薄窒化GaNAsを用いた近赤外スピン受光ダイオードの磁場特性

〇矢野 龍弥[1]、峯山 大輝[1]、江藤 亘平[1]、中間 海音[2]、橋本 英考[2]、峰久 恵輔[2]、小川 峰登[1]、高山 純一[1]、石川 史太郎[2]、植村 哲也[1]、樋浦 諭志[1]、村山 明宏[1] (1.北大院情報科学、2.北大量子集積)

温度可変カソードルミネセンスによる Cs_4PbBr_6 の研究

Temperature-Dependent Cathodoluminescence Study on Cs_4PbBr_6

東工大 [1]，九大 [2]，量研 [3]，早大 [4]
○久保田 哲矢 [1]，柳本 宗達 [1]，斉藤 光 [1,2]，秋葉 圭一郎 [1,3] 石井 あゆみ [4]，三宮 工 [1]
Tokyo Tech. [1], Kyushu Univ. [2], QST [3], Waseda Univ. [4]
°Tetsuya Kubota[1], Sotatsu Yanagimoto[1], Hikaru Saito[1,2], Keiichirou Akiba[1,3], Ayumi Ishii[4], Takumi Sannomiya[1]
E-mail: kubota.t.ak@m.titech.ac.jp

ハロゲン化金属ペロブスカイトの一種である Cs_4PbBr_6 は、高効率な発光と容易な合成法を両立し、次世代の発光材料として注目を集めている。しかしながら、この高効率発光のメカニズムはまだ完全には明らかにされておらず、引き続き多くの議論が続いている。Cs_4PbBr_6 のバンドギャップエネルギーは 3.9eV であるのに対し、実際に観測されている発光は 2.3eV であり、バンド間遷移では説明できないものとなっている [1)]。このため、観測された発光は中間準位によるものであると考えられている。これまでの議論では Cs_4PbBr_6 母相中に析出した $CsPbBr_3$ ナノ結晶が発光源となっていると考えられている。特に、ナノスケールの空間分解能を有するカソードルミネセンス（CL）法を用いた研究により、Cs_4PbBr_6 の母相中に緑色発光を示す微結晶の存在が確認され、$CsPbBr_3$ の析出が示唆されている [2)]。しかし、これら微結晶の詳細やその発光メカニズムについてはまだ十分に理解されておらず、局所的な光学特性のさらなる解明が求められている。

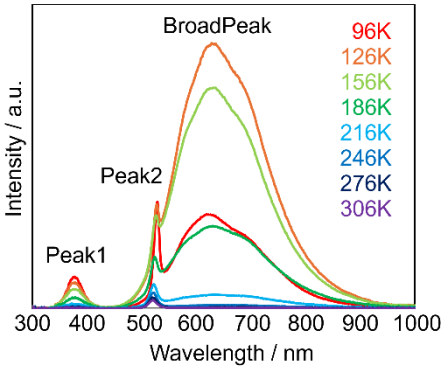


Fig. 1 Temperature Dependence of CL Spectra

本研究では、走査透過電子顕微鏡を用いた CL 法によって、Cs_4PbBr_6 粉末試料のナノスケール光学特性を評価した。CL スペクトルマッピングにより、母相から Cs_4PbBr_6 の発光および、微結晶から緑色発光が観測された。さらに、温度可変 TEM ホルダを用いて、96K から 306K の温度依存性評価を行った。発光ピークごとの CL 強度に注目すると、Peak1 および Peak2 は温度上昇に伴い単調に減少したが、BroadPeak は約 130K まで増加し、その後減少に転じた（Fig.1）。BroadPeak のこの傾向は、浅い準位にトラップされたキャリアが熱活性化され、発光準位に遷移したことが示唆される。さらに、微結晶に注目すると、発光波長と発光寿命は一般的な半導体材料とは逆の傾向を示したものの、緑色発光の候補である $CsPbBr_3$ 量子ドットと同様の光学特性を示すことが明らかになった。

参考文献

1) Q. Akkerman, S. Park, E. Radicchi. F. Nunzi, E. Mosconi, F. Angelis, R. Brescia, P. Rastogi, M. Prato, L. Manna, Nano Lett. 17, 1924−1930, 2017
2) T. Kubota, S. Yanagimoto, H. Saito, K. Akiba, A. Ishii, T. Sannomiya, Appl. Phys. Express, 17, 015005, 2024

© 2024年 応用物理学会

ハロゲン化鉛ペロブスカイト $CsPbBr_3/Cs_4PbBr_6$ の試料サイズと外部量子効率の関係

Relationship between sample sizes of lead halide perovskite $CsPbBr_3/Cs_4PbBr_6$ and external quantum efficiency

阪大院工 [1], 阪大電顕センター[2], 千葉大理 [3]
○福田 光希 [1], 市川 修平 [1,2], 大木 武 [3], 山田 泰裕 [3], 小島 一信 [1]
Osaka Univ. [1], Research Center for UHVEM, Osaka Univ.[2], Chiba Univ.[3]
°Mitsuki Fukuda[1], Shuhei Ichikawa[1,2], Takeru Oki[3], Yasuhiro Yamada[3], and Kazunobu Kojima[1]
E-mail: mitsuki.fukuda@sfm.eei.eng.osaka-u.ac.jp

【はじめに】ハロゲン化鉛ペロブスカイトは、高い外部量子効率(EQE)や高い吸収係数を持つ半導体材料として、太陽電池や発光ダイオード(LED)などへの応用が期待されている。なかでも $CsPbBr_3/Cs_4PbBr_6$ 複合材料は、Cs_4PbBr_6 結晶内部に埋め込まれた $CsPbBr_3$ ナノ構造が高効率な緑色発光を示す。この材料では、励起光より高いエネルギーの光での発光であるアンチストークス発光が報告されており、半導体光学冷却への応用が期待されている[1]。光学冷却には 100%に近い EQE が必要であり、EQE は内部量子効率や光取り出し効率、フォトンリサイクリング効果などにより決定される物理量である。そのため、EQE を変化させる要因を特定することは極めて重要である。本研究では、試料サイズを変化させた $CsPbBr_3/Cs_4PbBr_6$ に対し全方位フォトルミネッセンス(ODPL)測定を実施した結果について報告する。

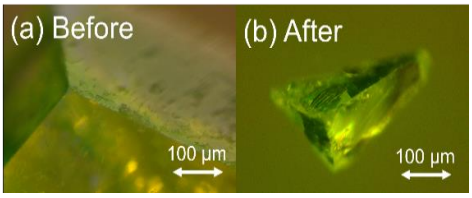


Fig. 2 Nomarski microscopy images of a $CsPbBr_3/Cs_4PbBr_6$ (a) before grinding and (b) after grinding.

【実験条件と結果】CsBr 粉末と $PbBr_2$ 粉末をジメチルホルムアミド(DMF)と HBr 混合溶液に溶解させ、溶液温度降下法により数 mm の $CsPbBr_3/Cs_4PbBr_6$ 結晶を作製した。つづいて、作製した試料を数 100 μm 程度に粉砕し、粉砕前後の試料に対して室温条件下で ODPL 測定を行った(励起エネルギー 2.76 eV、励起パワー密度 1.2 W/cm^2)。Fig. 1 に粉砕前後の試料の光学顕微鏡像を、Fig. 2 にその ODPL スペクトルを示す。試料を粉砕することにより、発光ピークエネルギーが 0.01 eV 変化するとともに EQE が 15.1%変化することが明らかとなった。この結果は EQE を用いて $CsPbBr_3/Cs_4PbBr_6$ 結晶を評価する際に、試料サイズを考慮することが重要であることを示唆している。

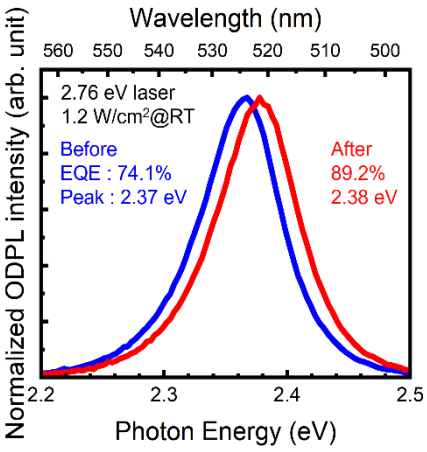


Fig. 1 ODPL spectra, EQEs and peak emission energies before and after sample grinding.

【謝辞】本研究の一部は、光科学技術研究振興財団、キヤノン財団研究助成の支援を受けたものです。

【参考文献】[1]Y. Kajino *et al., Phys. Rev. Mater.* **6,** L043001 (2022).

$CsPbBr_3/Cs_4PbBr_6$ におけるバンド端以下のエネルギーでの光吸収率の向上

Enhancement of light absorption for below-bandgap excitation in $CsPbBr_3/Cs_4PbBr_6$

阪大院工 [1]，阪大電顕センター[2]，○登尾 尚紀 [1]，福田 光希 [1], 市川 修平 [1,2]，小島 一信 [1]

Osaka Univ.[1], Research Center for UHVEM, Osaka Univ.[2]

°Naoki Noborio[1], Mitsuki Fukuda[1], Shuhei Ichikawa[1,2], and Kazunobu Kojima[1]

E-mail: noaki.noborio@sfm.eei.eng.oska-u.ac.jp

【はじめに】ハロゲン化鉛ペロブスカイト半導体は高い外部量子効率(EQE)や高い光吸収係数といった優れた光学特性から近年注目を集めており、様々な光デバイスへの応用が期待されている。なかでも $CsPbBr_3$ ナノ結晶が Cs_4PbBr_6 結晶内部に埋め込まれた $CsPbBr_3/Cs_4PbBr_6$ 複合材料は、高効率な緑色発光を示し、空気や湿気に対しても高い安定性をもつ。この材料系では、励起光よりも高いエネルギーの発光(アンチストークス発光)が明瞭に確認されており[1]、高効率にアンチストークス発光が生じることで、光を照射することで温度を下げる半導体光学冷却への応用が期待されている。これまでに我々は、アンチストークス発光の EQE が 100%であると仮定した場合、2.33 eV の光励起時に最も高い冷却効率が得られることを報告している[2]。アンチストークス発光に基づく光学冷却の現状の課題として、バンド端以下のエネルギー(例えば 2.33 eV)での光吸収率の低さが挙げられる。そこで、吸収率に比例して冷却能が決まることに着目して、本研究では結晶の大型化を行うことで吸収率の増大を試みたので報告する。

【実験方法・結果】$CsPbBr_3/Cs_4PbBr_6$ 結晶の作製にあたり溶質として CsBr 粉末と $PbBr_2$ 粉末を、溶媒としてジメチルホルムアミド(DMF)と HBr の混合溶液を用いた。析出した結晶を 80˚C の DMF と HBr の混合溶液に溶解させて過飽和状態の溶液を準備した後、Fig.1 に示す種結晶を容器底に設置した。その後、80˚C から 30 ˚C まで温度を下げる工程を 2 度繰り返すことで、種結晶の 4 倍以上の質量をもつ大型結晶の作製に成功した。積分球を用いたフォトルミネッセンス(PL)測定(Fig. 2)から、得られた結晶は種結晶と同等の EQE を示し、結晶品質を維持しながら大型化していることが分かった。またサンプルの大型化に伴い、バンドギャップ以下のエネルギーの励起光(2.33 eV)の吸収率は 4.4%から 15.6%程度と約 4 倍増大することも明らかになった(Fig. 3)。以上の結果は、$CsPbBr_3/Cs_4PbBr_6$ 複合結晶の大型化が、アンチストークス発光を利用した発光冷却に向けて、有用な要素技術となることを示している。

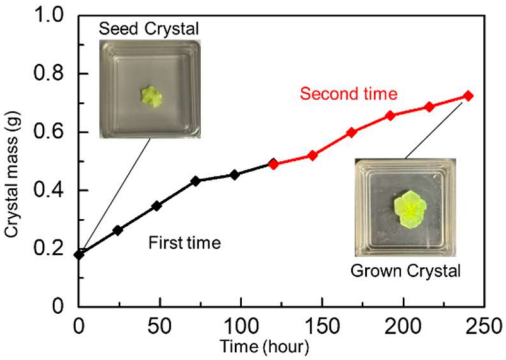


Fig.1 Crystal mass versus growth time. The insets are the photographs of the $CsPbBr_3/Cs_4PbBr_6$ crystals.

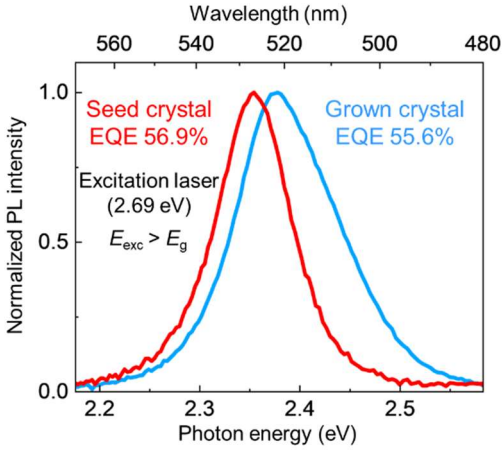


Fig.2 Normalized photoluminescence spectra of seed and grown crystals.

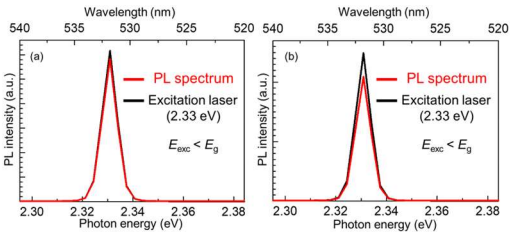


Fig.3 Light absorption of (a) a seed crystal and (b) a grown crystal.

【謝辞】結晶の作製方法は千葉大学理学研究院の山田泰裕教授にご教授いただいたものです。本研究の一部は、光科学技術研究振興財団とキャノン財団研究助成の支援を受けたものです。

[1] Y. Kajino *et al., Phys. Rev. Mater.* **6**, L043001 (2022). [2] 福田 他, 第 42 回電子材料シンポジウム, **Th1-22** (2023).

ペロブスカイト量子ドットを用いた固体光学冷却

Soli-state optical refrigeration of halide perovskite quantum dots

千葉大院理 [1]，阪大院工 [2]，京大化研 [3]
○山田 泰裕 [1]，大木 武 [1]，森田 剛 [1]，福田 光希 [2]，市川 修平 [2]，小島 一信 [2]，
山田 琢允 [3]，金光 義彦 [3]
Chiba Univ.[1], Osaka Univ.[2], Kyoto Univ.[3]
°Yasuhiro Yamada[1], Takeru Oki[1], Takeshi Morita[1], Mitsuki Fukuda[2], Shuhei Ichikawa[2], Kazunobu Kojima[2], Takumi Yamada[3], Yoshihiko Kanemitsu[3],
E-mail: yasuyamada@chiba-u.jp

固体光学冷却とは、アンチストークス(Anti-Stokes: AS)発光－励起光よりも高エネルギーの発光ーを用いて固体材料を冷却する手法である。AS 発光の外部量子効率が 100%であれば、材料は内部エネルギーを失い、光の吸収と AS 放出の過程を経て冷却されることになる。AS 冷却は 1995 年に希土類イオンをドープしたガラスで初めて実現されて以来活発に研究が行われてきた。

一方、極低温冷却や大きな冷却ゲインの実現を目指し、光吸収率の小さい希土類ではなく、高い吸収係数をもつ半導体での光学冷却の試みも多くなされてきた。しかし、100％近い高い発光効率を半導体で実現するのは希土類系と比べるとはるかに困難である。半導体光学冷却についてこれまでにいくつかの報告があるものの、実験結果の妥当性も含めて未だ議論が続いている。

ハロゲン化鉛ペロブスカイトは、光学冷却に必要な強い電子-フォノン相互作用と高い発光効率を兼ね備えており、有望な半導体光学冷却の候補物質である。特に、発光効率が高いペロブスカイト量子ドットでは実際に高効率な AS 発光が観測される[1,2]。しかし、量子ドットの発光量子効率は、高密度光励起下でオージェ再結合によって低下し、これが光冷却ゲインに（したがって光学冷却の実現性に）大きな制限を課すことになる。オージェ再結合が光学冷却に及ぼす影響を評価は光学冷却の実現に必要不可欠である。

そこで本研究では、高い発光効率と安定性を兼ね備えたドットインクリスタル型ペロブスカイト（ペロブスカイト量子ドットがホスト結晶に埋め込まれた複合構造）のオージェ再結合を研究し、最大光冷却ゲインとこれを与える励起光強度を定量的に推定した。さらに、この結果を用いて、光学冷却の実験を行った。発光スペクトルの形状から非接触かつ高精度な温度推定手法を確立し、実際に光励起による温度低下を観測した。講演では、オージェ再結合レートから推定された冷却ゲインの励起光強度依存性と、光学冷却実験の詳細について報告する。

本研究は、キヤノン財団研究助成、JST-CREST (Grant No. JPMJCR21B4)、科研費 (Grant No. JP19H05465)の支援による。

[1] Y. Kajino, *et al.*, Phys. Rev. Mater. **6**, L043001 (2022). [2] Y. Yamada and Y. Kanemitsu, NPG Asia Mater. **14**, 48 (2022).

多重共鳴熱活性化蛍光材料を用いた青色発光電気化学セルの ESR 研究

ESR study on blue light-emitting electrochemical cells using multiple resonance thermally activated fluorescent materials

筑波大院数物 [1]，筑波大量子スピン研 [2]，京大院理 [3]，筑波大エネ物質科学セ [4]
○(M1) 高橋優羽 [1]，山口世力 [1,2]，南藤理花 [1]，中島美華 [1]，下位幸弘 [1]，畠山琢次 [3]，丸本一弘 [1,2,4]
Dep. Mater. Sci., Univ. Tsukuba[1], IQSST, Univ. Tsukuba[2], Kyoto Univ.[3], TREMS, Univ. Tsukuba[4]
°Yu Takahashi[1], Seira Yamaguchi[1,2], Rika Nanto[1], Mika Nakajima[1], Yukihiro Shimoi[1], Takuji Hatakeyama[3], Kazuhiro Marumoto[1,2,4]
E-mail: s2420368@u.tsukuba.ac.jp, marumoto@ims.tsukuba.ac.jp

【序論】有機発光ダイオード（OLED）に代わる発光デバイスのひとつとして、単純な構造を持つ発光電気化学セル（LEC）がある。近年、LEC の性能向上のため、熱活性化遅延蛍光（TADF）材料を LEC に導入する試みがなされている。TADF の中でも、多重共鳴熱活性化遅延蛍光（MR-TADF）材料は、発光帯域幅の狭い発光が得られる材料として注目されている[1–3]。しかしながら、MR-TADF を用いた LEC の動作原理や電荷状態は詳しく調べられていない。本研究では、MR-TADF を用いた青色発光 LEC のさらなる高性能化の指針を得ることを目指し、電子スピン共鳴（ESR）法を用いて素子駆動中の電荷状態を非破壊かつ分子レベルの微視的な視点で研究した。

【実験】ゲスト材料として V-DABNA または ν-DABNA を有する 2 種類の LEC を作製した（Fig. 1）。ホスト材料には F8-arylester を用いた。透明陽極 ITO がパターニングされた石英基板上に、発光層をスピンコート法により、Ag 陰極を真空蒸着法により成膜した。3 × 20 mm^2 基板を用いた素子を窒素雰囲気下にて配線後、ESR 試料管内に封止し、室温で ESR 測定を行った。20 × 20 mm^2 基板を用いた素子で電流–電圧–輝度（*J–V–L*）特性、EL スペクトルを測定した。

【結果】本研究で作製した 2 種類の LEC はどちらも青色発光を示し、*J–V–L* 測定において電圧の増加に伴う輝度の増加と電気二重層の形成および電荷ドーピングや電荷注入に起因すると考えられる電流の増加が確認された。V-DABNA をゲスト材料に用いた LEC の ESR 測定では、印加電圧の増加とともに信号強度の増加が観測され（Fig. 2）、4 V から 5 V でスピン数（N_{spin}）が大きく増加した（Fig. 3）。N_{spin} の大幅な増加は、電荷ドーピングの進行によるものだと考えられる。密度汎関数理論計算による *g* 因子と実験で得られた *g* 因子の比較により、これらの信号は主にホスト材料に由来する信号だと考えられる。現在、信号の解析を進めており、詳細は当日報告する。

参考文献: [1] Y. Tanaka *et al.*, *Adv. Opt. Mater.* **11**, 2301119 (2023)., [2] T. Hatakeyama *et al.*, *Adv. Mater.* **28**, 2777 (2016)., [3] S. Oda *et al., Adv. Sci.* **10**, 2205070 (2023).

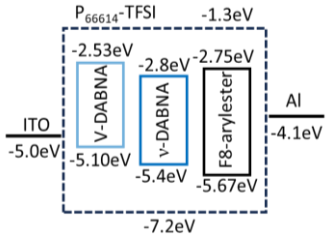


Fig. 1. Energy levels of the guest, host, and electrolyte materials used in this work.

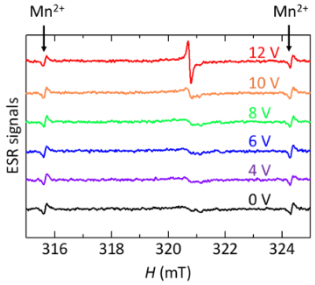


Fig. 2. Driving voltage dependence of the ESR spectra of the MR-TADF LEC with V-DABNA.

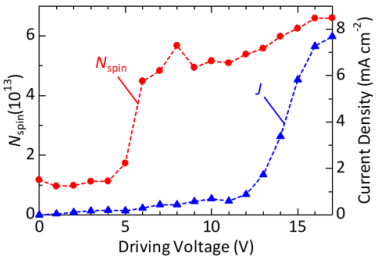


Fig. 3. Driving voltage dependence of the N_{spin} and the *J* of the MR-TADF LEC with V-DABNA.

異方的構造の導入による Eu 添加 GaN の発光中心の励起効率変化

Excitation-efficiency variation of luminescent centers in Eu-doped GaN induced by anisotropic structures

阪大院工 [1]，阪大電顕センター[2]，立命館大総研 [3]，阪大産研 [4]，
阪大エマージングサイエンスデザイン R[3] センター[5]
○久保 穂高 [1]，市川 修平 [1,2]，藤原 康文 [3-5]，小島 一信 [1]
Grad. Sch. Eng., Osaka Univ.[1], Research Center for UHVEM, Osaka Univ.[2],
Res. Org. of Sci. and Tech. Ritsumeikan Univ.[3], ISIR, Osaka Univ. [4],
R[3] Institute of Newly-Emerging Science Design, Osaka Univ. [5]
○Hodaka Kubo[1], Shuhei Ichikawa[1,2], Yasufumi Fujiwara[3-5], Kazunobu Kojima[1]
E-mail: hodaka.kubo@sfm.eei.eng.osaka-u.ac.jp

【はじめに】Eu 添加 GaN(GaN:Eu) を発光層とした赤色発光ダイオード(LED)は、InGaN 青/緑色 LED とモノリシックに集積可能なことからマイクロ LED への応用が注目されている。GaN:Eu の発光は、添加された Eu イオンの 4*f* 殻内遷移に起因しており、その発光特性は Eu イオンの周辺局所構造に強く影響を受けることが知られている。有機金属気相成長(MOVPE)法によって成長した GaN:Eu には、主に 8 つの発光中心(OMVPE1-8)が存在し[1]、なかでも OMVPE7 は、低濃度でありながら極めて高い励起効率を示すことから、弱励起のエレクトロルミネッセンスにおいて支配的な発光中心となることが報告されている。Eu イオンの励起効率は周辺局所構造により変化するため、歪や不純物添加の影響を受ける。LED 素子をマイクロサイズにまで微細化した際には、素子側面の自由表面の露出により、表面体積比が増えるため、異方的な歪緩和が生じて Eu イオンの励起効率が変化する可能性がある。一方で、微細構造と GaN:Eu の光学特性の相関に関する知見は、十分に得られていない現状にある。本研究では、GaN:Eu マイクロ LED を模した異方的構造を作製し、素子構造が光学特性へ与える影響を評価した。

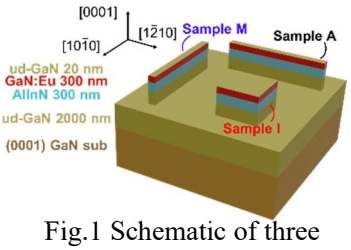


Fig.1 Schematic of three types of GaN:Eu-based micro structures.

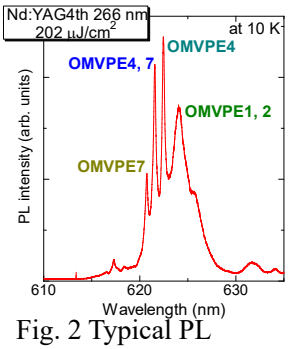


Fig. 2 Typical PL spectrum of GaN:Eu.

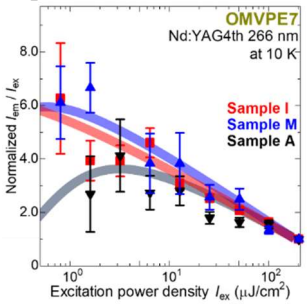


Fig. 3 Excitation power (I_{ex}) dependences of OMVPE7-related PL intensities (I_{em}), divided by I_{ex}, normalized at 202 μJ/cm^2. The lines are to guide the eyes.

【実験・結果】(0001) GaN 基板上に、MOVPE 法により AlInN 層を 300 nm 成長させた後、GaN:Eu 層を 200 nm 成長させた。その後、⟨10$\bar{1}$0⟩ 方向(*m* 軸方向)および⟨1$\bar{2}$10⟩方向(*a* 軸方向)に沿った長軸をもつサンプル M (690 μm × 50 μm)とサンプル A (50 μm × 690 μm)を、フォトリソグラフィと誘導結合プラズマ反応性イオンエッチングによりそれぞれ作製した。また、従来の等方的構造を持つサンプル I (250 μm × 250 μm)も同様にして作製した(Fig. 1)。作製した試料に対し、10 K 下でフォトルミネッセンス(PL)測定を行った。励起光源に Nd:YAG レーザの第 4 高調波(266 nm, 2 kHz)を用い、励起パワー密度を 0.8～202 μJ/cm^2 で変化させて測定を行った(Fig. 2)。

上記 3 サンプルにおいて得られた、OMVPE7 起因の PL 強度の励起パワー依存性を Fig. 3 に示す。この際、発光強度を励起強度で除した値を縦軸にとることで、擬似的に OMVPE7 の発光効率の励起強度依存性を評価した。図より、サンプル A は 320 μJ/cm^2 付近の励起強度において、最大効率を示すことが分かる。強励起下での発光効率の低下は、OMVPE7 の励起効率は高い一方でその濃度が低く、発光が飽和することに起因している。サンプル M、I では、明瞭な効率ピークは見られないものの、サンプル A と同様に強励起下で効率低下を示すことから、より弱励起側で発光飽和を示すことが予測される。同一基板上のサンプル間で OMVPE7 濃度が不変であることを考慮すると、*a* 軸方向を長軸にもつ異方的構造では、OMVPE7 の励起効率が低下することを示唆している。この結果は、マイクロ LED の素子設計において重要な知見となり得る。

[1] R. Wakamatsu *et al., Jpn. J. Appl. Phys.* **52**, 08JM03 (2013).

【謝辞】本研究は、JSPS 科研費 No. 23H05449 の支援を受けたものです。

AlN を電子ブロック層に用いた Eu 添加 ZnO 赤色発光ダイオード構造の提案

Proposal of Eu-doped ZnO red light emitting diodes using AlN as an electron blocking layer

阪大院工 [1], 阪大電顕センター[2]
°増田 莉子 [1], 舘林 潤 [1], 市川 修平 [1, 2], 多根 正和 [1], 藤原 康文 [1]
Osaka Univ.[1], Research Center for UHVEM, Osaka Univ.[2]
°R. Masuda[1], J. Tatebayashi[1], S. Ichikawa[1, 2], M. Tane[1] and Y. Fujiwara[1]
E-mail: riko.masuda@mat.eng.osaka-u.ac.jp

【はじめに】希土類添加半導体を用いた発光素子は、超狭帯域発光かつ周辺環境に対する発光波長安定性が高いことから注目を集めており、我々のグループはこれまでに、Eu 添加 GaN(GaN:Eu)を活性層とする赤色発光ダイオード(Light Emitting Diode: LED)の開発に世界に先駆けて成功している[1]。更に近年、希土類添加母体として大きな励起子結合エネルギーを有し(~60 meV)、GaN 同様直接遷移型のワイドバンドギャップ半導体である ZnO に着目し、これまでに、電子ブロック層(Electron Blocking Layer: EBL)として Al_2O_3 を用いた、p-GaN/Al_2O_3/Eu 添加 ZnO(ZnO:Eu)/n-ZnO ヘテロ接合型 LED を試作し、逆バイアス下において衝突励起に起因する Eu 発光を観測することに成功している[3]。しかしながら、p-GaN 上に成膜した Al_2O_3 は、格子不整合の大きさから非晶質になっており、Al_2O_3 上の ZnO:Eu の結晶性や発光特性が低下する結果、順バイアス下での ZnO 母体からのエネルギー輸送に起因した Eu 発光強度が弱いことが課題であった。今回、GaN や ZnO との格子不整合が小さく、且つ同様のウルツ鉱型結晶構造をもつ AlN を EBL として用い、ZnO:Eu を活性層に用いた p-GaN/AlN/ZnO:Eu/n-ZnO ヘテロ接合型 LED 構造を提案するとともに、AlN 上 ZnO 膜および ZnO:Eu 層の光学・構造特性を評価したのでこれを報告する。

【実験方法と結果】本研究で提案する試料構造を図(a)に示す。本研究では、(0001)サファイア基板上に、有機金属気相エピタキシャル法により低温成長(Low-temperature: LT)した GaN 上に、無添加 GaN(ud-GaN)、p-GaN および AlN を成長した AlN テンプレート基板を用意した。その後、スパッタリング援用有機金属化学気相堆積法により ZnO および ZnO:Eu 層を成膜した。原子間力顕微鏡(Atomic Force Microscope: AFM)によって表面を観察した結果、ZnO 成長温度上昇に伴い表面平坦性が向上した(図(b))。また、X 線回折測定によって AlN テンプレート上に成膜した ZnO 膜の結晶性の評価を行った結果、GaN に対し ZnO の歪が緩和していることが確認された(図(c))。この結果をもとに ZnO:Eu 膜を AlN 上に成膜し、He-Cd レーザを用いて室温フォトルミネッセンス測定を行った結果、表面平坦性を保ちながら、これまで報告してきた Al_2O_3 上 ZnO:Eu[3]と比して遜色のない発光が得られた(図(d))。

【謝辞】本研究は科研費「特別推進（No.18H05212）」、「基盤(A)（No.23H00185）」、「基盤(S)（No.23H05449）」およびキャノン財団の支援を受けた。

【参考文献】[1] A. Nishikawa, Y. Fujiwara *et. al.*, *Appl. Phys. Exp.* **2**, 071004 (2009). [2] T. Tsuji, Y. Fujiwara *et. al.*, *J. Lumines.* **132**, 3125 (2012). [3] J. Tatebayashi *et al.*, *ECS J. of Solid State Sci. and Technol.* **12**, 076017 (2023).

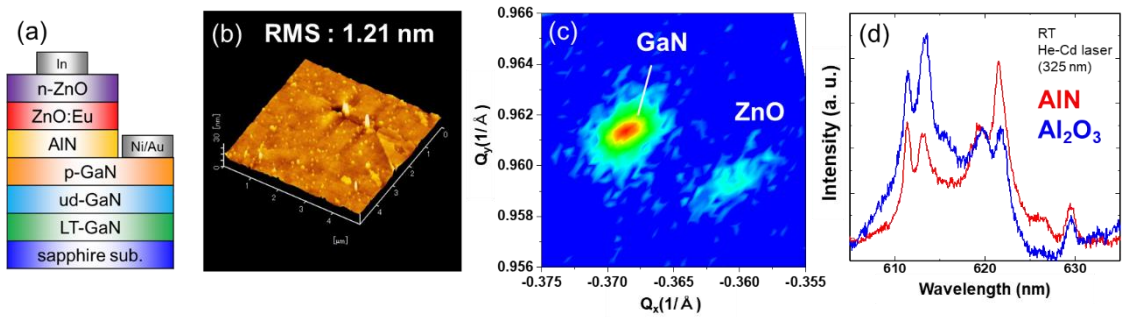


Figure (a) Schematic of the proposed n-ZnO/ZnO(or ZnO:Eu)/AlN/p-GaN heterostructure LED. (b) AFM image of the ZnO film on AlN/p-GaN templates. (c) Reciprocal space map of GaN and ZnO layers. (d) Photoluminescence spectrum of ZnO:Eu on AlN and Al_2O_3 at RT.

© 2024年 応用物理学会

Tm,Yb 共添加 ZnO ナノワイヤにおけるエネルギー輸送プロセス評価

Optical characterization of energy transfer process in Tm,Yb-codoped ZnO nanowires

阪大院工　°井田 聖人, 舘林 潤, 市川 修平, 多根 正和, 藤原 康文
Osaka Univ. °M. Ida, J. Tatebayashi, S. Ichikawa, M. Tane, and Y. Fujiwara
E-mail: masato.ida@mat.eng.osaka-u.ac.jp

[はじめに] 近年、Si 太陽電池のエネルギー変換効率向上のための方法として、希土類イオン間のダウンコンバージョン（Down Conversion: DC)による波長変換が注目されている[1]。DC とは、1 つの高エネルギー光子を複数の低エネルギー光子へ分割する波長変換の一種である。実際に希土類イオン間の DC による 170%以上の内部量子効率が報告されている[2]が、希土類イオンの光吸収係数が低く、吸収できる波長帯も狭いために実用化には至っていない。我々のグループは、紫外領域において高い光吸収係数を示す半導体 ZnO を添加母体とした高効率な希土類イオンへのエネルギー輸送による DC を目指している。これまでに、Tm,Yb 共添加 ZnO(ZnO:Tm,Yb)を成膜する下地にナノワイヤ構造を導入し、DC に必要な Tm の $^1G_4 \rightarrow {}^3H_6$ 遷移に起因する 490 nm 付近の発光の観測に成功した[3]。さらに、Yb の複数ある発光センターのうち Tm から Yb へのエネルギー輸送に寄与し得る発光センターの同定に成功した[4]。今回、希土類イオン間のエネルギー輸送機構を詳細に解明すべく、Yb から Tm へのエネルギー輸送過程の評価を行ったのでこれを報告する。

[実験・結果] サファイア基板上に無添加 ZnO ナノワイヤ層を形成後、我々が独自開発したスパッタリング援用 MOCVD 法にて ZnO:Tm,Yb の結晶成長を行った。Tm,Yb の添加比率を変化させた試料に対し、He-Cd レーザ (波長 325 nm)を用いて ZnO 母体を励起した際、および半導体レーザ (波長 980 nm)を用いて Yb を励起した際の Tm 発光について低温フォトルミネッセンス (Photoluminescence: PL)測定を行った結果をそれぞれ Fig. 1(a)および(b)に示す。Tm を添加した試料を母体励起した場合、ZnO 母体からのエネルギー輸送により Tm の発光が 490 nm、800 nm 付近に観測されている。一方 Yb を励起した場合、Tm および Yb を単独添加した試料では Tm 発光が観測されなかったが、Tm,Yb を共添加した試料では Tm 発光が観測された。これらの結果は Fig. (c)に示すような Yb から Tm へのエネルギー輸送過程、つまりアップコンバージョンが生じていることを示しており、MOCVD 法で形成した ZnO:Tm,Yb においては世界で初めての立証となる。

[謝辞] 本研究は科研費「基盤(B)（No.24K00925)」「特別推進（No.18H05212)」、「基盤(A)（No.23H00185)」、「基盤(S)（No.23H05449)」、キャノン財団の支援を受けた。

[参考文献] [1] T. Trupke *et al*., J. Appl. Phys. **92**, 1168 (2002). [2] J. Li, J. Zhang *et al*., J. Alloy. Compd. **99**, 583 (2014). [3] J. Tatebayashi *et al*., J. Crys. Growth **503**, 13 (2018). [4] J. Tatebayashi *et al*., J. Soc. Mater. Sci. **71**, 811 (2022).

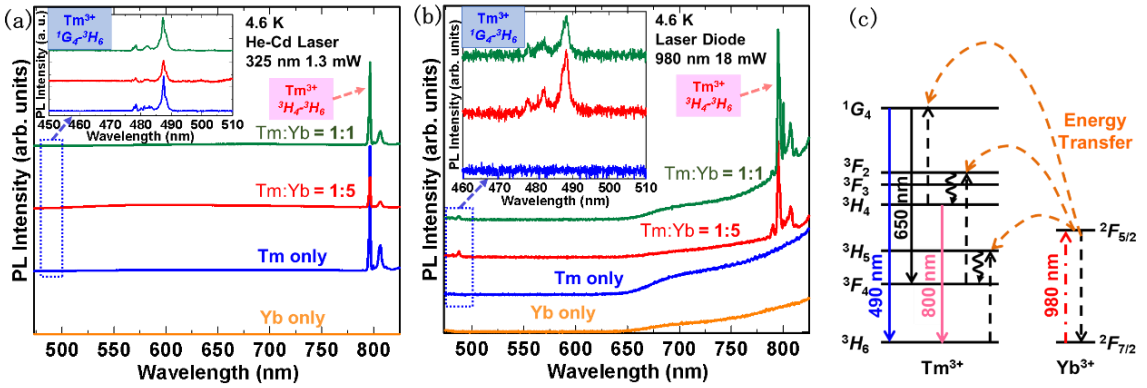


Fig. 1 PL spectra at 4.6 K excited by (a) a He-Cd laser and (b) a laser diode. (c) Up conversion process from Yb^{3+} to Tm^{3+}.

時系列機械学習手法を融合した非断熱分子動力学計算による Er ドープした GaAs の中間準位キャリアダイナミックス解析

Non-adiabatic Molecular Dynamics Calculations Combined with Time Series Machine Learning Methods for Analysis of Intermediate Level Carrier Dynamics in Er-doped GaAs

[1] 電通大 i-PERC&基盤理工，[2] 東大先端研
°(M2) 牧野 侑矢 [1], 樗木 悠亮 [2], 岡田 至崇 [2], 曽我部 東馬 [1]
[1]Univ. of Electro-Comm, [2]RCAST, Univ. of Tokyo
E-mail : sogabe@uec.ac.jp

はじめに 太陽電池や発光ダイオード、センサーなど様々なデバイスにおいて、非断熱分子動力学(NAMD)は材料におけるキャリアの遷移プロセスを知るために非常に有用なシミュレーション方法である。しかし、計算には分子動力学軌道に沿った ab initio 電子構造計算によって得られる励起エネルギー及び非断熱カップリング(NAC)が必要であり、十分な時間スケールにかかるコストは非常に高くなっている[1]。本研究では、Fig.1 のようなバルクの(a)GaAs 及びそこに Er をドープした(b)Ga0.75Er0.25As に対して NAMD シミュレーションの励起エネルギー及び NAC の予測を行う。第一原理計算を用いて生成された、励起エネルギー及び NAC をサンプリングし、ニューラルネットワークでデータを補完することによって大幅な計算コストの削減を目指す。

実験結果 Fig.2(a), (b)は GaAs に対して CP2K を使用して得られた励起エネルギーと NAC の時間変化を示している。また、そのデータから 8 ステップごとにサンプリングされたデータを用いて、Bi-LSTM によって補完された結果も合わせて示している。得られた励起エネルギー、NAC は複数回反復された。Fig.2(c)は、Libra に実装されているデコヒーレンス誘起表面ホッピング法(DISH)法を使用して実行された NAMD シミュレーションの結果から得られた基底状態における占有率の時間変化である。結果から、補完されたデータは ab initio 計算に比べてピーク値が過小評価され、その影響から基底状態の占有率変化が緩やかになっていると考えられる。今後、Transformer を用いた時系列データ補完のモデルを作成し、計算速度と精度への影響について当日報告する。

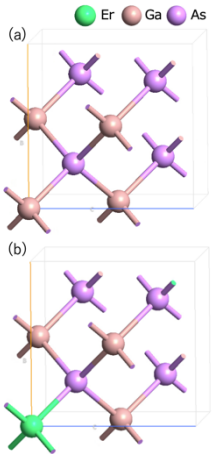


Fig.1 (a)GaAs(b)Ga0.75Er0.25As の構造

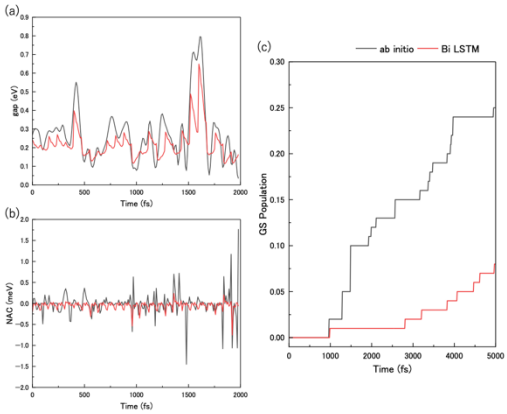


Fig.2 (a)ab initio 計算と Bi LSTM による励起エネルギー (b)NAC(c)NAMD 計算によって得られた基底状態の

[1] Wang, Bipeng, et al. *The Journal of Physical Chemistry Letters* 14.31 (2023): 7092-7099

GaO_x トンネルバリアを持つ量子ドットスピン偏極発光ダイオードの作製

Fabrication of quantum dot spin-polarized light-emitting diode using GaO_x tunnel barrier

北大院情報科学 ○沈 承赫，江藤 亘平，樋浦 諭志，高山 純一，スバギヨ アグス，末岡 和久，村山 明宏
Faculty of Information Science and Technology, Hokkaido Univ.
○S. Sim, K. Etou, S. Hiura, J. Takayama, A. Subagyo, K. Sueoka, and A. Murayama
E-mail: sizu@eis.hokudai.ac.jp

近年、IoT および AI の発展により情報処理に必要な演算量が増加し、情報システムの消費電力増大に伴う電力不足が懸念されている。そこで、電力消費なく情報を保持できる電子スピンと、熱損失なく情報を伝送できる光を用いた光電スピン情報変換基盤の実現が期待されている。電子スピンの光変換には、強磁性体電極から電子スピンを注入し光学活性層で発光再結合させるスピン偏極発光ダイオード(スピン LED)が適している[1]。スピン注入トンネルバリアにはこれまで MgO が主に用いられてきたが、MgO と GaAs の界面には高密度の界面準位が存在することが知られている[2]。そこで、新たなトンネルバリア材料として GaO_x に着目した。GaO_x と GaAs の界面準位密度は MgO と比べて 2 桁以上低く[3]、スピン LED のトンネルバリアとして有望である。しかし、GaO_x を用いたスピン LED は 2 K という極低温での評価に留まっている[4]。そこで本研究では、GaO_x をスピン注入トンネルバリア、優れた光学特性とスピン特性を持つ量子ドット(QD)を光学活性層に用いたスピン LED を作製し、QD からの電流注入円偏光発光(EL)特性を評価した。

図 1(a)に作製したスピン LED の模式図を示す。*p*-GaAs(100)基板上に $In_{0.5}Ga_{0.5}As$ QD を光学活性層とする LED 構造を分子線エピタキシー法により作製した。その後、超高真空搬送トンネルを介して別のチャンバーへ試料を移し膜厚 2.5 nm の GaO_x を電子ビーム蒸着により室温で成膜した。強磁性体 Fe と Au から成る電極層は酸素雰囲気下での加熱処理を施した後に電子ビーム蒸着法により成膜した。図 1(b),(c)に+3.0 T の印加磁場下における 15 K と 70 K での円偏光 EL スペクトルと円偏光度(CPD)スペクトルを示す。ここで、CPD は右(左)回り円偏光 EL の強度比であり、QD の発光準位における電子スピン偏極率を反映する。15 K では 25%のスピン注入効率に相当する +10 %の EL-CPD を観測した。一方で、70 K では EL 強度が大きく低下したとともに CPD がほぼ 0%であった。CPD の減少は温度上昇に伴う半導体中でのスピン緩和が影響していると考えられる。

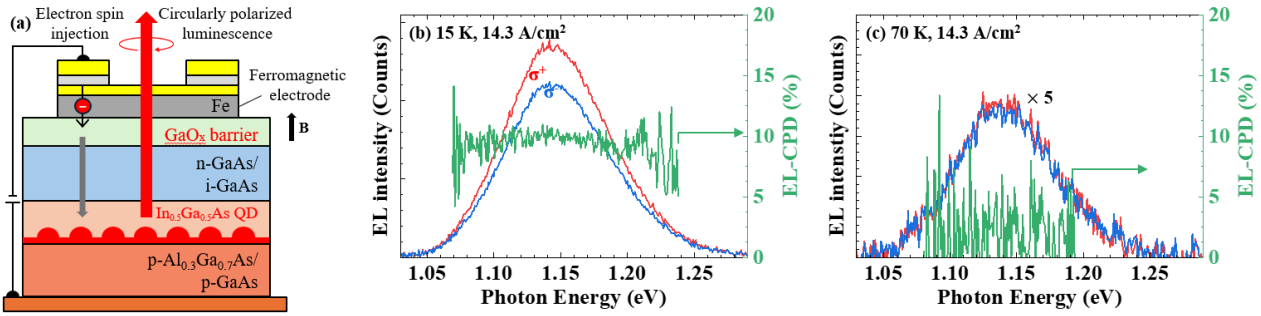


Fig. 1 (a) Schematic illustration of quantum dot spin-polarized emitting diode using GaO_x tunnel barrier. Circularly polarized EL spectra and corresponding EL-CPD spectra measured at (b)15 K and (c) 70 K, with a current density of 14.3 A/cm^2 under a magnetic field of +3.0 T perpendicular to the sample plane.

References:
[1] K. Etou et al., Phys. Rev. Appl. **16**, 014034 (2021). [2] M. Passlack et al., Appl. Phys. Lett. **68**, 3605 (1996).
[3] H. Saito et al., Appl. Phys. Express **2**, 083003 (2009). [4] H. Saito et al., Appl. Phys. Lett. **96**, 012501 (2010).

希薄窒化 GaNAs を用いた近赤外フォトダイオードにおける室温での光電流の偏光依存性

Polarization dependence of photocurrent at room temperature in a near-infrared photodiode using dilute nitride GaNAs

北大院情報科学 [1]，北大量子集積 [2]　○峯山 大輝 [1]，矢野 龍弥 [1]，江藤 亘平 [1]，樋浦 諭志 [1]，中間 海音 [2]，橋本 英季 [2]，峰久 恵輔 [2]，高山 純一 [1]，スバギョ アグス [1]，末岡 和久 [1]，石川 史太郎 [2]，村山 明宏 [1]

IST, Hokkaido Univ. [1], RCIQE, Hokkaido Univ. [2],

°D. Mineyama[1], T. Yano[1], K. Etou[1], S. Hiura[1], K. Nakama[2], H. Hashimoto[2], K. Minehisa[2], J. Takayama[1], A. Subagyo[1], K. Sueoka[1], F. Ishikawa[2], and A. Murayama[1]

E-mail: mineyama.daiki.l0@elms.hokudai.ac.jp

光の偏光状態を高速変調するスピン偏極レーザーは、従来の強度変調レーザーと比べて低消費電力かつ高速に動作するため光通信への応用が期待されている[1]。このような偏光情報通信の実現には偏光状態を検出する受光素子が必要不可欠であり、最近では希薄窒化 GaNAs を用いたフォトコンダクタが開発され、900 nm 以下のレーザー光の偏光状態を検出することに成功している[2]。この方法では、窒素添加によって生じる深い局在準位を介したスピン依存再結合(SDR)効果によって、直線偏光励起下と円偏光励起下の伝導電子数に差が生じることを利用している。しかし、実用を見据えた低い暗電流や雑音の観点ではフォトダイオード型の方が望ましく、また、より広い波長帯域で動作する必要がある。そこで、本研究では GaNAs を光学活性層に用いた pin 型フォトダイオードを作製し、1075 nm の近赤外域で入射光の偏光状態に依存した光電流特性を調べた。

試料構造を図 1 に示す。測定は光チョッパーと光弾性変調器を用いて試料に入射するレーザー光の強度と偏光状態を異なる周波数で変調し、偏光状態に依存しない光電流I_{photo}と依存する光電流Δiをロックイン検出した。測定結果を図 2 に示す。ここで、偏光状態の識別性能指標として、$F = \Delta i/(2I_{photo})$と定義した。$F$値は試料へ入射するレーザー光の強度の増加とともに向上し、負バイアスの増加にともなって減少した。F 値の系統的な変化が観測されたことから GaNAs 系フォトダイオードによる偏光検出に成功したと言える。当日の発表ではF値の変化について議論する。

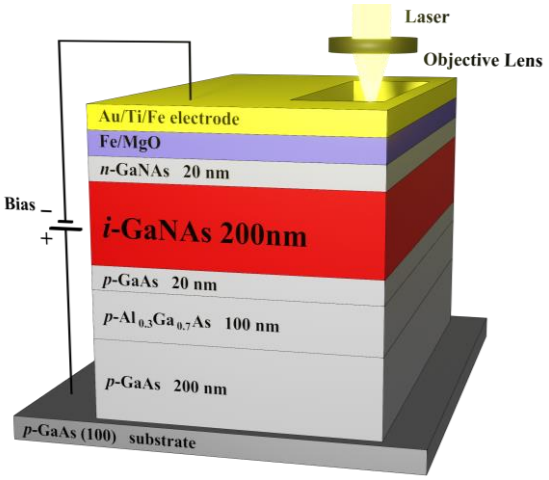


Fig. 1 Schematic illustration of GaNAs photodiode.

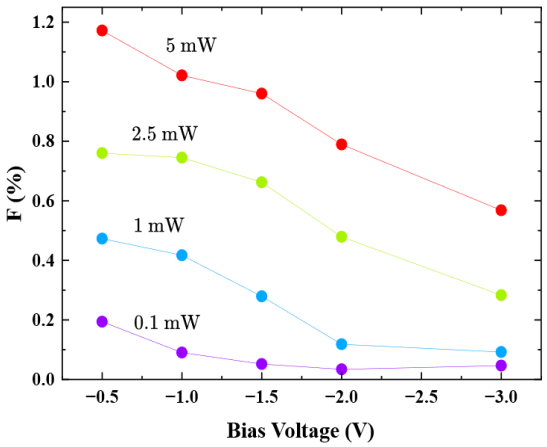


Fig. 2 Bias voltage dependence of F values measured with laser powers of 0.1, 1, 2.5, and 5 mW at room temperature.

References:
[1] M. Lindemann et al., Nature **568**, 212 (2019). [2] R. Joshya et al., Adv. Funct. Mater. **31**, 1900684 (2021).

© 2024年 応用物理学会

希薄窒化 GaNAs を用いた近赤外スピン受光ダイオードの磁場特性

Magnetic field dependence of a near-infrared spin photodiode using dilute nitride GaNAs

北大院情報科学 [1], 北大量子集積 [2] ○矢野 龍弥 [1], 峯山 大輝 [1], 江藤 亘平 [1], 中間 海音 [2], 橋本 英季 [2], 峰久 恵輔 [2], 小川 峰登 [1], 高山 純一 [1], 石川 史太郎 [2], 植村 哲也 [1], 樋浦 諭志 [1], 村山 明宏 [1]

IST, Hokkaido Univ.[1], RCIQE, Hokkaido Univ.[2],

○T. Yano[1], D. Mineyama[1], K. Etou[1], K. Nakama[2], H. Hashimoto[2], K. Minehisa[2], M. Ogawa[1], J. Takayama[1], F. Ishikawa[2], T. Uemura[1], S. Hiura[1], and A. Murayama[1]

E-mail: yano.tatsuya.u9@elms.hokudai.ac.jp

近年の情報処理に係る消費電力低減の観点から、不揮発性の電子スピンにより情報を保持し、情報伝送に光のスピン状態である円偏光を利用する光電スピン融合技術が注目されている[1]。円偏光情報の送受信を実現するには、左右円偏光を光電流で電気的に検出するスピン受光ダイオード(スピン PD)が必須である[2]。現状のスピン PD では、受光層で生成されたスピン偏極電子が半導体スピン輸送層を介して強磁性体電極に到達するまでにスピン偏極が緩和してしまうという課題がある。そこで、特異な光スピン特性を持つ希薄窒化 GaNAs に着目した。GaNAs は近赤外領域に受光感度を持ち、バンドギャップ中の深い局在準位が持つスピンフィルタリング効果により伝導電子のスピン偏極を室温で効率的に増幅できる[3]。しかし、スピン PD を構成する半導体層の大部分に GaNAs を用いた報告例はない。そこで、本研究では受光層およびスピン輸送層に GaNAs を用いたスピン PD を作製し、室温かつ磁場中での円偏光依存光電流特性を評価した。

図 1 に作製したスピン PD の試料構造を示す。*i*-$GaN_{0.02}As_{0.98}$ と *n*-$GaN_{0.02}As_{0.98}$ を含む半導体層は分子線エピタキシー法により作製し、MgO トンネル酸化膜は電子ビーム蒸着法、CoFeB/Ta から成る電極層はスパッタ法により作製した。光弾性変調器を用いて円偏光を変調したレーザー光をスピン PD に入射し、右回り・左回り円偏光受光時の光電流の差に対応する$\Delta i = i_{\sigma+} - i_{\sigma-}$をロックイン検出した。入射光波長は $GaN_{0.02}As_{0.98}$ のバンドギャップに相当する 1075 nm に設定した。図 2 に−0.4 V で得られたΔi の磁場依存性を示す。0~0.2 T において、Δiが減少する特異な振る舞いが観測された。これは印加磁場方向と逆向きに働く有効核磁場が影響していると考えられる[4]。0.2 T 以上では、磁場の増加とともにΔiが単調に増加した。これは、CoFeB の磁化配向に伴うスピン検出効率の増加および磁場印加により半導体層でのスピン緩和が抑制されたためと考えられる。

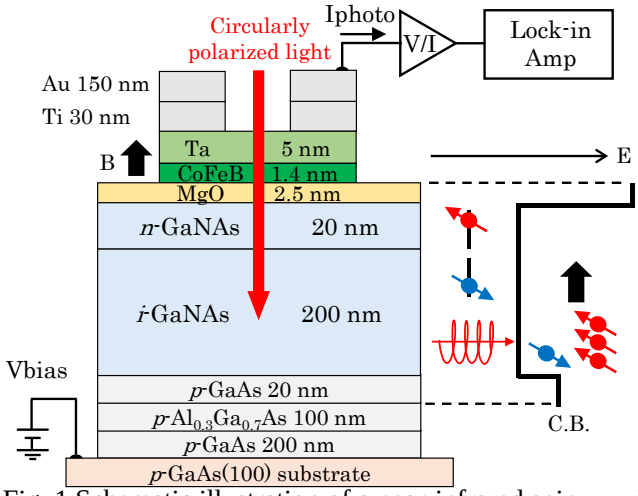


Fig. 1 Schematic illustration of a near-infrared spin photodiode using dilute nitride GaNAs.

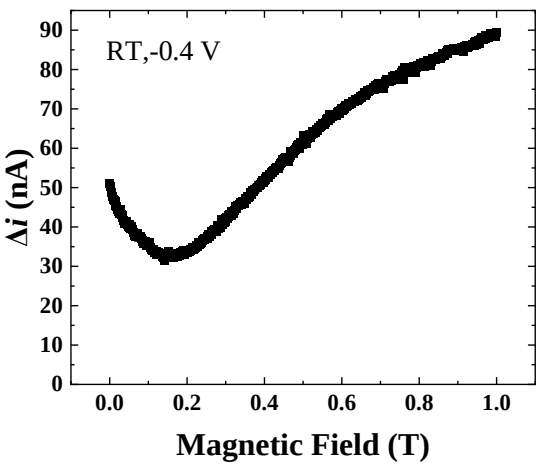


Fig. 2 Δi $(i_{\sigma+} - i_{\sigma-})$ as a function of magnetic field with a bias voltage of −0.4 V at room temperature.

References:

[1] P. Dainone et al., Nature **627**, 783 (2024). [2] R. C. Roca et al., Jpn. J. Appl. Phys. **56**, 04CN05 (2017).

[3] Y. Huang et al., Nat. Photonics **15**, 475 (2021). [4] R. S. Joshya et al., Adv. Funct. Mater. **31**, 1900684 (2021).

© 2024年 応用物理学会

13 半導体 | 一般セッション(ポスター講演)：13.8 光物性・発光デバイス

[17p-P07-1~23] 13.8 光物性・発光デバイス

[17p-P07-1]
画像解析による無機ELデバイスの発光特性の評価
〇佐藤 健人[1]、加来 龍也[1]、佐藤 修一[1] (1.東京電機大)

[17p-P07-2]
中周波パルススパッタリングで作製したZnO薄膜の超高速UV発光
〇日比野 孝太[1]、Cadatal-Raduban Marilou[2,4]、Jiří Olejníček[3]、丸山 祐樹[1]、Písaříková Aneta[3]、篠原 敬人[2]、浅香 透[1]、Volfova Lenka[3]、Kohout Michal[3]、Jiaqi Zhang[3]、赤部 勇午[2]、中嶋 誠[2]、Harrison John[3]、Hippler Rainer[3]、猿倉 信彦[2]、小野 晋吾[1]、Hubicka Zdenek[3]、山ノ井 航平[2] (1.名工大、2.阪大レーザー研、3.Czech Academy of Sciences、4.Massey Univ.)

[17p-P07-3]
深紫外発光 $ZnAl_2O_4$ 薄膜の成長相および膜質の評価
〇竹舎 大智[1]、保田 将希[1]、小南 裕子[1]、原 和彦[1]、大橋 雄二[2]、山路 晃広[2]、黒澤 俊介[2] (1.静岡大工、2.東北大)

[17p-P07-4]
アニール雰囲気によるEu添加AlN薄膜中のEuイオンの局所構造変化と発光への影響
〇(M2)宮野 和人[1]、千 英達[1]、村山 真理子[1,2]、加來 慎一郎[1]、趙 新為[1] (1.東理大理、2.東洋大工技研)

[17p-P07-5]
H_2及びO_2雰囲気で作成したTiO_2:Sm薄膜の発光と電気的特性の評価
〇加來 慎一郎[1]、村山 真理子[1,2]、宮野 和人[1]、趙 新為[1] (1.東理大理、2.東洋大工技研)

[17p-P07-6]
$Sr_{1.6}Ca_{0.4}Zn_2Ga_2O_7$: Bi^{3+} の残光特性に対するイオンの添加効果
〇花登 瞭[1]、御澤 悠希[1]、佐俣 博章[1] (1.神戸大海事)

[17p-P07-7]
第一原理計算を用いた$Sr_2MgSi_2O_7$:Eu,Dy長残光蛍光体における酸素欠陥準位の考察
〇上川 純平[1]、藤間 信久[1]、小南 裕子[1]、原 和彦[1] (1.静岡大工)

[17p-P07-8]
Eu^{2+}蛍光体における光励起キャリア経路の検討
〇中西 貴之[1]、髙橋 向星[1]、武田 隆史[1] (1.物材機構)

[17p-P07-9]
Cr^{4+}蛍光体におけるホスト結晶が及ぼす発光機能への影響
〇中西 貴之[1]、広崎 尚人[1]、武田 隆史[1]、森田 孝治[1] (1.物材機構)

[17p-P07-10]
近赤外蛍光体スクリーニング手法の確立-2-
〇大澤 祥宏[1]、中西 貴之[1]、小山 幸典[1]、鈴木 達[1]、森田 孝治[1]、武田 隆史[1]、広崎 尚登[1] (1.物材機構)

[17p-P07-11]

近赤外蛍光結晶化ガラスCr_2O_3-CaO-GeO_2に対するTa_2O_5添加の影響

〇七井 靖[1]、小久保 太陽[1]、佐竹 優太郎[1]、北沢 信章[1] (1.防衛大)

[17p-P07-12]

電荷移動状態を青色光で励起可能なEu^{3+}付活酸窒化物蛍光体

〇國本 崇[1]、篠田 裕喜[2]、林 純平[2]、大観 光徳[2] (1.徳島文理大、2.鳥取大)

[17p-P07-13]

固相反応法で合成されたLaF_3-LaOF: Yb^{3+}/Tm^{3+}の光学特性

〇野中 俊宏[1]、井上 悠太朗[1]、山本 睦人[1]、山本 伸一[2] (1.豊田高専、2.龍谷大理工)

[17p-P07-14]

$Na_5Y_{4-x}Gd_x(SiO_4)_4F$: Yb^{3+} , Re (Re = Er^{3+}, Ho^{3+}, Tm^{3+}) の蛍光特性

〇西井 渉[1]、佐俣 博章[1] (1.神戸大海事)

[17p-P07-15]

$Y_2(SiO_4)O$: Yb^{3+}, Er^{3+}のアップコンバージョン特性に対する構造相転移の影響

〇田中 義久[1]、佐俣 博章[1] (1.神戸大海事)

[17p-P07-16]

Dy^{3+}/Er^{3+} co-doped $SrMoO_4$ phosphors for wLED application

〇(D)Satyam Chaturvedi[1], Praveen Chandra Pandey[1] (1.IIT (BHU), Varanasi)

[17p-P07-17]

ダイヤモンドアンビルセルを使った無機蛍光体の高圧その場観察

〇石垣 雅[1]、渡邉 美寿貴[2]、浜根 大輔[3]、後藤 弘匡[3]、戸田 健司[2]、三浦 登[4]、大観 光徳[5] (1.東京大工、2.新潟大工、3.東京大物性研、4.明治大理工、5.鳥取大工)

[17p-P07-18]

リンゴ酸由来カーボン・ナノコンポジット蛍光体へのジエチレントリアミン添加による長波長化

〇中川 惟道[1]、瀧澤 央基[1]、加藤 有行[1] (1.長岡技科大工)

[17p-P07-19]

ハロゲン置換によるCs_2ZrCl_6蛍光体の発光特性制御

〇藤原 千隼[1]、並木 宏允[1]、黒澤 俊介[2,3,4] (1.（地独）都産技研、2.東北大 NICHe、3.東北大 金研、4.阪大レーザー研)

[17p-P07-20]

遊星ボールミルを用いた$Cu_2ZnSnSe_4$結晶の作製

〇佐藤 亜季子[1]、尾崎 俊二[1] (1.群馬大理工)

[17p-P07-21]

$Cu_xAg_{1-x}InTe_2$半導体結晶の育成と光学特性

〇(M2)中川 皓晴[1]、尾崎 俊二[1] (1.群馬大学)

[17p-P07-22]

$CsPbBr_3$/Cs_4PbBr_6における光学冷却の励起光強度依存性

〇大木 武[1]、森田 剛[1]、福田 光希[2]、市川 修平[2]、小島 一信[2]、山田 琢允[3]、金光 義彦[3]、山田 泰裕[1] (1.千葉大院理、2.阪大院工、3.京大化研)

[17p-P07-23]

Research on optical measurement aided by deep learning-based classification and recognition of nanomaterial images

〇Yicheng Zhao[1], Satoshi Hiura[1], Junichi Takayama[1], Akihiro Murayama[1] (1.IST, Hokkaido Univ.)

画像解析による無機 EL デバイスの発光特性の評価

Image Analysis for Evaluating the Luminescent Characteristics of Inorganic EL Devices

東京電機大　°佐藤　健人，加来　龍也，佐藤　修一

Tokyo Denki Univ., °Taketo Sato, Tatsuya Kaku, Shuichi Sato

E-mail: s.sato@mail.dendai.ac.jp

はじめに

Electroluminescence (EL) は、電気エネルギーを直接光エネルギーに変換する技術であり、その効率と環境に優しい特性から、ディスプレイ技術や照明装置など多岐にわたる応用が可能である。この研究では、無機 EL デバイスの蛍光体層の厚さや電極の配置が光電的性質に与える影響をについて研究を行い、基本特性および発光特性を様々な測定方法で評価した。特に、新たに導入した画像処理技術により、一般的なカメラを使用して輝度分布と色彩分布を定量的に分析し、従来の輝度計と比較してデバイスの輝度や色品質の微細な変化も捉えることが可能となった。

実験

本研究では、層の厚さやデバイスの構造の異なる 4 種類の無機 EL デバイスを製作した。Fig.1 に示すように EL デバイスは、透明電極（ITO ガラスおよび櫛形電極）、蛍光体層（ZnS : Cu,Cl）、誘電体層（チタン酸バリウム）、背面電極（カーボンインク）から構成され、蛍光体層と誘電体層はハンドコーターを用いて特定の厚さに塗布し、乾燥させ、各種測定に用いた。

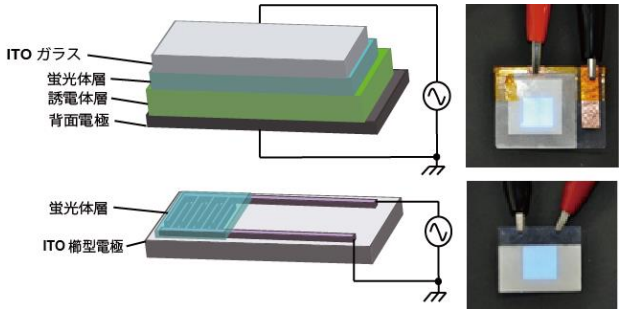


Fig. 1. The structure of the dispersed inorganic EL device and EL using Comb electrodes.

結果

実験結果の一例として、Fig.1 に発光時の様子を示す。本研究では、無機 EL デバイスの発光画像から OpenCV を使用して輝度解析を行った。一般的に使用される AF 機能で撮影したものに関しては、異なる輝度を有するデバイスにおいて全て最大輝度を示しており、差を検知することができなかった。この問題を解決するために、Fig.2 に示すようにシャッタースピードを早くし、撮影した画像で輝度値を再評価した結果、EL デバイスの異なる構造が輝度に及ぼす影響をその分布も含めて観察することが可能となった。

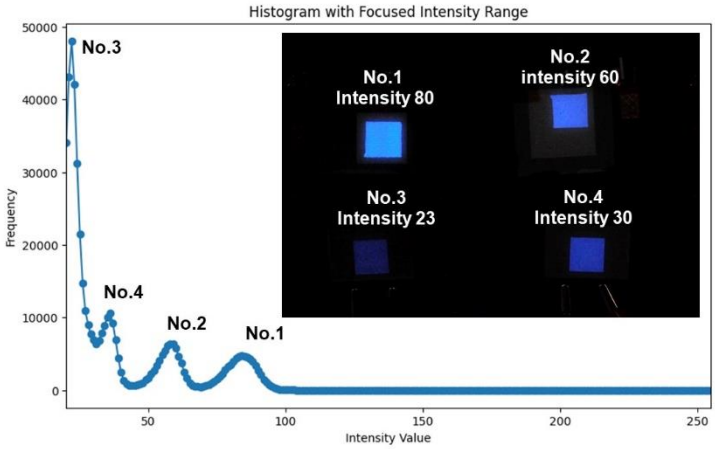


Fig. 2. Luminance distribution obtained through image analysis using a DSLR camera at fast shutter speeds.

© 2024年 応用物理学会

中周波パルススパッタリングで作製した ZnO 薄膜の超高速 UV 発光

Ultrafast UV Luminescence of ZnO Films fabricated by pulsed reactive magnetron sputtering operating in the medium-frequency range

名工大 [1], 阪大レーザー研 [2], Czech Academy of Sciences[3], Massey Univ.[4]
○(M1) 日比野 孝太 [1], M. Cadatal-Raduban[2,4], J. Olejníček[3], 丸山 祐樹 [1], A. Písaříková[3], 篠原 敬人 [2], 浅香 透 [1], L. Lebedová Volfová[3], M. Kohout[3], Z. Jiaqi[3], 赤部 勇午 [2], 中嶋 誠 [2], J. A. Harrison[3], R. Hippler[3], 猿倉 信彦 [2], 小野 晋吾 [1], Z. Hubička[3], 山ノ井 航平 [2]
Nagoya Institute of Technology.[1], Institute of Laser Engineering, Osaka Univ. [2], Czech Academy of Sciences.[3], Massey Univ.[4]
°K. Hibino[1], M. Cadal-Raduban[2,4], J. Olejníček[3], Y. Maruyama[1], A. Písaříková[3], K. Shinohara[2], T. Asakata[1], L. Lebedová Volfová[3], M. Kohout[3], Z. Jiaqi[3], Y. Akabe[2], M. Nakajima[2], J. A. Harrison[3], R. Hippler[3], N. Sarukura[2], S. Ono[1], Z. Hubička[3], and K. Yamanoi[2]
E-mail: cmj12087@ict.nitech.ac.jp

TOF センサなどの応用において、100 ps 以下の短い発光減衰時間が必要とされており、実用化には高速な減衰時間と高い発光強度の両立が必要となる。ZnO は約 380 nm の波長でピコ秒の励起子発光を示すため注目されているが、ZnO 結晶の室温での減衰時間は通常 440～900 ps の範囲である。また、インジウムをドープすることにより、減衰時間を 15 ps まで短縮することが報告されているが、この短縮には発光量の減少が伴う[1]。

本研究では、発光減衰時間に与える膜質の影響を調査することを目的に中周波パルススパッタリング(MF)および電子サイクロトロン波共鳴を適用した成膜法(MF+ECWR)の二つの成膜法を用いて厚さ 2.2 μm から 5.7 μm の ZnO 薄膜をソーダライムガラス基板上に作製した。これらの薄膜は優れた発光特性を示し、特に MF で作製した厚さ 2.2 μm の薄膜は、報告されている中で最短である 9 ps の減衰時間を示した。

Fig.1 にはストリークイメージから得られたフォトルミネッセンスの時間分解スペクトルを示した。MF で作製した薄膜の発光減衰時間は MF+ECWR で作製した薄膜よりも 2～3 倍短いことが確認できる。また、MF および MF+ECWR で作製した薄膜のカソードルミネッセンス測定から、MF で作製した薄膜では欠陥量が多いことが確認できた。これまでに、ZnO の UV 発光スペクトルは 2 つの減衰成分を持ち、速い減衰成分が欠陥や不純物の高密度領域に、遅い減衰成分が良好な結晶性を持つ領域に由来することが提唱されている[1]。本研究でも同様に、欠陥濃度が高いほど速い減衰成分が増加し減衰時間が短くなることが示された。

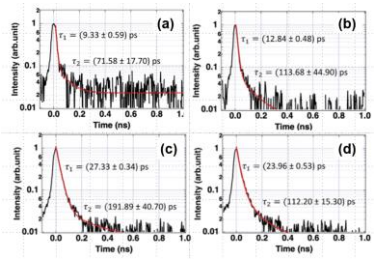


Fig.1 Streak camera image
(a)MF 2.2μm (b) MF 4.7μm (c)MF+ECWR3.0μm (d)MF+ECWR 5.7μm

参考論文

[1] M. Kano, et.al., J. Cryst. Growth, 318, 788 (2011).
[2] M. Cadatal-Raduban, et.al., Adv. Optical Mater., 2400377 (2024)

深紫外発光 $ZnAl_2O_4$ 薄膜の成長相および膜質の評価

Evaluation of growth phase and film quality of deep-ultraviolet emitting $ZnAl_2O_4$ thin film

[1]静岡大学 大学院 総合科学技術研究科，[2]静岡大学 電子工学研究所，
[3]東北大学 未来科学技術共同研究センター，[4]東北大学 金属材料研究所
○(M2)竹舎 大智[1]，(M1)保田 将希[1]，小南 裕子[1]，原 和彦[1,2]，大橋 雄二[3]，山路 晃広[4]，黒澤 俊介[3,4]
[1]Graduate School of Integrated Sci.&Technol., Shizuoka Univ.,[2] Res. Inst. of Electron., Shizuoka Univ., [3]New Industry Creation Hatchery Center, Tohoku Univ., [4]Inst. of Materials Res., Tohoku Univ.
°(M2) Daichi Takeya[1], (M1) Masaki Yasuda[1], Hiroko Kominami[1], Kazuhiko Hara[1,2], Yuji Ohashi[3], Akihiro Yamaji[4], Shunsuke Kurosawa[3,4]
E-mail: kominami.hiroko@shizuoka.ac.jp

1. 緒言

殺菌・浄水分野において 260 nm 付近の紫外光が最も強く作用すると云われている。殺菌用紫外光源ランプとして水銀ランプなどが使用されているが環境負荷などの観点から利用が望ましくない。このような状況下で我々は高効率・低コスト・低環境負荷な新たな殺菌用紫外発光デバイスの開発を目指し、その発光層として電子線励起により 250 nm 付近に深紫外発光を示す $ZnAl_2O_4$ に着目した。デバイス開発において殺菌能力の向上、発光層への印加電圧の制御、紫外光透過電極の作製といった多くの課題がある。今回、発光層の最適な形成条件について検討するため、$ZnAl_2O_4$ 膜内の成長相の分布および膜質の評価を行った。

2. 実験方法

基板として c 面サファイアを使用し基板上にマグネトロンスパッタリング法により ZnO を約 300 nm 堆積後、その上にキャップ層として Al_2O_3 を約 25 nm 堆積させた。スパッタリング後、マッフル炉を用いて大気雰囲気下でアニール処理 (990 ℃、50 時間)を施し $ZnAl_2O_4$ 薄膜の作製を行った。また、作製後の試料について 5.66 mol･L^{-1} 塩酸を用いて薄膜表面のエッチング処理を行い、膜内部を露出させ、その特性評価をカソードルミネッセンス (CL)、XRD、分析 FE-SEM などにより行った。

3. 結果と考察

Fig.1 にエッチング処理を施した $ZnAl_2O_4$ 薄膜の CL ピーク強度、波長の推移を示す。400 nm のエッチング処理によって CL ピーク強度の大幅な減少および短波長側へのピークシフトが確認された。この結果から、作製した $ZnAl_2O_4$ 薄膜は表面から約 400 nm 付近で内部の成長相が変化していると考えられる。先行研究より、$ZnAl_2O_4$ 内の Zn 比が大きい場合、発光ピークは長波長側にシフトすることがわかっており、ここではピーク波長がエッチングにより短波長側にシフトしていることから、形成された $ZnAl_2O_4$ 薄膜は化学量論組成比よりも Zn が少ないと考えられる。また EDS により Zn 拡散領域は約 600 nm であり、形成された層には $ZnAl_2O_4$ だけでなく Al_2O_3 : Zn 領域が存在すると考えられる。

Fig.2 にエッチング処理を施した $ZnAl_2O_4$ 薄膜の透過スペクトル、吸収端波長の推移を示す。試料は内部 400 nm より深い領域で短波長側にシフトした。この領域ではアニールにより熱拡散した Zn 量が不十分であり Zn が不足した $ZnAl_2O_4$ が形成されたと考えられる。これは約 400 nm で CL 強度が著しく低下したこととも一致した。

作製した $ZnAl_2O_4$ 薄膜について2θχ/φ、φスキャンを行ったところ、基板の c 面に $ZnAl_2O_4$(333)、m 面に(220)、a 面に(422)、(533)が配向していた。しかしエッチングにより内部 400 nm では内面配向性が一部失われ、450 nm では殆ど失われた。これより、表面より約 400 nm までは概ね良質な発光層が形成されているが、更に深い領域では $ZnAl_2O_4$ 形成が不十分であると考えられる。

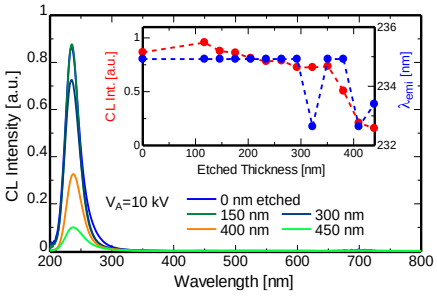


Fig.1 CL spectra and relationships of CL Intensity and peak wavelength of $ZnAl_2O_4$ against etching thickness.

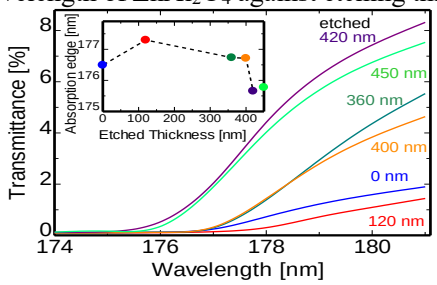


Fig.2 Transmittance spectra and absorption edge of $ZnAl_2O_4$ against etching thickness.

4. まとめ

エッチング処理を行った $ZnAl_2O_4$ 薄膜の CL、透過率測定結果より、薄膜表面から約 400 nm までは紫外発光特性を強く示す良質な発光層が形成されていることが分かった。一方、より深い領域では Zn の不足により CL 強度が低下し、発光層形成が不十分であり、今後のデバイス応用に向け改善が必要であると考えられる。

© 2024年 応用物理学会

アニール雰囲気による Eu 添加 AlN 薄膜中の Eu イオンの局所構造変化と発光への影響

Influence of Structural Changes Induced by Annealing Atmospheres on Luminescent properties of Eu^{2+}, Eu^{3+}- doped AlN Thin Films

東理大理 [1], 東洋大工技研 [2] °(M2)宮野 和人 [1], (D)千 英達 [1],村山 真理子 [1,2], (M2)加來 慎一郎 [1], 趙 新為 [1]
Tokyo Univ. of Sci. [1], Toyo Univ. Research Institute of Industrial Technology [2]
E-mail: xwzhao@rs.tus.ac.jp

窒化アルミニウム (AlN) は、様々な欠陥準位 (V_{Al}、V_N、i_{Al}、i_N) に起因する紫外～青色光領域での発光を示すことから、LED として利用されている。一方、ユーロピウム (Eu) は、蛍光体材料として広く用いられ、Eu^{3+}では 4f-4f 遷移によるシャープな赤色発光を、Eu^{2+}では 4f-5d 遷移によるブロードな緑色発光を示す。そのため、AlN を母材として Eu^{2+}、Eu^{3+}を添加することで、赤、緑、青色の光の三原色が揃うため、白色発光デバイスとしての応用が見込まれる。Eu イオンの価数状態は、隣接原子の数や種類といった、Eu 原子周辺の局所構造に影響される。特に、窒化物中においては、Eu イオンの配位子における酸素の有無が、AlN:Eu 薄膜中の Eu の価数や発光色に影響を与えることが報告されている[1]。本研究では、AlN:Eu 薄膜の Eu イオン周りの局所構造の変化と発光波長に及ぼす、異なる雰囲気下 (N_2、O_2) でのアニールの影響について議論する。

AlN:Eu 薄膜は、PLD 法により Si (111) 基板上に作成した。ターゲットには AlN : Eu_2O_3 (95 : 5 wt%)を使用し、YAG-Laser の第 3 高調波 (355 nm) を用いて、1.8×10^{-5}Torr の圧力下で成膜した。その後、成膜した AlN:Eu 薄膜を O_2 または N_2 雰囲気中で、700 ℃、900 ℃、1100 ℃でアニールした。発光特性は、He-Cd レーザー (325 nm) 励起下のフォトルミネッセンス (PL) によって評価し、Eu^{2+}と Eu^{3+}周辺の局所構造の変化は X 線吸収微細構造 (XAFS) 測定によって解析した。N_2 雰囲気中でアニールした試料は、図 1 に示すように、AlN の欠陥準位に由来する 400 nm 付近と Eu^{2+}に起因する 500 nm 付近にピークを持つ PL スペクトルを示した。一方、O_2 雰囲気中でアニールした試料では、Eu^{3+}に起因する 617 nm のピークが AlN 欠陥や Eu^{2+}に起因するピークよりも比較的強く観測された。AlN:Eu の Eu L_{III}吸収端 XANES を図 2 に示す。N_2 雰囲気中でアニールした試料は Eu^{2+}と Eu^{3+}の両方を示したが、1100 ℃では Eu^{2+}が優勢であった。一方、O_2 雰囲気でアニールした試料は、アニール温度の上昇と共に Eu^{3+}が優勢となった。これらの結果は、AlN:Eu 中の Eu イオンの価数状態は、アニール雰囲気の選択によって制御できることを示唆している。Eu イオンの配位子の数、種類、隣接原子との距離などの詳細については学会にて議論する。

参考文献 [1] L. Yin, Q. Zhu, W. Yu, L. Hao, X Xu, F. Hu, and M. Lee, J. Appl. Phys. 111, 053534 (2012).

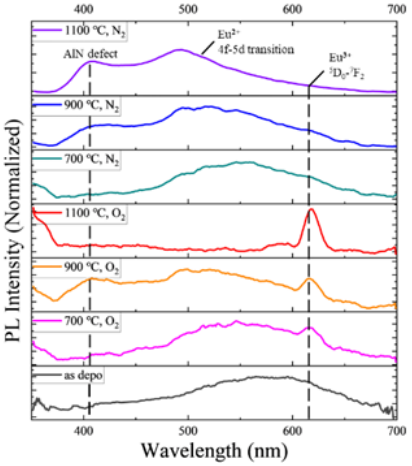


Fig. 1 PL spectra of AlN:Eu sample series annealed in N_2 and O_2 atmospheres at different temperatures.

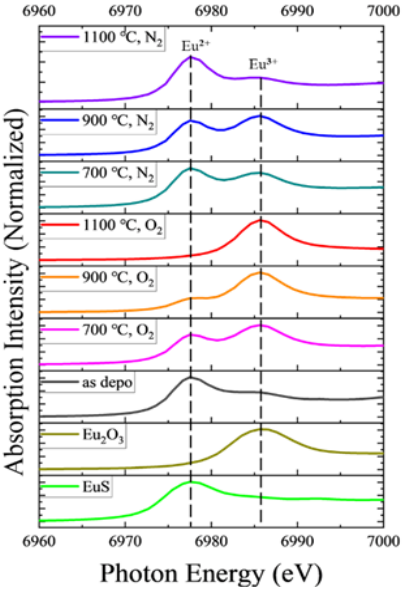


Fig. 2 XAFS of AlN:Eu sample series and standard samples, EuS (Eu^{2+}) and Eu_2O_3 (Eu^{3+}) powders.

© 2024年 応用物理学会

H_2及び O_2 雰囲気で作成した TiO_2:Sm 薄膜の発光と電気的特性の評価

Optical and Electrical Properties of TiO_2:Sm Thin Films Fabricated in H_2 and O_2 Atmospheres

東理大理 [1]，東洋大工技研 [2]，°加來 慎一郎 [1]，村山 真理子 [1,2]，宮野 和人 [1]，趙 新為 [1]

Tokyo Univ. of Science [1], Toyo Univ. Research Institute of Industrial Technology [2]

°Shinichiro Kaku[1], Mariko Murayama[1,2], Kazuto Miyano[1], Xinwei Zhao[1]

E-mail: xwzhao@rs.tus.ac.jp

【はじめに】

サマリウム添加酸化チタン（TiO_2:Sm）は、鋭く強い発光を示すことから、発光デバイスへの応用が期待されている。

一般的に、TiO_2 などの n 型酸化物半導体は、酸素欠損によって自由電子が生成される。[1] そのため、TiO_2 は酸素欠損を増加させることで、キャリア濃度が増加し、抵抗が減少すると考えられる。一方で、酸素は希土類添加酸化物半導体の発光特性にも重要な役割を果たす。例えば、TiO_2:Sm では Sm^{3+}周囲の局所構造が歪むと発光強度が向上することが分かっている。[2]

本研究では、酸素ガス（酸化雰囲気）と水素ガス（還元雰囲気）で TiO_2:Sm 薄膜を作成し、発光特性と電気的特性の評価を行った。

【実験方法】

TiO_2:Sm 薄膜は、PLD 法で作成した。ターゲットに TiO_2:Sm_2O_3 (99:1wt%)を用いて、O_2 雰囲気と H_2+N_2 雰囲気中（1×10^{-2} Torr）で成膜した。その後、700 ℃で 10 分間のアニール処理をそれぞれ O_2 雰囲気と H_2+N_2 雰囲気中で行った。

その後、PL 測定で発光特性の評価、XRD で結晶性の評価、XAFS 測定で局所構造の評価、UV-vis でバンドギャップの評価を行った。また、ショットキー電極として RuO_2 を TiO_2:Sm 上に PLD 法で積層し、I-V 測定, C-V 測定を行った。

【実験結果】

Fig.1 に、異なる成膜,アニール雰囲気で作成した TiO_2:Sm の PL スペクトルを示す。

成膜とアニールを共に O_2 雰囲気で作成した試料（OO）が最も強い発光を示し、成膜とアニールを共に H_2 雰囲気で作成した試料（HH）では発光スペクトルは観測されなかった。また、H_2 雰囲気で成膜し、O_2雰囲気でアニール処理した試料（HO）の発光強度は OO の約 1/8、O_2 雰囲気で成膜し、H_2雰囲気でアニール処理した試料（OH）の発光強度は OO の約 1/15 であった。

その他、実験の詳細は、当日発表する。

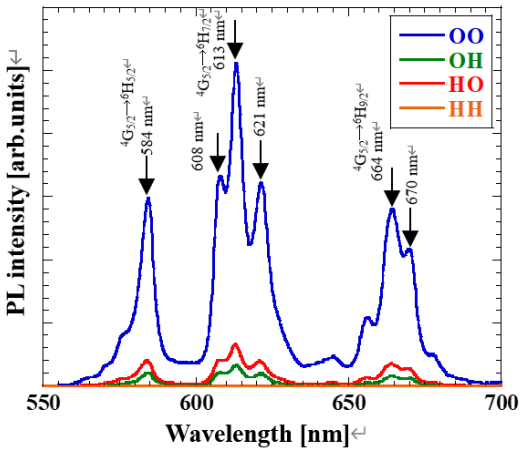


Fig.1. PL spectra of TiO_2:Sm with different fabricating/annealing atmospheres.

[1] A. Ishizawa, et al., "A significant increase in carrier concentration in TiO_2 by Sm doping," Japanese Journal of Applied Physics, (2024).
[2] Mariko Murayama, Optical, electrical and local fine structural characterisation of Rare-Earth doped TiO2 thin films for application as luminescent phosphors in LEDs, PhD Thesis, 2021

© 2024年 応用物理学会

$Sr_{1.6}Ca_{0.4}Zn_2Ga_2O_7$: Bi^{3+} の残光特性に対するイオンの添加効果

The effects of ion doping on afterglow characteristics of $Sr_{1.6}Ca_{0.4}Zn_2Ga_2O_7$: Bi^{3+}

神戸大海事　○(M2)花登 瞭，(M1)御澤 悠希，佐俣 博章
Kobe Univ., ◦Ryo Hanato, Yuki Misawa, Hiroaki Samata
E-mail: samata@maritime.kobe-u.ac.jp

残光材料は、光吸収により物質内部の励起状態が変化し、この励起状態が時間の経過に伴い解消されることで長時間発光する。そのため、低照度環境下での視認性を向上させる目的で様々な応用がされており、より特性の優れた新材料の開発が求められている。

$R_2Zn_2Ga_2O_7$ (R = $Ca_{0.5}Ba_{0.5}$, $Sr_{0.5}Ba_{0.5}$, Sr) は、Bi^{3+} を添加することで残光を示すことが報告されている[1)]。また、本研究室の先行研究にて、アルカリ土類金属の比率を変化させることで、その残光特性が大きく変化することが明らかになっている。本研究では、比較的残光特性が優れている $Sr_{1.6}Ca_{0.4}Zn_2Ga_2O_7$: Bi^{3+} に対し、様々なイオンを添加した試料を合成し、その結晶学的、光学的性質の評価を行うことで、より優れた残光材料を得るために必要となる材料設計指針を得ることを目指した。

試料は、$SrCO_3$, $CaCO_3$, ZnO, Ga_2O_3, R_2O_3 (R = Bi, La, Gd, Yb) を原料とした固相反応法を用いて、1150 ℃, 12 時間、大気中で熱処理することで合成した。得られた試料の結晶構造は、粉末 X 線回折データを用いた Rietveld 法によって評価した。光学的性質は、波長 365 nm の UV ランプを光源として用いて発光スペクトルを分光器により評価するとともに、光照射停止後の波長 580 nm における残光特性を蛍光寿命測定装置を用いて評価した。

Fig. 1 (a) は、得られた試料が (b) の結晶構造であると仮定した際の $Sr_{1.6}Ca_{0.4}Zn_2Ga_2O_7$: Bi^{3+}, R^{3+} の Rietveld 解析の結果である。実験値と計算値はよく一致し、目的物質が主相となる試料が得られたと判断した。

Fig. 2 は、$Sr_{1.6}Ca_{0.4}Zn_2Ga_2O_7$: Bi^{3+}, La^{3+} に対して、波長 365 nm の紫外光照射中と照射停止後の発光スペクトルとそのガウスフィッティング結果である。La^{3+} を共添加した試料においては、残光特性を悪化させることなく、発光色の制御が可能となることが明らかとなり、残光色が黄緑色から橙色へと変化した。これは、La^{3+} の共添加により Sr^{2+}/Ca^{2+} の配位数が変化したためと考えられる。発表では、イオンの共添加効果、本系における発光機構や残光発現機構について詳細に報告する。

参考文献

1) D. Liu *et al*., Chem. Mater., 32 (2020) 3065

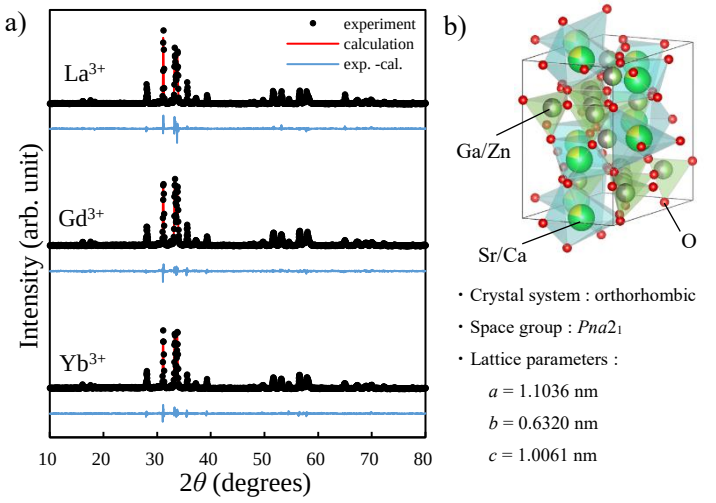


Fig. 1 (a) Powder X-ray diffraction data of $Sr_{1.6}Ca_{0.4}Zn_2Ga_2O_7$: Bi^{3+}, R^{3+} and results of refinement by the Rietveld method.
(b) Crystal structure of $Sr_{1.6}Ca_{0.4}Zn_2Ga_2O_7$: Bi^{3+}.

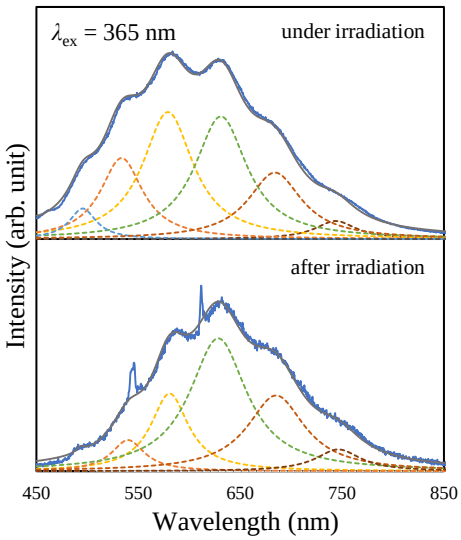


Fig. 2 Emission spectra of $Sr_{1.6}Ca_{0.4}Zn_2Ga_2O_7$: Bi^{3+}, La^{3+} under and after 365 nm irradiation.

第一原理計算を用いた$Sr_2MgSi_2O_7$:Eu,Dy長残光蛍光体における酸素欠陥準位の考察

Study on oxygen defect energy level of $Sr_2MgSi_2O_7$:Eu,Dy afterglow phosphors using the first principles calculations

(M2) 上川純平 [1], 藤間信久 [1], 小南裕子 [1], 原和彦 [1,2]
[1] 静岡大学大学院, 総合科学技術研究科, [2] 静岡大学電子工学研究所
[1]Graduate School of integrated Science and Technology, Shizuoka University
[2]Research Institute of electronics Shizuoka University
Jumpei KAMIKAWA[1] Nobuhisa FUJIMA[1] Hiroko KOMINAMI[1] Kazuhiko HARA[1,2]
E-mail: kamikawa.jumpei.19@shizuoka.ac.jp

1 緒言

長残光蛍光体は、励起光源を遮断した後でも長時間発光を持続する物質である。本研究では、$Sr_2MgSi_2O_7$ (SMS)結晶系母体材料に着目し、より適した電子トラップ準位を形成する元素を探索することで、低温下における利用を目的とした改良を行っている。

これまでにTL測定により、添加した希土類元素のf軌道及び、酸素欠陥準位が電子トラップとして残光メカニズムに作用している可能性が示唆された。現在、希土類を添加したSMSに対して、密度汎関数理論（DFT）に基づく第一原理計算を行い、状態密度（DOS）やバンド図を求め、f軌道準位や酸素欠陥準位の評価を行っている。

2 実験方法

本研究におけるすべての第一原理計算は、偽ポテンシャルと平面波基底における非経験的第一分子運動力学プログラムであるVASP 5.3.5を用いて行った。内殻軌道電子は PAWポテンシャル法によって記述され交換相関汎関数に、metaGGA-MBJを用いた。

3 結果と考察

SMS、SMS:Eu、SMS:Dy、SMS:Eu,DyのDOSをFig.1 に示す。SMSの禁制帯幅は、6.85 eVとなった。過去の報告では禁制帯幅は 4.50 eVであることを踏まえると、今回の計算で得られた結果は信頼度が高いといえる。何れのf軌道由来のピークも伝導帯下部に近接していた。

酸素欠陥を有するSMS:EuのDOSをFig.2 に示す。f軌道由来のピークは、価電子帯下端に近接しており、酸素欠陥由来のピークは価電子帯から、0.61 ~ 1.81 eV上に見られた。希土類元素を共添加したものはf軌道準位は伝導帯下部に形成されるが、近隣に酸素欠陥が生じることにより希土類の準位の深さが変化することが示された。

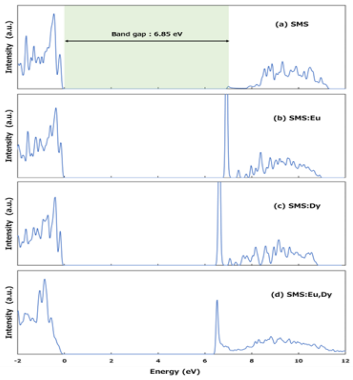


Fig.1 DOS of (a) SMS, (b) SMS:Eu, (c) SMS:Dy and (d) SMS:Eu,Dy

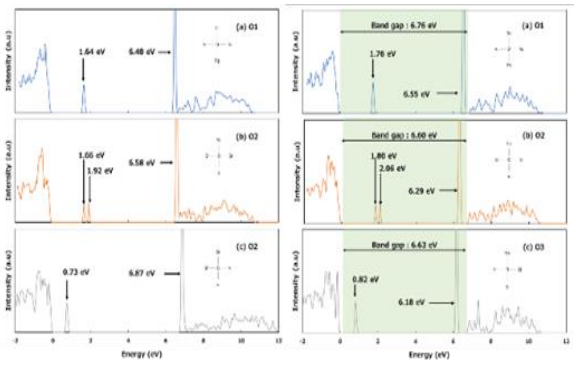


Fig.2 DOS of SMS:Eu with O-defect, O-defect at neighboring Eu (left) and at non-neighboring Eu (right).

4 まとめ

希土類を添加したSMSに対して計算を行い、禁制帯幅、f軌道準位、酸素欠陥準位の評価を行った。禁制帯幅は 6.85 eVとなり、EuやDyのf軌道準位は、価電子帯下部に出現した。また、酸素欠陥に起因する準位は、従来の定説では伝導帯下端にあるとされていたが、今回の計算では価電子帯上端から 0.61 ~ 1.81 eV上に見られた。

[1] https://next-gen.materialsproject.org/materials/mp-6564/

Eu^{2+}蛍光体における光励起キャリア経路の検討

Investigation of photoexcited carrier paths in Eu^{2+}phosphors

物材機構 [1]，°中西 貴之 [1]，高橋向星 [1]，武田 隆史 [1]

NIMS [1], °Takayuki Nakanishi[1], Kohsei Takahashi[1], Takashi Takeda[1]

E-mail: NAKANISHI.Takayuki@nims.go.jp

［背景］ 本研究では、希土類で発光が生じる局在発光中心型蛍光体における光物性とホスト結晶のエネルギーバンド構造の関係性を明らかにする事を目的に、Eu^{2+}を賦活した $SrAl_2O_4$ および $CaAl_2O_4$ 単結晶およびそれら多結晶焼結体を用いてその光電流解析による電荷キャリアの動きを考察した。希土類イオンの励起状態からホスト結晶へのエネルギー散逸を見ることのできる電荷キャリアの動きは、蛍光体の温度消光や濃度消光など光現象と密接に関わるため、この理解は特に重要な知見を与える。本発表では、Eu^{2+}5d 励起準位とホストバンド構造のエネルギー位置関係が異なる状況材料系での光励起生成キャリアの挙動について詳細を報告する。これまでにモデル蛍光体として Eu^{2+}：$SrAl_2O_4$ 焼結体を用いた光電流測定法を行い、Eu^{2+}励起 5d 軌道から外部環境(ex.ホスト伝導帯)へのキャリア移動を確認しさらに励起波長に強く依存した活性化障壁が存在することを明らかにした[1, 2]。ここでは新たに Eu５d 励起状態とホストバンド構造との相対エネルギー位置関係が異なる材料で、結晶方位まで含めた光励起発光時のキャリアの動きについて検討を行う。

［実験］ 固相反応法および Floating Zone 法を用いて Eu^{2+}を添加した $SrAl_2O_4$ および $CaAl_2O_4$ の多結晶体および単結晶を作製した。単結晶試料は研磨を行い 2×2×5mm 程度の小片を得て光電流測定試料とした。バルク結晶の大凡の方位は X 線で確認し光物性の測定完了後に粉砕し XRD で相同定を行った。光電流測定では金電極を用い電極間は 1mm にしてクライオスタットに設置し、励起光源には分光した単色光を用いて電流シグナルを測定した。基礎光物性として量子収率の波長依存性および励起温度依存性を測定して光電流励起波長依存性についての考察を行う。

[結果] $SrAl_2O_4$ の Eu-5d 軌道下端はホスト伝導帯下端より下側に位置し一方で $CaAl_2O_4$ 中では伝導帯下端と Eu-5d 軌道の下端は同程度位置にあることが知られる。得られた光電流解析からこのエネルギー準位の違いが、光励起キャリアの生成と再結合に影響を及ぼしていることが示唆された。特に内部量子収率(IQE)の励起波長依存性の結果、$SrAl_2O_4$ では特定波長に閾値を持つ強い励起波長依存性を示し Eu^{2+}基底準位とホスト伝導帯のエネルギー差（3.1eV）以下の励起波長選択で IQE が高くなることが確認された。一方 $CaAl_2O_4$ は IQE の励起波長依存性は小さくフラットとなる反面、その値は全波長帯で低い値になる。得られた励起波長ごとの光電流温度依存測定から Eu-5d 軌道との重なりの有無で、発生した電荷一部が外部環境へと逃げるパスに活性化障壁があるが分かりかつそれが結晶方位に依存する結果が得られた。

[Ref.] [1] T. Nakanishi, S. Tanabe, *Proc.SPIE - The Inte. Soc. Opt. Eng.,* 7598(2010).

[2] J. Ueda, T. Nakanishi, et al., *Phys. Sta. Sol. (c)*, 9(12), 2322-2325(2012).

© 2024年 応用物理学会

Cr^{4+}蛍光体におけるホスト結晶が及ぼす発光機能への影響

Influence of host crystals on the photophysical properties of Cr^{4+} phosphors

物材機構 [1]　○中西 貴之 [1], 広崎 尚登 [1], 武田 隆史 [1], 森田 孝治 [1]

NIMS [1] ○Takayuki Nakanishi[1], Naoto Hirosaki[1], Takashi Takeda[1], Koji Morita[1],

E-mail: NAKANISHI.Takayuki@nims.go.jp

［背景］本研究では近赤外ブロード白色 LED の実現に向け、結晶場に依存して発光機能が大きく変化する $Cr^{4+}(d^2)$賦活蛍光体の近赤外での広帯域発光機能に注目し、以下ホスト結晶中での発光機能について検討を行う。準安定状態にある Cr^{4+}を結晶中に留めるためにはホスト結晶の選択とサイトエンジニアリングによる適切な物質設計の考慮が必要である。一例として Eu(2+または 3+)や Ce(3+または 4+)などの希土類イオンは蛍光体中で 2 つの異なる価数状態を持つことが可能である。これらの蛍光体中で複数の価数状態が共存している場合、それぞれの発光特性が著しく低下することが知られる。それゆえ蛍光体開発において価数の単一化は重要な項目となる。特に複数の価数状態を持つことができる遷移金属を活性イオンとして選択する場合、その共存する価数のバリエーションは希土類に比べてはるかに多い。例えば本研究で対象とする Cr イオンでは金属状態から 2 価から 6 価まで様々な価数が存在する。このため効率的な蛍光体を実現するためには、これらの価数を考慮することが最優先である。本報告では Cr^{4+}を結晶中に安定化させることを目的に選定した四配位サイトのみで構成されたホスト結晶として Li_2MgGeO_4(LMGO)、Li_2MgSiO_4(LMSO)、および Li_2ZnSiO_4(LZSO)の異なるホスト結晶を選択し、そのホスト結晶の構成元素によって顕著に変化する様々な発光機能について議論を行う。

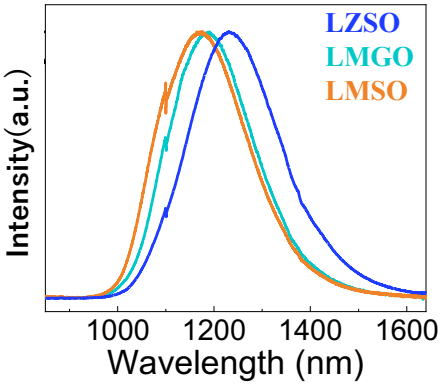


Fig. 1 PL-spectra of Li_2MgGeO_4, (LMGO), Li_2MgSiO_4 (LMSO) and Li_2ZnSiO_4(LZSO) under 650 nm-excitation.

[実験・結果] 試料として Cr 濃度を 1 mol%に固定した Li_2MgGeO_4(LMGO)、Li_2MgSiO_4(LMSO)および Li_2ZnSiO_4 (LZSO)を固相反応法により合成した。大気中 1200℃10 時間の焼成を行い 3%H_2-N_2 ガス雰囲気で 700°C 3 時間の熱処理を行った。得られた試料は粉体 X 線回折測定と単結晶構造解析を行い結晶相の同定および詳細な構造情報を得た。次に得られた粉体に対し拡散吸収スペクトル測定を行い条件による価数変化を検討した。近赤外分光評価システムを用いて励起/蛍光スペクトル測定、発光量子効率測定、寿命計測を行いその光物性の検討を行った。Fig. 1 に励起 650 nm で測定した発光スペクトルの例を示す。その発光スペクトルは赤色励起で 1170-1250 nm に発光ピークを持つ 1000-1600 nm におよぶブロードなスペクトルが得られた。この発光は SiO_4/GeO_4 の四面体サイトに置換した Cr^{4+}の d-d 遷移($^3T_2 \rightarrow {}^3A_2$)に帰属され、その発光強度は Cr^{6+}および Cr^{5+}が Cr^{4+}への還元処理で量子効率の増大と共に著しく増大した。ホスト結晶の元素変更と熱処理による Cr 価数制御は、効率的な Cr^{4+}発光体の設計指針として有用であり、広帯域LEDシステムに応用可能である次世代光源開発に貢献できる重要な知見が得られた。

※本研究成果一部は安全保障技術研究推進制度（JPJ004596）の支援を受けたものである。

近赤外蛍光体スクリーニング手法の確立-2-

Build a NIR Phosphor Screening System

物材機構 [1]　○大澤 祥宏 [1]、中西 貴之 [1]、小山 幸典 [1]、鈴木 達 [1]、
森田 孝治 [1]、武田 隆史 [1]、広崎 尚登 [1]
NIMS[1], ○Yoshihiro Osawa[1], Takayuki Nakanishi[1], Yukinori Koyama[1], Tohru Suzuki[1],
Koji Morita[1], Takashi Takeda[1], Naoto Hirosaki[1]
E-mail: OSAWA.Yoshihiro@nims.go.jp

【概要】

高可搬性かつ小型軽量で、紫外～赤外までをカバーする光源が求められている。そのためには蛍光体を応用したブロード光源が必要である。従来の可視に加え、近赤外を含む新たな赤外蛍光体の探索が不可欠である。

新たな赤外蛍光体を効率的に探索するため、機械学習を用いて近赤外発光が期待される候補を探索・合成し、発光するサンプルについてのみ詳細測定をおこなうシステムを構築し報告した[1]。前回は 900nm 以上の近赤外領域のみ検出するシステムだったため、発光のすそ野が可視領域にまたがるサンプルの検出が不可能だった。このようなサンプルも検出できるようにするためのシステムについて検討したのでその詳細について報告する。

【方法・結果】

可視領域の測定をするために、前回[1]の近赤外分光器に可視用分光器を追加した。それぞれの分光器に接続した光ファイバーを 1 本にまとめた Fiber を作製し、前回[1]の測定光学系にそのまま設置する事ができるようにした。その結果、可視～近赤外までのスペクトルを同時に測定できるようになった。 Xe 励起光源から 380nm～650nm の波長を同時照射するため、695nm 以下をカットする光学フィルターを受光部に設置し、700nm～1600nm の範囲において発光スペクトルを測定する事ができるようにした。結果、前回はできなかった 700～900nm に発光スペクトルをもつサンプルについてもスクリーニングをおこなうことができるようになり、可視～近赤外領域において、発光強度が高い蛍光体のみスクリーニングし、詳細測定をおこなうことで効率良く進められることが期待できる。

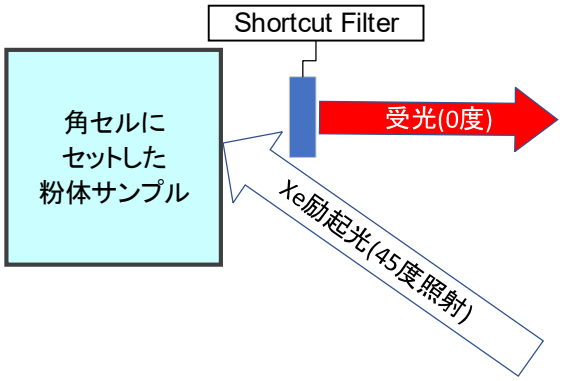


Fig.1 Scheme of measurement optics

※本研究は防衛装備庁の安全保障技術研究推進制度（JPJ004596）の支援を受けたものである。

[1] 大澤他 第 71 回応用物理学会春季学術講演会 23p-P04-12

近赤外蛍光結晶化ガラス Cr_2O_3-CaO-GeO_2 に対する Ta_2O_5 添加の影響

Doping Effects of Ta_2O_5 on Cr_2O_3-CaO-GeO_2 NIR Glass Ceramics Phosphors

防衛大　°七井 靖，小久保 太陽，佐竹 優太郎，北沢 信章

National Defense Academy, °Yasushi Nanai, Taiyou Kokubo, Yutaro Satake, and Nobuaki Kitazawa

E-mail: nanai@nda.ac.jp

食品や木材の成分分析や生体情報取得を非破壊かつ非侵襲で行うために、近赤外広帯域光源が利用されている。我々は LED ベースの近赤外広帯域光源の実現のために、透光性を有する Cr^{3+} 添加ゲルマン酸塩系結晶化ガラスを開発してきた[1]。前回、Cr イオンの価数制御を目的として Cr_2O_3-CaO-GeO_2 系結晶化ガラスに電荷補償剤になり得る Nb_2O_5 を添加し、発光量子収率（PLQY）が向上することを報告した[2]。今回は電荷補償剤として Ta_2O_5 を選択し、その添加濃度に対する結晶構造、光学的性質、および、発光特性の変化を明らかにしたので報告する。

Cr_2O_3, Ta_2O_5, $CaCO_3$, GeO_2 を 0.1Cr_2O_3-$x$$Ta_2O_5$-25CaO-75$GeO_2$ (x = 0 - 1) [mol%, 設計値]の比率となるように混合し、アルミナるつぼに充填した。1250 ºC で 1 h 溶融後、ステンレス型でプレス急冷した。その後 800 ºC で 3 h 熱処理し、試料を得た。粉末 X 線回折より試料中に c 軸方向に優先的に成長した $Ca_2Ge_7O_{16}$ が析出していることを確認した[1]。

Fig.1 は $^4T_2 \rightarrow {}^4A_2$ 発光の最大値で規格化した発光（PL）スペクトルである。Ta_2O_5 濃度 x の増加に伴い、Cr^{3+}の $^2E \rightarrow {}^4A_2$ 発光の構造の変化と $^4T_2 \rightarrow {}^4A_2$ 発光の半値全幅の減少が確認された。これは $Ca_2Ge_7O_{16}$ 中への Ta^{5+}の添加に起因して Cr^{3+}周辺の構造が変化したためだと考えられる。

Fig.2 は試料の発光量子収率（PLQY）および拡散反射スペクトルの吸収ピーク比から見積もった Cr^{4+}/Cr^{3+}比である。PLQY は Ta_2O_5 濃度 x = 0.5 で最大となり、その値は 0.30 であった。Cr^{4+}/Cr^{3+} 比は PLQY の値が高い範囲で低くなる傾向を示した。以上の結果は、Ta_2O_5 の添加による PLQY の向上はクロムイオンの価数制御に起因することが示唆するものである。

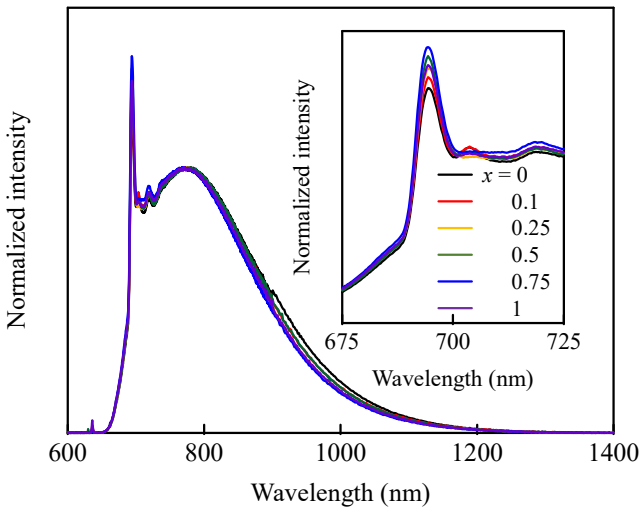


Fig.1 Normalized PL spectra of samples at 800ºC.

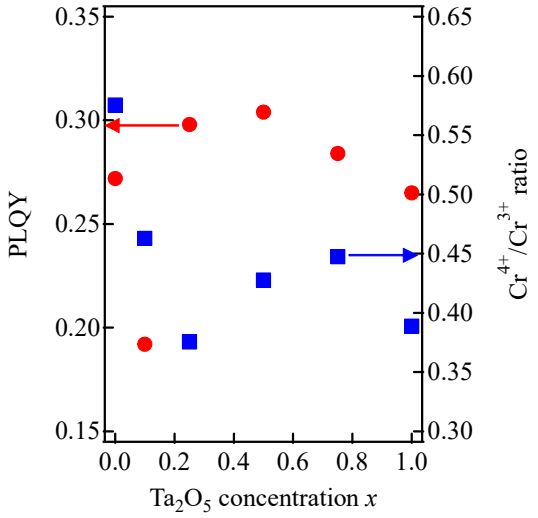


Fig.2 PLQY and Cr^{3+}/Cr^{4+} ratio of samples.

[1] Jpn. J. Appl. Phys. **62** 082001-1-6 (2023). [2] 第 84 回応用物理学会秋季学術講演会, 22p-P10-11 (2023).
本研究の一部は JSPS 科研費 21K14412（若手）, 24K08575（基盤 C）の助成を受けて実施した。

© 2024年 応用物理学会

電荷移動状態を青色光で励起可能な Eu^{3+}付活酸窒化物蛍光体

Trivalent Eu-activated oxynitride phosphor excited by blue light via charge transfer state

徳島文理大学 [1]，鳥取大学 [2]
○國本 崇 [1]，篠田裕喜 [2]，林純平 [2]，大観光徳 [2]
[1]Tokushima Bunri Univ., [2]Tottori Univ. , Takashi Kunimoto[1], Hiroki Shinoda [2], Junpei Hayashi [2], Koutoku Ohmi [2]
E-mail: kunimoto@fst.bunri-u.ac.jp

青色光を赤色領域の光に変換する蛍光体が照明やディスプレイに用いる蛍光体変換型 LED（pcLED）のために多く開発されてきた。その多くは Eu^{2+}を付活した窒化物蛍光体で、4f-5d 遷移によるブロードな発光スペクトルを示し、赤色の色純度を高めるための発光ピーク波長の調整を行う際に、発光波長領域が人の視感度が著しく低下する長波長領域にまで渡ってしまうことから視感効率が下がる欠点を持っている。この問題を解決すべく $SrMg_3SiN_4$:Eu[1]など狭線幅な Eu^{2+}付活蛍光体も開発されているが、赤色領域で視感度が高い 610～630nm で線スペクトル発光を示す Eu^{3+}付活蛍光体を pcLED に適用できることが最も好ましい。しかしながら Eu^{3+}付活蛍光体を明るく光らせることができる電荷移動状態（CTS）を介した励起はほとんどの蛍光体で紫外域（酸化物蛍光体では 250nm 前後の深紫外）にあり、LED 応用には CTS の長波長化が必要である。古くからある Eu^{3+}付活蛍光体で CTS 励起帯が長波長に現れたものに La_2O_2S:Eu があるが、近紫外領域までで留まっている。近年酸窒化物母体においても北川らにより $YSiO_2N$:Eu が近紫外励起可能な Eu^{3+}付活蛍光体として報告され[2]、我々も $Y_4Si_2O_7N_2$:Eu で 400nm を超えるところまでCTS励起帯の裾が伸びることを報告してきた[3]。最近我々は、単斜晶系 $LaSiO_2N$[4]を母体とし、これに酸化処理により Eu^{3+}の付活を促進することでCTS励起帯が青色領域を超え、500nm 付近まで長波長化した蛍光体を得ることに成功した（Fig.1）。適切な母体の探索により青色領域でも CTS による吸収・励起が可能な Eu^{3+}付活蛍光体が得られる可能性を示す結果である。発光特性の詳細等は講演にて紹介する。

[1] S. Schmiechen et al., Chem. Mater.**26** (2014) 2712.
[2] Y. Kitagawa et al., Opt. Mater., **83** (2018) 117.
[3] K. Nakamoto et al., Proc. 25th IDW (2018) 635.
[4] M. Amachraa et al., Chem. Mater. **34** (2022) 4039.

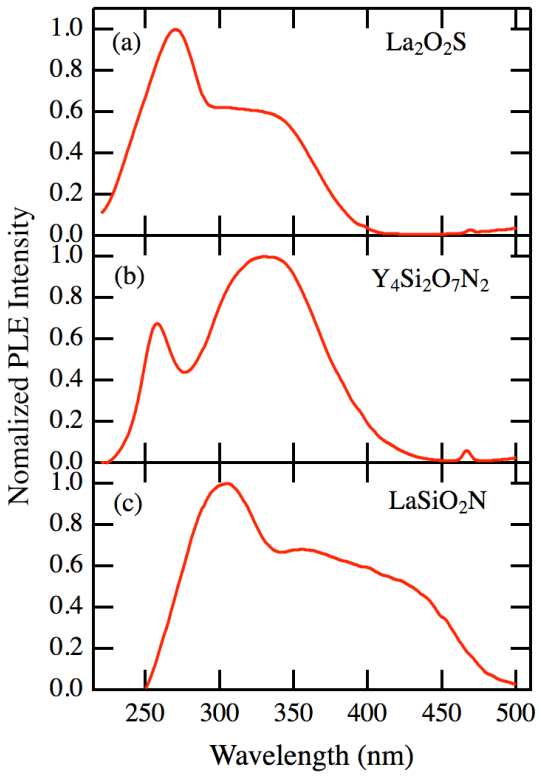


Fig.1. PL excitation spectra of (a) La_2O_2S:Eu (b) $Y_4Si_2O_7N_2$:Eu (c) $LaSiO_2N$:Eu. Each spectrum was measured by monitoring at Eu^{3+} emission peak.

© 2024年 応用物理学会

固相反応法で合成された LaF_3-LaOF: Yb^{3+}/Tm^{3+}の光学特性

Optical properties of LaF_3-LaOF:Yb^{3+}/Tm^{3+} synthesized by solid phase reaction method

豊田高専 [1]，龍谷大理工 [2]，○野中 俊宏 [1]，井上 悠太朗 [1]，山本 睦人 [1]，山本 伸一 [2]

NIT Toyota College[1], Ryukoku Univ.[2], °T. Nonaka[1], Y. Inoue[1], M. Yamamoto[1], and S.-I. Yamamoto[2]

E-mail: t-nonaka@toyota-ct.ac.jp

1. はじめに

アップコンバージョン(UC)とは、電磁波を長い波長から短い波長へ変換する技術のことであり、温度センサーなどの応用で注目されている。しかしながら、ホスト材料として頻繁に採用される $NaYF_4$ は化学的安定性が低いという課題がある。そこで本研究では、化学的安定性に優れたホスト材料で良好な光学特性を示す合成条件を見出すことを目的として、LaF_3-LaOF 複合体へ Yb^{3+}と Tm^{3+}をドーピングした UC 蛍光体を合成した。そして、結晶構造およびフォトルミネセンス(PL)特性のアニール温度依存性を分析した。

2. 実験方法

株式会社高純度化学研究所が販売する LaF_3、Yb_2O_3、及び Tm_2O_3 の粉末を用いて、固相反応法で UC 蛍光体を合成した。La:Yb:Tm = 1:0.09:0.002 のモル比になるように各粉末を混合した。そして、混合された粉末をペレット状に加圧形成し、異なる温度(950, 1000, 1050, 1100, 1150℃)で 1 時間焼成することで UC 蛍光体を 5 つ合成した。評価方法として、X 線回折装置(XRD)による結晶構造の解析、および PL 特性の計測を行った。PL 特性の励起光源には、波長 980 nm、出力 200 mW の近赤外線レーザを用いた。試料から発せられた光は、マルチチャンネル分光器 Flame (Ocean Insight)を用いて分析した。

3. 実験結果

結晶構造の解析結果を Fig. 1 に示す。Fig. 1 の下部に、データベースから得られた LaF_3 および LaOF の XRD パターンを示す。各試料は LaF_3 および LaOF から構成されていた。

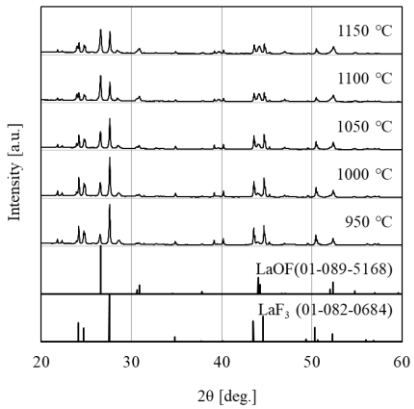


Fig. 1 XRD patterns of the LaF_3-LaOF:Yb^{3+}/Tm^{3+} phosphors sintered for different temperatures.

PL 特性の解析結果を Fig. 2 に示す。主に、波長 480 nm 付近($^1G_4 \rightarrow {}^3H_6$)および波長 800 nm 付近($^3H_4 \rightarrow {}^3H_6$)において、ピークが観測された。

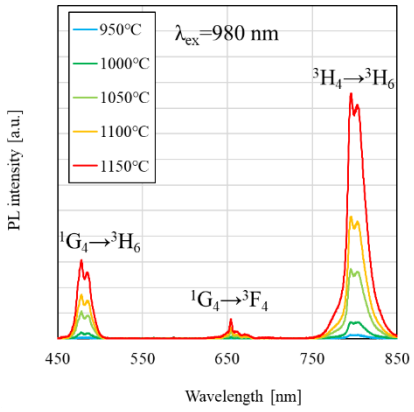


Fig. 2 The PL spectra of LaF_3-LaOF:Yb^{3+}/Tm^{3+} at 980 nm excitation.

$Na_5Y_{4-x}Gd_x(SiO_4)_4F$: Yb^{3+}, *Re* (*Re* = Er^{3+}, Ho^{3+}, Tm^{3+}) の蛍光特性

Fluorescent properties of $Na_5Y_{4-x}Gd_x(SiO_4)_4F$: Yb^{3+}, *Re* (*Re* = Er^{3+}, Ho^{3+}, Tm^{3+})

神戸大海事　°(M2) 西井 渉，佐俣 博章
Kobe Univ., °Wataru Nishii, Hiroaki Samata
E-mail: samata@maritime.kobe-u.ac.jp

近年、持続可能な社会構築のための次世代エネルギー源として、カーボンフリーでの水素製造が注目されており、その手法の一つに太陽光と光触媒を用いた水の分解がある。光触媒を用いた水分解では紫外光の利用が有利となるため、長波長光を紫外光にアップコンバージョン (UC) できる蛍光体の併用が有益となる。そのため、より特性の優れた UC 蛍光体の開発が求められている。

$NaYF_4$ は、賦活剤に Yb^{3+}, *Re* (*Re* = Er^{3+}, Ho^{3+}, Tm^{3+}) を添加することで赤外光を紫外光に変換することが一部報告されている [1]。本研究では $NaYF_4$ よりも材料設計上有利な点を複数持つ $Na_5Y_{4-x}Gd_x(SiO_4)_4F$ ($0 \leqq x \leqq 4$) を母体として用い、賦活剤として Yb^{3+}, *Re* (*Re* = Er^{3+}, Ho^{3+}, Tm^{3+})を添加した試料を合成し、その結晶学的、光学的性質の評価を行った。

試料は、Na_2CO_3, NaF, R_2O_3 (*R* = Y, Gd, Yb, Er, Ho, Tm), SiO_2, $CaCO_3$ を原料とした固相反応法を用いて、1100℃, 12 時間、大気中で熱処理することで合成した。得られた試料の結晶構造は、粉末 X 線回折のデータを用いた Rietveld 法に解析した。また、蛍光特性は、波長 980 nm の赤外光レーザーを光源として用いて分光器により評価した。

Fig.1 は、$Na_5Y_{4-x}Gd_x(SiO_4)_4F$: Yb^{3+}, Er^{3+} ($0 \leqq x \leqq 4$)の Rietveld 解析結果の一例で、合成した全ての組成範囲で目的とする物質の合成に成功した。挿入図は合成した試料の格子体積結果を表しており、Y^{3+} よりもイオン半径の大きい Gd^{3+}の添加量の増加に伴い、格子体積は系統的に増加した。

Fig. 2 は $Na_5Y_4(SiO_4)_4F$: 6% Yb^{3+}, yTm^{3+} ($0.2 \leqq y \leqq 2.0$) に波長 980 nm の赤外光を照射した際の蛍光スペクトルである。Tm^{3+}の添加量の減少に伴い、交差緩和 (CR) による低波長領域における発光強度の増大が観測された。挿入図は、本系における UC 発光機構の模式図である。発表では、母体の組成変化の蛍光特性への影響、異なる賦活剤を添加した試料の蛍光特性、紫外光生成のための今後の展望について詳細に報告する。

参考文献

1) Y. Yu, *et al*., J. Lumin., **243** (2022) 118619

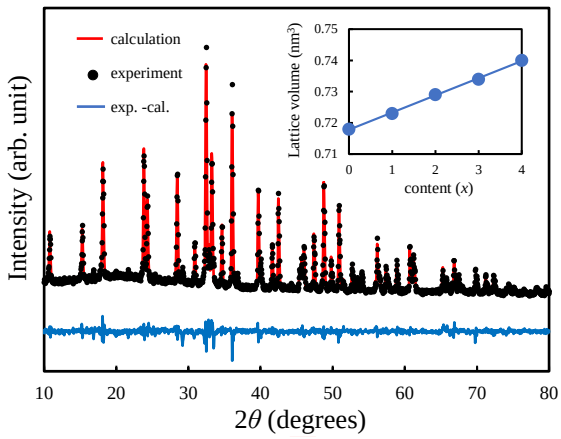


Fig. 1 Powder X-ray diffraction data of $Na_5Y_{4-x}Gd_x(SiO_4)_4F$: Yb^{3+}, Er^{3+} and results of refinement by the Rietveld method.

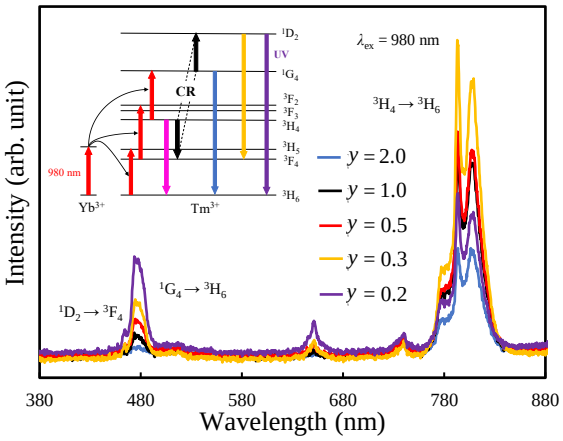


Fig. 2 Emission spectra of $Na_5Y_4(SiO_4)_4F$: 6%Yb^{3+}, yTm^{3+} ($0.2 \leqq y \leqq 2.0$) under irradiation of 980 nm light at different temperatures.

$Y_2(SiO_4)O$: Yb^{3+}, Er^{3+}のアップコンバージョン特性に対する構造相転移の影響

Effects of structural phase transition on upconversion properties of $Y_2(SiO_4)O$: Yb^{3+}, Er^{3+}

神戸大海事　○(M2)田中 義久，佐俣 博章
Kobe Univ., °Yoshihisa Tanaka, Hiroaki Samata
E-mail: samata@maritime.kobe-u.ac.jp

太陽電池モジュールは、特定の波長域の光を多く含むように太陽光の波長チューニングをすることで、その発電効率を向上させることが可能になる。そのために用いる波長変換材料の一つに、長波長光を短波長光に変換するアップコンバージョン（UC）蛍光体があるが、その変換効率は著しく低く、実用化のためにはより高い変換効率を持つ新材料の開発が必要になる。ある種の化合物においては、増感剤や発光中心とは異なる第三イオンを添加することで、その発光強度が大幅に増大することが報告されている。例えば、Cheng らは $NaGdF_4$: Yb^{3+}, Er^{3+} に第三イオンとして Li^+ を添加した際、緑色領域の発光強度が約 47 倍に増大したと報告している [1)]。

本研究では、熱処理温度 (AT) の違いや元素添加によって構造相転移を起こすことが知られている $Y_2(SiO_4)O$ を母体として用いた [2)]。本研究では、増感剤として Yb^{3+}、発光中心として Er^{3+}、第三イオンとして Zn^{2+} 等を添加した試料を合成し、その結晶学的、光学的性質を評価することで、UC 特性に対する構造相転移の影響を調べた。

試料は、Y_2O_3, Yb_2O_3, Er_2O_3, $Si(OC_2H_5)_4$, ZnO を原料としたゾル-ゲル法を用いて合成した。最終的な熱処理は、1000~1250 ℃, 24 時間、大気中で行った。得られた試料の結晶構造は、粉末 X 線回折のデータを用いた Rietveld 法により解析した。また、蛍光特性は波長 980 nm の赤外光レーザーを光源として用い、分光器により評価した。

Fig. 1 は、熱処理温度を 1000 ℃と 1250 ℃として合成した試料の Rietveld 解析結果である。いずれも Fig. 1 に示した構造相転移に伴い生じる異なる結晶構造を基に算出した回折パターンと一致し、目的物質を主相とする試料の合成に成功した。

これらの試料に加え、さらに Zn^{2+} を 15 at %添加した試料に対し、波長 980 nm の赤外光を照射した際の蛍光スペクトルを Fig. 2 に示す。合成した試料は、520-570 nm, 645-690 nm の範囲で UC による発光を示し、その発光強度は Zn^{2+} の添加量が 15 at %の時に最大となり、Zn^{2+} を添加していない試料と比較して赤色領域の発光強度が 10 倍以上となった。発表では、第三イオンの添加による構造相転移の UC 特性への影響について詳しく報告する。

参考文献

1) Q. Cheng *et al*., Nanoscale., **4** (2012) 779
2) Cates, E. L. *et al*., J. Phys. Chem. C., **116** (2012) 12772

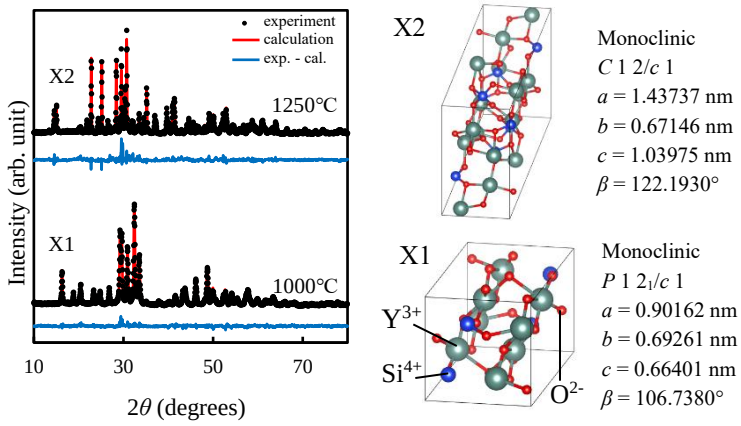


Fig. 1 Powder X-ray diffraction data of Y_2SiO_5: Yb^{3+}, Er^{3+} and results of refinement by the Rietveld method.

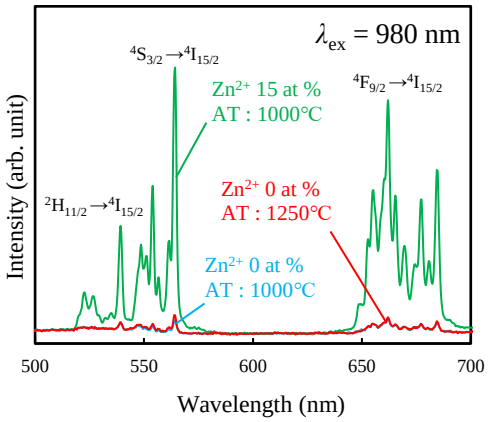


Fig. 2 Emission spectra of $Y_2(SiO_4)O$: Yb^{3+}, Er^{3+}, Zn^{2+} under 980 nm irradiation.

Dy^{3+}/Er^{3+} co-doped $SrMoO_4$ phosphors for wLED application

Satyam Chaturvedi, Praveen C. Pandey

Department of Physics, Indian Institute of Technology (BHU), Varanasi – 221005, India
Email: satyamchaturvedi.rs.phy21@itbhu.ac.in

1. Introduction

Rare-earth-doped phosphors like $SrMoO_4$ offer tunable emission colors due to the distinct energy levels arising from 4 f electron arrangements. This property enables a range of fluorescence spectra through transitions among these levels. Consequently, these phosphors find extensive use in diverse applications, leveraging their ability to emit different colors based on specific rare-earth dopants.

2. Synthesis Process

Phosphors were synthesized using a urea-assisted auto-combustion method: strontium oxide and rare-earth (RE) nitrates were mixed with HNO_3, stirred for 1 hour, and combined with a molybdate precursor in water with urea (metal nitrate to urea ratio of 2:1). The resulting solution was heated to evaporate water, then calcined at 1000 °C for 4 hours. Phosphors with different doping levels were produced: Dy^{3+}-doped $SrMoO_4$ (D0 to D5), Er^{3+}-doped $SrMoO_4$ (E1 to E4), and co-doped $SrMoO_4$:4Dy^{3+},Er^{3+} (D4E1 to D4E4).

3. Result & Discussion

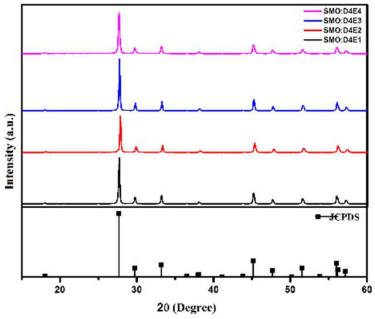


Fig.1 XRD pattern of D4Ex (x = 1, 2, 3, 4)

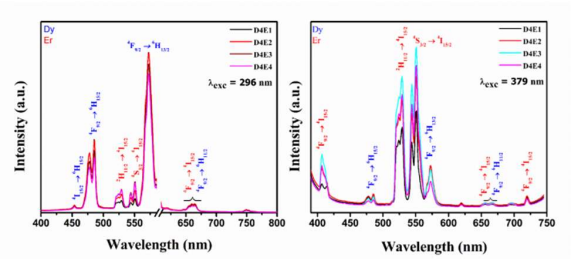


Fig. 2 PL spectrum of D4Ex (x = 1, 2, 3, 4) phosphors with excitation wavelength of (a) Host Excitation (b) Dopant Excitation

Emission spectra of samples with fixed Dy^{3+} and varying Er^{3+} contents, The highlights here are the decrement in the intensity of the 573 nm band and increment in Er^{3+} due to energy transfer in host excitation from host to Dy and Er.

Table I Colour purity and CIE co-ordinates of D4Ex (x = 1, 2, 3, & 4)

Sample Code	CIE (x, y)	CCT (K)	Purity (%)
D4E1	0.3770, 0.4282	4388	41.7
D4E2	0.3726, 0.4340	4515	42.2
D4E3	0.3690, 0.4474	4647	45.1
D4E4	0.3694, 0.4492	4644	45.8

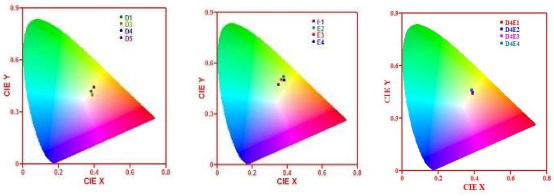


Fig. 3 CIE coordinates of Dx (x = 1, 3, 4, 5); Ex (1, 2, 3, 4) & D4Ex (x = 1, 2, 3, 4) phosphors.

4. Conclusions

Dy^{3+}/Er^{3+} co-doped $SrMoO_4$ phosphors were prepared via a simple urea-assisted auto-combustion process. The creation of the phosphors' tetragonal crystal structure is confirmed by the structural investigation. The energy levels produced within the bandgap of $SrMoO_4$ are responsible for the change in the absorption peak observed following Dy^{3+} and Er^{3+} doping, as determined by the absorption spectra. The synthesized phosphors' photoluminescence (PL) was seen at an excitation wavelength of 296 nm. In the PL spectra, all emission peaks that correspond to the Dy^{3+} and Er^{3+} ions are visible.

Acknowledgements

We are thankful to the INSPIRE Fellowship (DST-INDIA) and DST-FIST for providing a UV-Vis spectrophotometer and an FTIR spectrometer in Department of Physics (IIT-BHU).

References

[1] Liu, W Sens. Rev. 2007, 27 (4), 298–309.
[2] Cheng, Y. Journal of Materials Chemistry C 2018, 7462–7478
[3] Gao, Y. Sens Actuators B Chem 2017, 243, 137–143.

© 2024年 応用物理学会

ダイヤモンドアンビルセルを使った無機蛍光体の高圧その場観察

High-pressure in situ observation of inorganic phosphors using a diamond anvil cell

東京大工 [1]，新潟大工 [2]，東京大物性研 [3]，明治大理工 [4]，鳥取大工 [5]，○石垣 雅 [1]，渡邉美寿貴 [2]，浜根大輔 [3]，後藤弘匡 [3]，戸田健司 [2]，三浦 登 [4]，大観光徳 [5]

Univ. Tokyo [1], Niigata Univ. [2], ISSP [3], Meiji Univ. [4], Tottori Univ. [5], °Tadashi Ishigaki[1], Mizuki Watanabe, Daisuke Hamane, Hirotada Gotou, Kenji Toda, Noboru Miura, Kotoku Ohmi

E-mail: t_ishigaki@chemsys.t.u-tokyo.ac.jp

1.緒言

ダイヤモンドアンビルセル(DAC)は、数十から数百μm 程度の非常に狭い空間ではあるもののGPa 単位の圧力を再現できる装置であり、20 世紀前期には既にその原型が出来上がっていた古典的な高圧装置である。名前のとおり、この装置は向かい合って設置されたダイヤモンド同士のわずかの隙間に試料をセットして圧力を印加する。この装置は高圧物性の研究などに多用されており、地球内部の状態や鉱物の生成に関する研究を発展させてきた。従来 DAC での印加圧力を計測する手段は、試料とともにルビーをマーカーとして一緒に加圧し、その蛍光を測定することで応力値を算出する方法が一般的に用いられている。DAC を使った高圧中での蛍光測定はオーソドックスであるが XRD や蛍光分光光度計のように誰でもが使うといった装置ではなく高圧物性の専門家の装置の側面が強い。また応力に対する蛍光の応答性を観測しやすいことから、線スペクトルの蛍光特性を持つ蛍光体の研究例が比較的多い。本研究では、この方法を元にいくつかの無機蛍光体を DAC で 10GPa まで圧力印加しながら蛍光測定した結果を報告する。

2.実験方法

測定に用いた試料はいずれも数十μm 程度の大きさの無機蛍光体である。顕微鏡で注意深く観察しながら DAC のダイヤモンド同士が接するキュレットと呼ばれる面に乗せる。一緒に 10μm 程度の大きさの合成ルビー単結晶も乗せる。その時、顕微鏡の視野の片隅にルビーが観察できるようにセットした。圧力が均等にかかるようにキュレット周囲にガスケットを配し、キュレット部分は 1 滴のダフニーオイルで満たし静水圧となるように調整した。蛍光測定は 10mW 出力の 406nm 半導体レーザーを励起光として光ファイバーから顕微鏡を通し試料に照射した。発光光は顕微鏡から光ファイバーを通して半導体検出器型の分光器に取り込み、測定した。

3.結果

測定した無機蛍光体は励起光 406nm に対しての蛍光を発し、ファイバー型の半導体検出器で蛍光測定することができた。蛍光は印加圧力を加えるに従い長波長にシフトした。これは圧力印加により、結晶格子が小さくなり発光エネルギーが低エネルギーにシフトするという従来の説明に一致することを確認した。

謝辞：本研究は東京大学物性研究所共同利用研究(202306-MCBXG-0093)として行われた。

リンゴ酸由来カーボン・ナノコンポジット蛍光体へのジエチレントリアミン添加による長波長化

Red Shift of Malic Acid Derived Carbon Nanocomposite Phosphors by Addition of Diethylenetriamine

長岡技科大工 ○中川 惟道，瀧澤 央基，加藤 有行
Nagaoka Univ. of Tech., °Tadamichi Nakagawa, Hiroki Takizawa, Ariyuki Kato
E-mail: °s191051@stn.nagaokaut.ac.jp, arikato@vos.nagaokaut.ac.jp

1. はじめに

近年，新しい蛍光ナノ材料としてカーボン・ナノドット(CDs)蛍光体が注目を集めている．しかし，長波長領域での高量子収率を持つ発光例は少なく，その長波長化の指針もまだ解明されていない．我々は CDs 蛍光体の発光特性の向上，合成の容易さ，および安定性を研究目的として，カーボン・ナノドットをシリカで覆うことで、ハンドリングが容易なカーボン・ナノコンポジット(CNC)蛍光体の合成に成功した[1-4]．CNC 蛍光体の合成に用いるアルコキシシラン化合物とカルボン酸の組み合わせは，APTES とリンゴ酸のモル比 1:1 が強い発光強度と優れた発光特性を示し，最適であることが分かった．

また，上記の組み合わせに更に窒素源として，アミン類を添加することで発光強度が向上し，長波長化した[3,4]．特に，ジエチレントリアミン(DETA)が最も長波長化し，橙色発光を示した[4]．しかし，DETA が最も長波長化した要因はわかっていない．そこで本報告では，その具体的なメカニズムを解明すべく，添加窒素数を固定した状態でアミンの種類の変更および混合することで，長波長化に窒素数が影響するのか，もしくは DETA 自体が影響するのかを調査した．

2. 実験方法

全ての蛍光体は，ゾル-ゲル法で作製を行った[1-3]．最初に種々のアミンをエタノール 6 mL に溶解し，密閉状態で撹拌を約 15 分間行った．得られた溶液にリンゴ酸を溶解し，密閉状態で撹拌を約 15 分間行った．APTES を添加し，撹拌した状態で 3 日間加水分解を進めた．その後 90 ℃で 5 日間の加熱を行い，得られた前駆体を 140 ℃で 6 時間の焼成を経て蛍光体を作製した．APTES とリンゴ酸のモル比は 1:1 とし,アミンのモル比は添加窒素数が APTES に対して 1:1 となるように決定した．得られた蛍光体は Xe ランプ(50 W，L2175，浜松ホトニクス)励起による PL スペクトルの測定により評価を行った．Table1 に添加したアミンの一覧を示す．

Table1 List of added amines.

アミン名称	APTES に対するモル比	アミノ基数
エチレンジアミン (EDA)	1/2	2
ジエチレントリアミン (DETA)	1/3	3
トリエチレンテトラミン (TETA)	1/4	4
テトラエチレンペンタミン (TEPA)	1/5	5
EDA+DETA	1/4+1/6	
DETA+TETA	1/6+1/8	

3. 結果と考察

Fig.1 に作製した蛍光体を 325 nm で励起した時の PL スペクトルを示す．4 つの単添加のアミンを比較すると，DETA のみ長波長化，ピーク波長は約 616 nm であった．その他 3 種類については，ピーク波長が約 572 nm で大きな差異はなかった．また，発光強度についても，DETA が他の 3 種類と比較して大きかった．また，DETA と各種アミンを混合したサンプルは発光強度，ピーク波長ともに，DETA と他の 3 種のアミンの PL スペクトルの間に位置した．

Fig.2 に，得られた PL スペクトルから CIE 色度座標を計算した結果を示す．EDA,TETA,TEPA の 3 サンプルは黄白色発光，DETA は赤色に近い発光，そして，混合したサンプルは橙色発光を示した．

今回の結果から，DETA が長波長化に大きく寄与することが明らかになった．さらに，この結果を基に，アミンの混合比による波長制御の可能性および XPS による窒素の結合状態等の詳細な解析について当日発表する予定である．

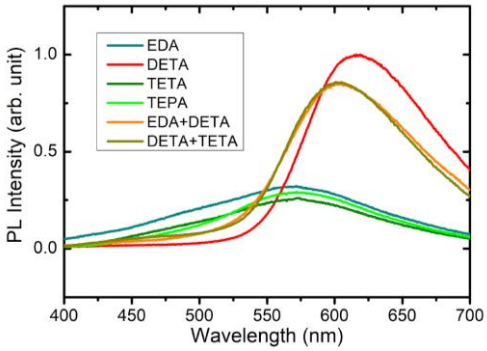


Fig.1 PL spectra of the samples with various amines.

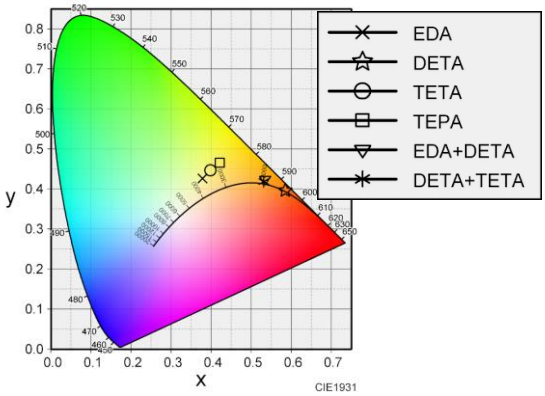


Fig.2 CIE chromaticity coordinates of the PL.

【参考文献】
[1] 川瀬 他 ： 第 61 回応用物理学会春季学術講演会 18a-PG6-18 (2014).
[2] K. Hasegawa et al. : 23rd International Display Workshops (IDW'16) PHp1-5 (2016).
[3] 小川 他 ： 第 80 回応用物理学会秋季学術講演会 19a-PB3-12 (2019).
[4] 瀧澤 他 ： 第 70 回応用物理学会春季学術講演会 16a-PB06-7 (2023).

© 2024年 応用物理学会

ハロゲン置換による Cs_2ZrCl_6 蛍光体の発光特性制御

Control of luminescence properties of Cs_2ZrCl_6 phosphor by halogen substitution

（地独）都産技研 [1] 東北大 NICHe[2], 東北大 金研 [3] 阪大レーザー研 [4]
○藤原 千隼 [1], 並木 宏允 [1] 黒澤俊介 [2,3,4]
TIRI [1], NICHe Tohoku Univ.[2], IMR Tohoku Univ.[3], ILE Osaka Univ.[4]
°Chihaya Fujiwara[1], Hiromasa Namiki[1], , Shunsuke Kurosawa[2,3,4]
E-mail: fujiwara.chihaya@iri-tokyo.jp

今日広く使用されている白色 LED(WLED)には Ce^{3+}:$Y_3Al_5O_{12}$ や Eu^{2+}:$CaAlSiN_3$ などの希土類元素を含んだ黄色-赤色蛍光体が含まれる。しかし希土類元素は偏在性や環境への影響が懸念されるため、希土類を含まない蛍光体の開発が求められている。希土類イオンなどの発光中心を用いない蛍光体として、Cs_2ZrCl_6[1]などのハロゲン化物ペロブスカイト A_2BX_6 (A = Cs; B = Hf, Zr, Sn; X = Cl, Br, I)が注目されている。Cs_2ZrCl_6 は結晶構造中の$[ZrCl_6]^{2-}$八面体中の自己束縛励起子（STE）に由来する発光を示すが、Cs_2ZrCl_6 の励起波長は 280–300 nm、発光波長は 450–460 nm であり、WLED 用途に必要な黄色-赤色の波長成分が不足している。一方で、Cl サイトを Br で置換することで発光波長のシフトが確認されているが[2]、黄色-赤色発光は実現されていない。本研究では Cs_2ZrCl_6 中の Cl^-サイトをよりイオン半径の大きいハロゲンイオン(I^-および Br^-)で置換することによる光学特性(発光波長、内部量子収率およびバンドギャップ)に及ぼす影響を評価した。

$Cs_2ZrCl_{6-\alpha}I_\alpha$ ($0 \le \alpha \le 2$) と $Cs_2ZrCl_{6-\beta}Br_\beta$ ($0 \le \beta \le 2$)の多結晶体は溶融法で合成した。粉末 X 線回折パターンから不純物相は確認されず、格子定数はベガード側に従い変化した。Fig. 1 に示すように、Cs_2ZrCl_6 を I で微量置換した $Cs_2ZrCl_{5.8}I_{0.2}$ では WLED に要求される黄色~赤色 (約 2.0 eV) の発光が確認された。その発光スペクトルは、マルチガウシアンフィッティングによる解析から、低エネルギー(橙色)と高エネルギー(水色)の 2 つの成分に分離できることが確認できた。これは、I で微量置換することで新たな $[Zr(Cl,I)_6]^{2-}$由来の STE 準位が電子構造中に形成されたことを示唆している。またハロゲン比率に対して発光波長の変化は非線形であることも確認しており、詳細については当日議論する予定である。

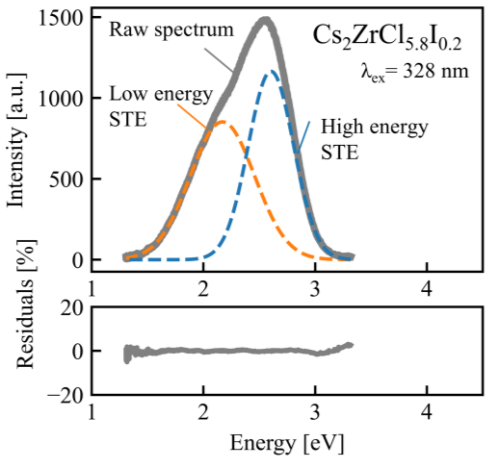


Fig. 1 Emission spectrum of $Cs_2ZrCl_{5.8}I_{0.2}$ and result of multi-gaussian fitting.

[1] Y. Tang, *et al.*, *Coord. Chem. Rev.* vol. 499, 215490 (2024).
[2] A. Abfalterer *et al.*, ACS Mater. Lett. vol 2, 1644-1652. (2020).

謝辞：This work is partially supported by (1) GIMRT Program of the Institute for Materials Research, Tohoku University (2) The Society of Iodine Science

遊星ボールミルを用いた $Cu_2ZnSnSe_4$ 結晶の作製

Synthesis of $Cu_2ZnSnSe_4$ crystals using planetary ball mill

群馬大学大学院　理工学府　°佐藤　亜季子，尾崎　俊二

Graduate School of Science and Engineering, Gunma University, °A. Satoh and S. Ozaki

E-mail: t231d034@gunma-u.ac.jp

はじめに

$CuInSe_2$ の III 族元素であるインジウム(In)を II 族の亜鉛(Zn)と IV 族のスズ(Sn)で置換した $Cu_2ZnSnSe_4$(CZTSe)半導体は近年太陽電池材料として着目され、盛んに研究が行われている。しかし、多元素であるために結晶内に組成ずれが発生するなど結晶育成に問題が生じやすい。本研究ではボールミルを使用し、固相反応による CZTSe 結晶の作製を行なったので報告する。

実験

高純度（99.9999%）の Cu, Zn, Sn, Se をモル比 Cu：Zn：Sn：Se＝2：1：1：4 となるよう秤量した。秤量した試料は、ジルコニア製のボールと共に同素材のポットに入れ、さらにポットを雰囲気制御容器に挿入し、内部をアルゴンガスで充満させた。遊星ボールミル装置に容器をセットした後、回転速度と運転時間を変えながら試料を粉砕及び混合し、固相反応による CZTSe 結晶の合成を行った。得られた試料の光学測定評価においては、高圧プレス機を用いて粉末状の試料を固形試料に加工したものを使用した。

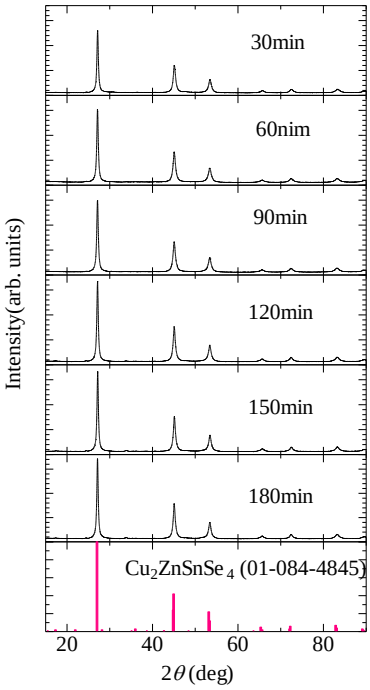


Fig. 1 CZTSe の反応時間による XRD 測定の結果と PDF データ

結果

800 rpm の回転数で遊星ボールミル装置を始動させた後、30 分経過するごとに粉末試料を取り出し、X 線回折測定(XRD)を行った。その結果を Fig. 1 に示す。CZTSe の PDF カード(#010844845)との比較により、30 分の時点で CZTSe 結晶が合成されていることがわかった。また、Cu_2Se などの異相によるピークは確認できなかった。更に時間が経過すると回折ピークの位置は変わらず、回折強度が少しずつ大きくなっていくことが確認でき、結晶性の向上が見られた。しかし 120 分以上ではピーク強度の増加は見られなかった。次に 800 rpm、180 分で作製した粉末試料を燃焼ボートに移し、アルゴン雰囲気中 500°C で 30 分間アニールを行った(Fig. 2)。アニールを行うことで、さらに回折ピーク強度は大きくかつ半値幅は小さくなり、結晶性が向上していることがわかった。

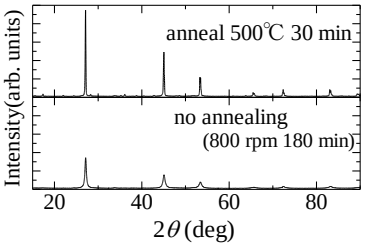


Fig. 2 CZTSe アニール前後の XRD 測定結果

© 2024年 応用物理学会

$Cu_xAg_{1-x}InTe_2$ 半導体結晶の育成と光学特性

Crystal growth and optical properties of $Cu_xAg_{1-x}InTe_2$ semiconductor

群馬大学大学院理工学府　　○(M2) 中川 皓晴，尾崎 俊二
Graduate School of Science and Technology, Gunma University, ◦K. Nakagawa and S. Ozaki
E-mail: t231d053@gunma-u.ac.jp

$Cu_xAg_{1-x}InTe_2$ は、カルコパイライト構造を有するI-III-VI_2 族半導体の一つであり、太陽電池材料への応用が期待される。しかし、I 族元素である Cu と Ag を混晶化することによるバンドギャップエネルギー（E_g）や光学特性の変化に関する研究報告例は少なく、基礎物性に不明な点が多い。今回我々は、$Cu_xAg_{1-x}InTe_2$ バルク結晶を育成し、光吸収測定、フォトルミネッセンス測定を行ったので報告する。

$Cu_xAg_{1-x}InTe_2$ 半導体結晶は垂直ブリッジマン法により育成した。まず、高純度材料(99.999%以上)を Cu : Ag : In : Te = x : 1−x : 1 : 2 (x=0~1) のモル比にて秤量し、石英管内に真空封入(～10^{-6} Torr)することでアンプルを作製した。次に、温度勾配を有する縦型電気炉内にアンプルを設置し、~1100 °C にて十分反応させた後、炉内を~1 cm/day の速度で降下させることで結晶を育成した。育成した結晶は XRD 測定によりカルコパイライト構造であることを確認した。また、回折ピークから格子定数 a, c を求め、格子定数 a の値からベガード則に基づき Cu の組成比 x を決定した。光学測定では、結晶をワイヤーソーにて切り出し、両面鏡面研磨した試料を用いて測定を行った。

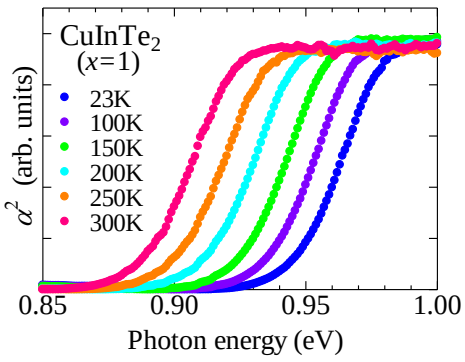


Fig.1　α^2 versus photon energy for x=1

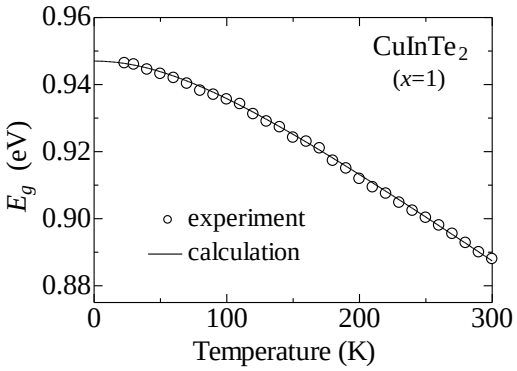


Fig. 2 Temperature dependence of E_g

Fig. 1 に Cu 組成比 x=1 における光吸収係数 α^2 スペクトルの温度依存性を示す。この α^2 スペクトルから 求めた E_g を温度に対してプロットしたものを Fig. 2 (白丸)に示す。Fig. 2 より、E_g は温度の上昇とともに単調に低エネルギー側にシフトしており、Pässler の式でよくフィット(実線)できることがわかった。また、$Cu_xAg_{1-x}InTe_2$ においては、$AgInS_2$, $AgInSe_2$ などで現れる、低温における E_g の特異な温度依存性 [1,2] は観測されなかった。これは、価電子帯において、Te の p 電子と Ag や Cu の d 電子との相互作用（$p-d$ 相互作用）が、S や Se と比較して小さいことに起因していると考えられる。

1) K. Koitabashi, S. Ozaki, and S. Adachi; J. Appl. Phys. **107** (2010) 053516.
2) S. Ozaki and Y. Horikoshi; J. Appl. Phys. **115** (2014) 053526.

© 2024年 応用物理学会

$CsPbBr_3/Cs_4PbBr_6$における光学冷却の励起光強度依存性

Excitation-intensity dependence of semiconductor optical cooling in $CsPbBr_3/Cs_4PbBr_6$

千葉大院理[1]，阪大院工[2]，京大化研[3]
○(M2)大木 武[1]，森田 剛[1]，福田 光希[2]，市川 修平[2]，小島 一信[2]，
山田 琢允[3]，金光 義彦[3]，山田 泰裕[1]
Chiba Univ.[1], Osaka Univ.[2], Kyoto Univ.[3]
○Takeru Oki[1], Takeshi Morita[1], Mitsuki Fukuda[2], Shuhei Ichikawa[2], Kazunobu Kojima[2],
Takumi Yamada[3], Yoshihiko Kanemitsu[3], Yasuhiro Yamada[1]
E-mail: otakeru2719@gmail.com

光学冷却とは、励起光より高いエネルギーでの発光（＝アンチストークス発光）を用いた固体冷却手法である。光学冷却の実現には100%近いアンチストークス発光の量子効率が必要であり、そのため半導体量子ドットが有望な候補となる。しかしながら、量子ドットでは高密度光励起下でオージェ再結合により発光効率が低下する点が問題になる [1]。ハロゲン化金属ペロブスカイトは、高い発光効率と強い電子-フォノン相互作用をもち、光学冷却の有力候補である [2]。中でも、我々はドットインクリスタル構造ペロブスカイト $CsPbBr_3/Cs_4PbBr_6$（量子ドット/ホスト結晶）に注目し、高いアンチストークス発光効率と安定性が両立できることを示してきた [3]。本研究では、この材料を用いた光学冷却の検証を目的とした。特に、オージェ再結合の影響を評価するため光学冷却の励起光強度依存性を調べた。

本研究では、溶液温度降下法により作製した $CsPbBr_3/Cs_4PbBr_6$を用いた。励起スペクトルから、冷却ゲインスペクトルを算出し、97%以上の外部発光効率で冷却が実現できることを見出した。光学冷却を検証するために、発光スペクトルの高エネルギー側の裾がフェルミ分布に従うことを利用した非接触の温度評価方法を開発し、数 K 以下の精度で温度推定が可能であることを確認した。このことを踏まえ、直径 10 μm 程度の $CsPbBr_3/Cs_4PbBr_6$結晶に対して、光学冷却の実験を行ったところ、最大で、室温からおよそ 9 K 程度の光学冷却の観測に成功した。一方、励起光強度を増大させると、オージェ再結合による発光効率の低下に起因した、光冷却から光加熱への遷移が観測された。

本研究は、キヤノン財団研究助成、JST-CREST (Grant No. JPMJCR21B4)、科研費 (Grant No. JP19H05465)の支援による。

[1] V. I. Klimov, *et al*., Science **287**, 1011-1013, 2000. [2] Y. Yamada and Y. Kanemitsu, NPG Asia Mater. **14**, 48, 2022. [3] Y. Kajino, *et al*., Phys. Rev. Mater. **6**, L043001, 2022.

© 2024年 応用物理学会

Research on optical measurement aided by deep learning-based classification and recognition of nanomaterial images

Faculty of Information Science and Technology, Hokkaido Univ.

°Zhao Yicheng, Satoshi Hiura, Junichi Takayama, and Akihiro Murayama

E-mail:yicheng.zhao.b0@elms.hokudai.ac.jp

The fabrication of optical functional nanomaterials and their optical properties are important research topics. However, the fabricated samples have various heterogeneities, and the optical characterization of individual nanomaterials must be performed. In order to rapidly characterize the optical properties of a very large number of integrated nanomaterial samples, we considered using deep learning techniques to identify and hierarchize the optical microscope images of sample structures. We are then attempting to construct a system to measure microscopic photoluminescence (PL) spectroscopy for a specific group of samples that are automatically sorted.

As an example, we report and discuss the results on GaAs nanowire samples densely grown on Si substrates [1]. Deep learning techniques are employed to classify the top views of nanowires acquired on Si wafers by optical microscopy. Nanowire images from different regions are then segmented and identified. Figure 1 shows the annotation of nanowire materials. The annotation software labelme was used to draw the edges of the target area with annotation points. The resulting nanowire images are then classified based on the shape, size, symmetry, and edge clarity, and different labels are added to each category. Figure 2 visualizes the annotation information of the sample images, with each annotated region overlapped by a mask of a different color and a mask label in the lower right corner. Note that the clarity of the images obtained in this study is impaired due to the resolution of the optical microscope. However, this type of deep learning technique is suitable for application because of its commonality with the optical microscope system that performs the actual PL spectroscopy. Based on the classification and recognition results of these sample images, microscopic PL from a specific hierarchy of samples is measured.

We thank Prof. Ishikawa of the Research Center for Quantum Integrated Electronics, Hokkaido University for providing the nanowire samples.

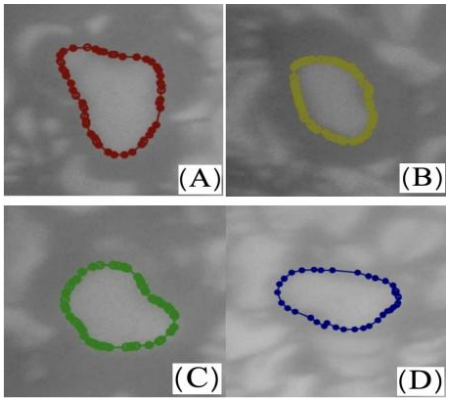


Fig. 1 Schematic diagram of nanowire growth condition
A, Grade 1; B, Grade 2; C, Grade 3; D, Grade 4.

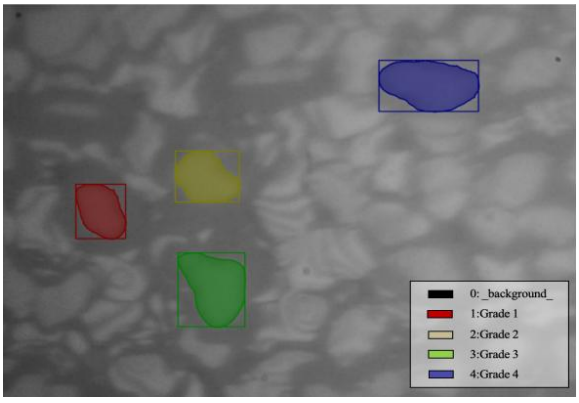


Fig. 2 Sample image of nanowires after labeling

References:

[1] K. Minehisa et al., Wafer-scale integration of GaAs/AlGaAs core–shell nanowires on silicon by the single process of self-catalyzed molecular beam epitaxy, Nanoscale Advances, **5**, 1651 (2023).

© 2024年 応用物理学会

13 半導体 | 一般セッション(口頭講演)：13.8 光物性・発光デバイス

[18a-B1-1~10] 13.8 光物性・発光デバイス

[18a-B1-1]
Application of Green-Emitting Carbon Dot-Based Films to Luminescent Solar Concentrator

〇(D)Yunxiang Liu[1], Yoshiki Iso[1], Tetsuhiko Isobe[1] (1.Keio Univ.)

[18a-B1-2]
発光型太陽集光器用$CuInS_2$/ZnS量子ドット分散シリカナノコンポジットの作製

〇矢野 祥太郎[1]、磯 由樹[1]、磯部 徹彦[1] (1.慶大理工)

[18a-B1-3]
Tl^+およびSr^{2+}共添加$Cs_3Cu_2I_5$の結晶育成と発光特性評価

〇(D)浦野 雄介[1,2]、黒澤 俊介[2,3,4]、山路 晃広[2,3]、吉川 彰[3,5] (1.東北大工、2.東北大金研、3.東北大NICHe、4.大阪大レーザー研、5.(株) C&A)

[18a-B1-4]
ミストデポジションによる有機無機ハイブリッド$(TMS)_3Cu_2I_5$の薄膜形成と光学特性評価

〇(D)渡邉 啓佑[1]、西中 浩之[1] (1.京工繊大)

[18a-B1-5]
青色励起可能な近赤外蛍光体α-YFS:Yb^{3+}の光物性評価

〇北川 裕貴[1]、上田 純平[2] (1.産総研、2.北陸先端大)

[18a-B1-6]
分光学的手法を用いた$Sr_3Ca_2(PO_4)_3F$におけるEu^{3+}のサイト占有率評価

〇阿曽 悟郎[1,2]、山嵜 正明[2]、上田 純平[1] (1.北陸先端大、2.(株)住田光学ガラス)

[18a-B1-7]
LSS法を用いて探索されたフッ化物狭帯域蛍光体の粉末合成

〇中西 昭博[1]、小山 幸典[1]、中西 貴之[1]、高橋 向星[1]、広崎 尚登[1]、池野 豪一[2]、武田 隆史[1] (1.物材機構、2.大阪公立大)

[18a-B1-8]
密度汎関数法によるEu^{2+}賦活蛍光体ストークスシフトの系統的計算

〇(M2)山田 太陽[1]、武田 隆史[2]、小山 幸典[2]、池野 豪一[1] (1.阪公大工、2.物材機構)

[18a-B1-9]
無機バイオマテリアル$Ca_3(PO_4)_2$のEu^{2+}及びDy^{3+}共添加：
蛍光及び残光制御に向けて

〇(M2)早川 洸海[1]、松井 裕章[1] (1.東京大工)

[18a-B1-10]
新しい深赤色蛍光体の合成と構造解析

〇戸田 健司[1]、疋田 渉[1] (1.新潟大院)

Application of Green-Emitting Carbon Dot-Based Films to Luminescent Solar Concentrator

Keio Univ., ○Yunxiang Liu, Yoshiki Iso, Tetsuhiko Isobe
E-mail: iso@applc.keio.ac.jp, isobe@applc.keio.ac.jp

Introduction In this study, carbon dots (CDs) were synthesized by dehydrogenation polymerization of *p*-phenylenediamine (*p*-PD) [1]. Furthermore, the films consisting of the CDs and ethylene vinyl acetate (EVA) copolymer were fabricated and applied to a luminescent solar concentrator (LSC).

Experimental *p*-PD was added to diphenyl ether. The mixture was refluxed at 250 °C for 2 h under ambient air. The resulting CDs were washed with hexane and collected by centrifugation. The CDs were purified by silica gel column chromatography using a mixture of dichloromethane and methanol as the eluent and collected by evaporation. The purified CDs were dispersed in EVA copolymer chloroform solutions. The dispersions were poured into Petri dishes and dried to obtain CDs@EVA films with different CD concentrations and film thicknesses. EVA film without CDs were also fabricated. These films were attached to the device (Fig. 1) to evaluate LSC performance.

Results & Discussion Fig. 2 shows photographs of a typical CDs@EVA film which was transparent yellow under white light and exhibited green luminescence under 365 nm UV light. As shown in Fig. 3, the absorption peak was observed at 468 nm due to the HOMO-LUMO transition of the π-conjugated system. As also shown in Fig. 3, the excitation and emission peaks corresponding to the HOMO-LUMO transition were observed at 490 nm and 540 nm, respectively. As shown in Fig. 4, the photoluminescence quantum yield (PLQY) decreased with increasing CD concentration and film thickness. This is due to reabsorption of emission caused by the overlap between the absorption and emission spectra. The highest PLQY was 55% at 0.05 wt% CD concentration and 137±11 μm thickness. Fig. 5 shows current–voltage (*I*–*V*) curves measured under AM1.5G simulated solar light. Attaching CDs@EVA film with 0.05 wt% CD concentration and 369±7 μm thickness to the LSC device resulted in the largest short-circuit current (I_{sc}), and thus the largest photoelectric conversion efficiency (η). The spectral sensitivity of the LSC device confirmed that the increased I_{sc} and η are attributed to green luminescence from the absorption of UV and blue light.

Reference [1] R. Sato, Y. Iso, T. Isobe, *Langmuir*, **35**, 15257 (2019).

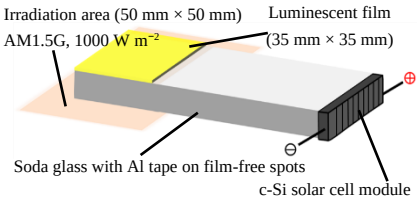


Fig. 1 LSC device.

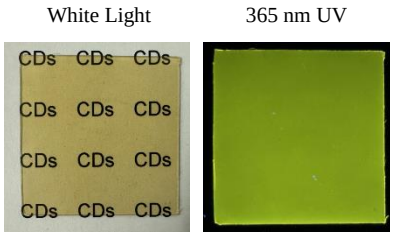


Fig. 2 Photographs of CDs@EVA film with 0.05 wt% CD concentration and 369±7 μm thickness.

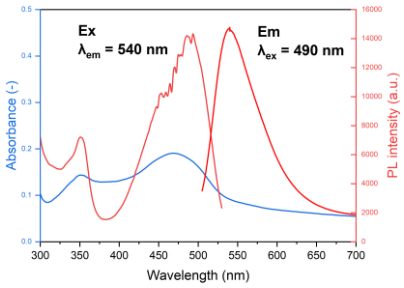


Fig. 3 Absorption, excitation, and emission spectra of CDs@EVA film with 0.05 wt% CD concentration and 369±7 μm thickness.

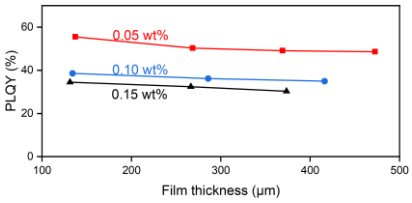


Fig. 4 Change in PLQY of CDs@EVA films with film thickness.

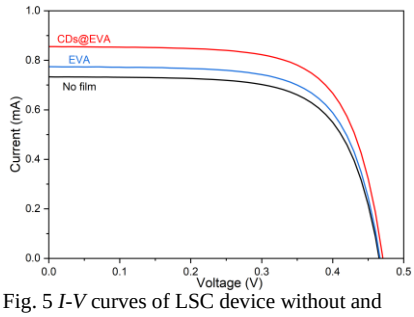


Fig. 5 *I*-*V* curves of LSC device without and with EVA and CDs@EVA films with 0.05 wt% CD concentration and 369±7 μm thickness.

© 2024年 応用物理学会

発光型太陽集光器用 $CuInS_2$/ZnS 量子ドット分散シリカナノコンポジットの作製

Fabrication of $CuInS_2$/ZnS Quantum Dots Dispersed Silica Nanocomposites for Luminescent Solar Concentrator

慶大理工　°矢野 祥太郎，　磯 由樹，　磯部 徹彦

Keio Univ., °Shotaro Yano, Yoshiki Iso, Tetsuhiko Isobe

E-mail: iso@applc.keio.ac.jp, isobe@applc.keio.ac.jp

【目的】建築物の窓材などに利用できる透明太陽光発電デバイスが注目されており、そのひとつに発光型太陽光集光器(LSC)がある。本研究では、$CuInS_2$(CIS)/ZnS 量子ドット(QDs)蛍光体がテトラメチルアンモニウムシリケート(TMAS)誘導シリカ内に分散した、板状の QDs 分散シリカナノコンポジットをゾルーゲル法で作製した。さらに結晶シリコン(c-Si)太陽電池と組み合わせて LSC を作製し、QDs 濃度を変化させながら発電特性を評価した。

【実験方法】ホットインジェクション法で合成した CIS/ZnS QDs の疎水性表面配位子を 3-メルカプトプロピオン酸でリガンド交換し、親水化した。遠心分離と真空乾燥で得た固体試料を塩基性の TMAS 水溶液中に分散してゾルとし、ゲル化剤の乳酸メチルを添加して素早く型に加えた。ゲル化および乾燥を経て、板状の QDs 分散シリカナノコンポジットを得た。QDs 濃度が異なるナノコンポジットを作製し、それらの側面に c-Si 太陽電池モジュールを接着して構築した LSC の発電特性を測定した。

【結果および考察】Fig. 1 に QDs 濃度を変化させて作製したナノコンポジットの外観を示す。濃度に応じて白色光下では黄色から橙色を呈し、UV 光下では蛍光を示した。Fig. 2 にナノコンポジットの透過スペクトルおよび PL スペクトルを示す。約 550 nm より短波長側の透過率が QDs の吸光のため大きく低下した。QDs 濃度の増大に伴い約 550 nm より長波長側の透過率も低下した。これは一部の凝集した QDs による光散乱損失が増大したためと考えられる。PL 強度は高濃度化に伴い増大した。ピーク位置が 582 nm から 609 nm にレッドシフトしたが、これは QDs による蛍光の自己吸収の増大に起因する。Fig. 3 のように LSC を構築して AM1.5G 疑似太陽光の照射下で *I-V* 曲線を測定すると、QDs 濃度の増大によって光電流が上昇した。なお、QDs を含有しない 0 wt%のブランク試料で構築した LSC でも発電が起きた。この発電性能の変化を解析するため、Fig. 4 の光電変換効率(IPCE)スペクトルを測定した。ブランク試料による LSC の IPCE スペクトルでは、近赤外領域から約 400 nm にかけて IPCE が増大した。これは、試料表面で散乱した入射光の一部が太陽電池に到達し、かつ短波長側ほど光散乱が強くその影響が大きいことを示唆する。約 400 nm 以下の IPCE は急激に減少した。これは使用した太陽電池モジュールの保護剤の光吸収が発電を妨げたためと推察される。一方、QDs を分散すると濃度増大に伴い全波長域で IPCE が向上した。約 400 nm 以下の波長域でも発電が起きており、これは QDs に吸収された光が太陽電池の保護材の吸収を受けない光に波長変換されたためと考えられる。QDs が光を吸収しない約 550 nm より長波長側でも QDs 濃度の増大に伴い IPCE が向上した。この波長域では蛍光の影響は現れないことから、一部の凝集した QDs による入射光の散乱の影響が増大したと推察される。

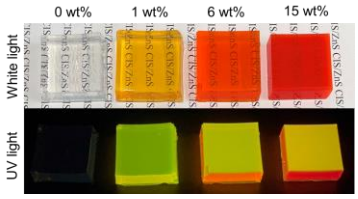


Fig. 1 Photographs of QDs-silica nanocomposites with different concentrations.

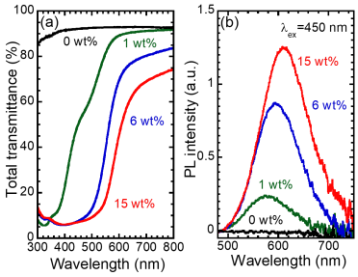


Fig. 2 (a) Transmission and (b) PL spectra of the nanocomposites with different concentrations.

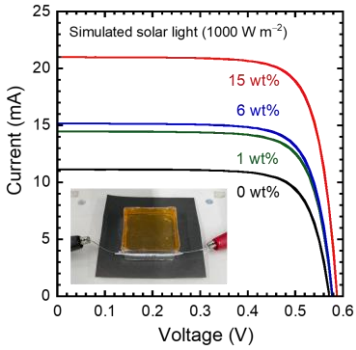


Fig. 3 *I-V* curves of the LSCs with different concentrations.

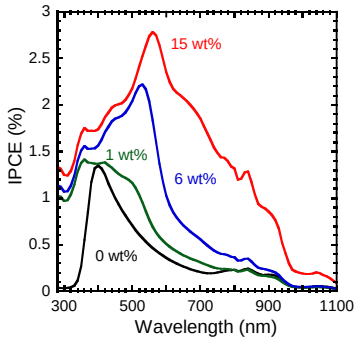


Fig. 4 IPCE spectra of the LSCs with different concentrations.

© 2024年 応用物理学会

Tl^{+}およびSr^{2+}共添加$Cs_3Cu_2I_5$の結晶育成と発光特性評価

Crystal Growth and Luminescence Properties of Tl^{+} and Sr^{2+} Co-doped $Cs_3Cu_2I_5$

東北大工[1]，東北大金研[2]，東北大NICHe[3]，大阪大レーザー研[4]，（株）C&A[5]，上海ケイ酸塩研究所[6]
○(D)浦野 雄介[1,2]，黒澤 俊介[2,3,4]，山路 晃広[2,3]，吉川 彰[2,5]，Yuntao Wu[6]
Department of Mat. Sci., Graduate School of Eng., Tohoku Univ.[1], IMR, Tohoku Univ.[2],
NICHe, Tohoku Univ.[3], Institute for Laser Eng., Osaka Univ.[4], C&A Corporation[5], SICCAS[6]
°Yusuke Urano[1,2], Shunsuke Kurosawa[2,3,4], Akihiro Yamaji[2,3], Akira Yoshikawa[2,5], Yuntao Wu[6]
E-mail: urano.yusuke.s1@dc.tohoku.ac.jp

アルカリ銅ハロゲン化物シンチレータのTl^{+}添加$Cs_3Cu_2I_5$（Tl:CCI）は、発光量が 98,200 光子/MeV、エネルギー分解能が 3.3 %（662 keV, FWHM）と優れ、かつ、潮解性が低いといった特性を有する[1]。しかしながら、蛍光寿命がおよそ 1 us と長く、エネルギー応答の線形性が悪いという特性も併せ持つ。ここで、Sr^{2+}を共添加した Tl:NaI は、Sr^{2+}を添加していない Tl:NaI に比べて、エネルギー分解能、エネルギー応答の非線形性（NPR）が改善し、蛍光寿命が高速化したと報告されている[2]。そこで本研究では、Tl^{+}と Sr^{2+}を共添加した CCI（Tl,Sr:CCI）結晶を育成し、その NPR が改善し、蛍光寿命が高速化するかどうか、調査した。

垂直ブリッジマン-ストックバーガー法により Tl,Sr:CCI 結晶を育成し、結晶の相同定は粉末 X 線回折（XRD）装置（D8 Disocover, Bruker 社）により行った。発光および励起スペクトル測定を、分光蛍光光度計（FP-8300, JASCO 社）を用いて行った。加えて、^{137}Cs や ^{22}Na 線源などと光電子増倍管（R7600U-200, 浜松ホトニクス社）、およびマルチチャンネルアナライザ（MCA, Pocket MCA8000D, AMPTEK 社）を用いてガンマ線励起による発光量および NPR の評価を行った。さらに同じ PMT を用いて、信号をオシロスコープ（TDS3052B, Tektronix 社）で読み出してシンチレーション蛍光寿命を見積もった。また、Tl^{+}と Sr^{2+}の共添加によるバンド構造の変化を調査するため、紫外放射光施設（UVSOR）の BL3B ビームラインにおいて、10K から 350K における励起および発光スペクトルの温度依存性の測定を行った。

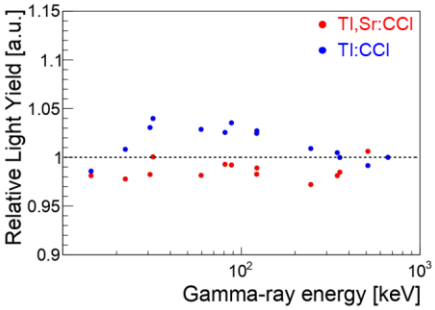


Fig. 1 NPR result of Tl,Sr:CCI

結晶育成の後、アンプルから取り出した Tl,Sr:CCI 結晶は、粉末 XRD 結果より目的の相が得られ、位相の変化は確認されなかった。フォトルミネッセンス測定により、Tl,Sr:CCI の発光波長は 490 nm と 530 nm にピークを確認し、共添加による変化は見られなかった。また、発光量は 37,000 光子/MeV で、エネルギー分解能は 6.4 %（662 keV, FWHM）であった。蛍光寿命は 750 ns であり Tl:CCI と比べて高速化し、さらに Fig. 1 よりエネルギー応答の非線形性の改善も見られた。

References [1] L. Stand *et al.*, Nucl. Inst. and Meth. A, **991**, 164963, (2021). [2] K. Yang *et al.*, J. Appl. Phys., **118**, 213106, (2015).

© 2024年 応用物理学会

ミストデポジションによる有機無機ハイブリッド$(TMS)_3Cu_2I_5$の薄膜形成と光学特性評価

Deposition and optical properties of organic-inorganic hybrid $(TMS)_3Cu_2I_5$ thin film by Mist deposition

京工繊大[1]，○(D)渡邉 啓佑[1]，西中 浩之[1]
Kyoto Inst. of Tech.[1], ○Keisuke Watanabe[1], Hiroyuki Nishinaka[1]
E-mail: d2822004@edu.kit.ac.jp

近年、新たな発光材料として$Cs_3Cu_2I_5$などのCu系メタルハライド[1]が注目されている。この材料は優れた光学的特性と高い大気安定性を有し、溶液プロセスで薄膜や単結晶が形成できることから、LED[2]やシンチレータ[3]など、様々な光学デバイスへの応用が期待されている。Cs-Cu-I系はハロゲン元素をBrやClに置換することで青から緑色での発光色の制御が可能であるが、Pb系ハライドペロブスカイトなどとは異なり可視光全域での発光色制御はまだ実現できていない。また、緑で発光する$Cs_3Cu_2Cl_5$は大気安定性が低く、時間経過によって発光が見られなくなる。そこで、全無機Cu系メタルハライドよりも短波長で発光し、高い大気安定性と優れた光学的特性をもつ発光材料として、有機無機ハイブリッドのCu系メタルハライドである$(TMS)_3Cu_2I_5$ (TMS: trimethyl sulfonium)[4]に注目した。この材料は2023年に報告された新たな材料で、UV下で黄色に発光することが知られており、単結晶で26%程度の蛍光量子収率を示すことが知られている。これまでは単結晶の報告のみが知られており、デバイス応用上重要な薄膜の形成やその特性は明らかになっていないため、本研究ではミストデポジションを用いて$(TMS)_3Cu_2I_5$の薄膜を形成し、得られた薄膜について光学的特性を調査した。

ミストデポジションによって形成した$(TMS)_3Cu_2I_5$薄膜のPL/PLE測定の結果を図1に示す。PL測定の結果において、552 nmをピークとし、FWHMが0.42 eVであるブロードな発光が得られた。PLE測定では287 nmと313 nmにピークが得られており、1.72 eVの大きなストークスシフトが観測された。また、形成した$(TMS)_3Cu_2I_5$はUV下で黄色の発光を示した(図1右上)。次に、図2に$(TMS)_3Cu_2I_5$の蛍光減衰曲線を示す。蛍光減衰曲線はマイクロ秒オーダーの一次の減衰を示しており、フィッティングより得られた蛍光寿命は4.61 μsであった。この値は単結晶で報告されている値と同等の値であり[4]、単結晶と薄膜で大きく違いが見られないことが明らかになった。当日は薄膜の結晶構造や光学特性などについてより詳細に議論する予定である。

【参考文献】

[1] Z. Luo *et. al.*, *small*, **16**, 1905226 (2020) [2] X. Liu *et al., ACS Appl. Mater. Interfaces,* **12**, 52967-52975 (2020) [3] S. Cheng *et al.*, *Phys. Status Solidi RRL*, **14**, 2000374 (2020) [4] D. Banerjee *et al., ACS Appl. Mater. Interfaces*, **15**, 30455-30468 (2023)

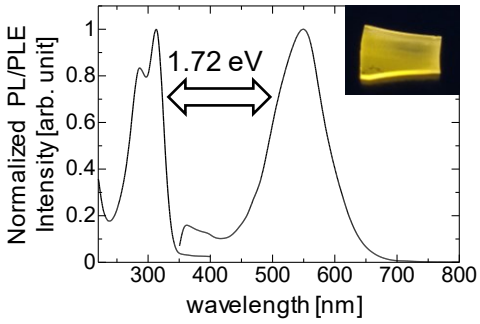


図1 $(TMS)_3Cu_2I_5$のPL/PLEスペクトルとUV下での発光の様子

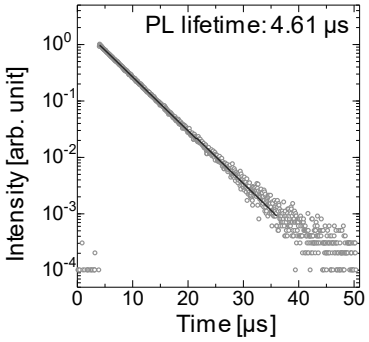


図2 $(TMS)_3Cu_2I_5$の蛍光減衰曲線

青色励起可能な近赤外蛍光体 α-YFS:Yb^{3+}の光物性評価

Luminescence properties of blue-excitable near-infrared phosphor α-YFS:Yb^{3+}

産総研 [1]，北陸先端大 [2]　○北川 裕貴 [1]，上田 純平 [2]

AIST [1], JAIST [2], ◦Yuuki Kitagawa[1], Jumpei Ueda[2]

E-mail: kitagawa.yuuki@aist.go.jp

$4f^{13}$ 電子配置を有する Yb^{3+}は 4f-4f 遷移により 1000 nm 付近の近赤外 (NIR) 域にシャープな発光を示すことから，NIR レーザーやシンチレータなどのアプリケーションに向けて研究が進められてきた[1]。しかし 4f 準位は約 10000 cm^{-1} 離れた $^2F_{7/2}$ および $^2F_{5/2}$ のみであり，可視光励起できない。配位アニオンから Yb^{3+}への電荷移動 (CT) 遷移は高効率な励起過程として知られているが，既報の多くの酸化物・酸硫化物母体中において紫外～近紫外域にとどまる[2]。本研究では，酸硫化物よりも共有結合性の影響が大きく，CT 励起バンドの長波長シフトが予想されるフッ化硫化物 α-YFS に Yb^{3+}を添加した蛍光体を合成し，Yb^{3+}の CT 状態と関連する光物性について調査した。

Yb^{3+}を 0.1%添加した α-$Y_{0.999}$FS:$Yb^{3+}_{0.001}$ 蛍光体試料を固相反応法により合成した。**Fig. 1a** に α-YFS:Yb^{3+}試料の 4 K での蛍光 (PL) および蛍光励起 (PLE) スペクトルを示す。PLE スペクトルでは，α-YFS 母体吸収 (バンドギャップ E_g = ~2.7 eV) のほかに，450–500 nm に広がるブロードな吸収バンドが観測された。希土類添加無しまたは Ce^{3+}添加 YFS [3]では観測されない吸収バンドであることから，価電子帯上端で支配的な S 3p 軌道から Yb^{3+}への CT 遷移に帰属される。既報の酸硫化物 Y_2O_2S:Yb^{3+}では CT 励起バンドのピークは 310 nm に位置しており[2]，α-YFS:Yb^{3+}では S^{2-}による長波長シフトの影響は非常に大きいことがわかった。一方 PL スペクトルでは，1000 nm 付近に Yb^{3+}: $^2F_{5/2} \rightarrow {}^2F_{7/2}$ 遷移に帰属されるシャープな NIR 発光が観測された。また 660 nm をピークとする弱いブロードな発光が観測された。これは α-YFS:Ce^{3+}に見られる発光よりも短波長の発光であり，また 100 K でほとんど消光したことから Yb^{3+}の CT 発光であると考えられる。**Fig. 1b** には青色励起光照射下での PL スペクトルの温度依存性を示す。温度上昇に伴い，ピーク強度比が大きく変化したことから，低温域での温度センサーとしてのアプリケーションが期待される。

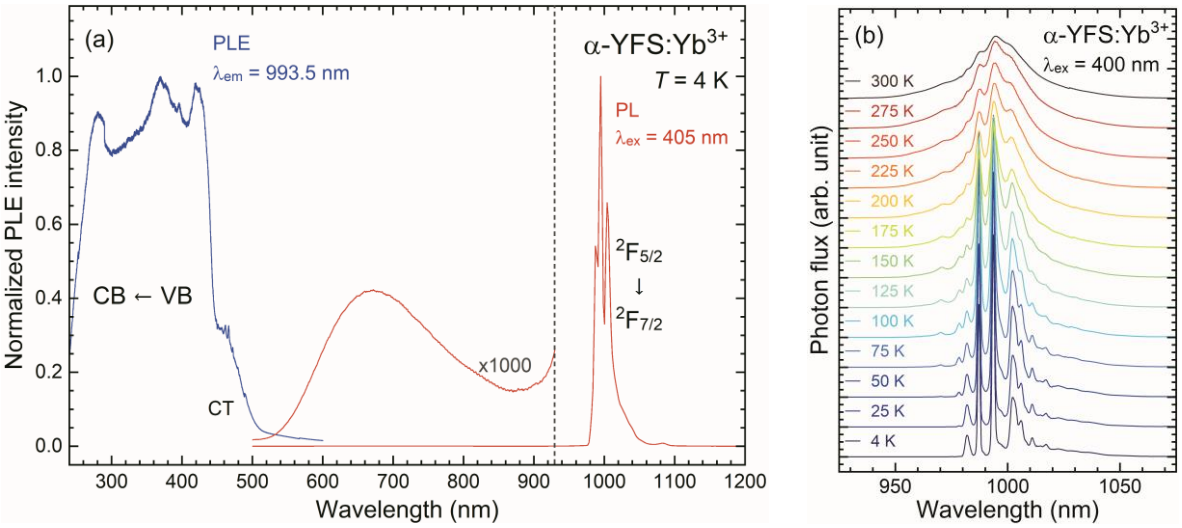


Fig. 1 (a) PL and PLE spectra of the α-YFS:Yb^{3+} (0.1%) sample at 4 K. (b) Temperature dependence of high-resolution PL spectra (T = 4–300 K).

[1] G. Boulon, *J. Alloys Compds*. **451** (2008) 1–11. [2] L. van Pieterson *et al., J. Lumin.* **91** (2000) 177–193.
[3] Y. Kitagawa, J. Ueda, 第 84 回応用物理学会秋季学術講演会, 23p-A305-10 (2023).

© 2024年 応用物理学会

分光学的手法を用いた $Sr_3Ca_2(PO_4)_3F$ における Eu^{3+}のサイト占有率評価

Evaluation of Eu^{3+} site occupancy in $Sr_3Ca_2(PO_4)_3F$ by spectroscopic analysis

北陸先端大 [1]，（株）住田光学ガラス [2]
○阿曽 悟郎 [1 2]，山嵜 正明 [2]，上田純平 [1]
JAIST [1], SUMITA OPTICAL GLASS, INC. [2]
E-mail: go-aso@sumita-opt.co.jp

[背景]

2016 年, LiF を助剤に用いた $Sr_5(PO_4)_3F:Eu^{2+}$において，可視光励起によるブロードな赤色発光が観測され，さらに赤/青の発光強度比は共添加希土類の占有サイトにより変化することを報告した[1]. 近年では，蛍光体の異なる環境の発光中心を分光学的に分別する研究も多く，各固溶サイトの発光特性および局所環境を評価し，知見を得ることは，新たな材料設計方法の構築に繋がることが期待される．本研究では，局所対称性に敏感な Eu^{3+}の発光に着目し，Eu^{3+}単独添加と Eu^{3+}-La^{3+}共添加 $(SrCa)_5(PO_4)_3F$ において，詳細な分光測定および解析に取り組んだ.

[試料作製・評価]

組成が$((SrCa)_{0.985}Eu_{0.015})_5(PO_4)_3F$ と$((SrCa)_{0.985}Eu_{0.01}La_{0.005})_5(PO_4)_3F$ となるように原料を調合・混合し，Pt るつぼを用いて 1000 ºC, 2h で一度焼成し，その粉末の成型体を作製後 1000 ºC, 5h で焼結することによりセラミックス試料を得た．X 線回折測定において単一相を確認後，励起発光スペクトル(@5K), OPO(Optical Parametric Oscillator)レーザーを用いた PL・PLE 二次元マッピングを測定した．本手法では，Eu^{3+}の $^7F_0 \rightarrow {}^5D_0$(0-0 遷移)励起と $^7F_0 \rightarrow {}^5D_1$(0-1 遷移)励起の PL・PLE 二次元マッピングにより異なる Eu^{3+}サイトを観測し，そのサイトの発光寄与率からサイト占有率を算出した．さらに Judd-Oflet 解析により主となる発光サイトを占有する Eu の Ω_t パラメータを求め，局所構造の評価を行った.

[結果および考察]

5 K における Eu^{3+}単独試料の 0-0 遷移励起二次元マッピングの結果を Fig. 1 に示す. 0-0 遷移は非縮退準位間の遷移であり，ピークの本数がサイトの個数を表す．得られた結果より, Eu^{3+}サイトは多数存在することを確認できた．占有率の評価には吸収遷移確率がサイト対称性に依存しない 0-1 遷移(磁気双極子遷移)に注目し，すべてのサイトを励起したデータを用いた. Eu^{3+}単独, Eu^{3+}-La^{3+}共添加試料の解析結果および考察に関しては当日報告する.

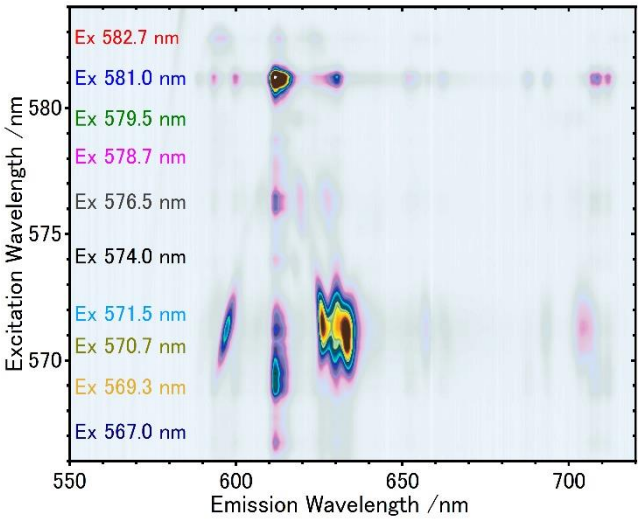


Fig. 1. Excitation-Emission wavelength counter plot of luminescence intensity in $((SrCa)_{0.985}Eu_{0.015})_5(PO_4)_3F$ by 0-0 transition excitation.

[参考文献]

[1]阿曽悟郎，特許第 6600575 号

LSS 法を用いて探索されたフッ化物狭帯域蛍光体の粉末合成

Powder synthesis of narrow-band emitting fluoride phosphor using LSS method

物材機構 [1]，大阪公立大 [2]

○中西昭博 [1]，小山幸典 [1]，中西貴之 [1]，高橋向星 [1]，広崎尚登 [1]，池野豪一 [2]，武田隆史 [1]

NIMS[1], Osaka Metro. Univ. [2]

°Akihiro Nakanishi[1], Yukinori Koyama[1], Takayuki Nakanishi[1], Kohsei Takahashi[1], Naoto Hirosaki[1], Hidekazu Ikeno[2], Takashi Takeda[1]

E-mail: NAKANISHI.Akihiro@nims.go.jp

【緒言】8K テレビの規格である BT.2020 を満たすために、狭帯域発光を示す蛍光体が求められている。狭帯域蛍光体の例として $SrLiAl_3N_4:Eu^{2+}$[1]などが知られているが、Eu^{2+}周りの局所構造と半値全幅との関係は解明されていない。そのため狭帯域発光を示す蛍光体の母体材料探索には、大量の結晶構造データを用いた、データ駆動型の探索が効果的である。我々は局所構造の定量的な類似度（LSS: local structure similarity[2]）を用いることで、無機結晶構造データベース ICSD から、既知狭帯域蛍光体の賦活剤周りの局所構造に類似したサイトを有する結晶構造を探索した。その結果、$SrLiAl_3N_4:Eu^{2+}$蛍光体の Sr サイトに類似した局所構造を有する、$Na_5Al_3F_{14}$ が選択された。$Na_5Al_3F_{14}:Eu^{2+}$を合成したところ、狭帯域発光が観測された。

【手法】ICSD 上の結晶構造をいくつかの条件でスクリーニングしたイオン性結晶を探索対象とした。アルカリ金属、アルカリ土類金属イオン中心の 8 配位局所構造を探索範囲とした。参照構造としていくつかの既知狭帯域蛍光体の局所構造も用意した。参照構造と類似している局所構造を探索するために、ICSD 上の結晶構造と、参照構造を加えたすべての組み合わせについて類似度を求め、t-distributed stochastic neighbor embedding (t-SNE) 法によって局所構造を 2 次元散布図に可視化した。散布図上のデータ点は結晶構造中のサイトの局所構造を示しており、類似度が高いデータ点はより近くに配置される。

【結果】8 配位局所構造の t-SNE 図を Fig. 1 に示す。狭帯域発光を示す $SrLiAl_3N_4:Eu^{2+}$の Sr サイト付近に $Na_5Al_3F_{14}$ の Na サイトが存在することから、$Na_5Al_3F_{14}:Eu^{2+}$を合成した。粉末 XRD の結果より $Na_5Al_3F_{14}:Eu^{2+}$の単一相合成に成功し、発光ピーク波長 393 nm、半値全幅 30 nm の狭帯域発光が観測された。

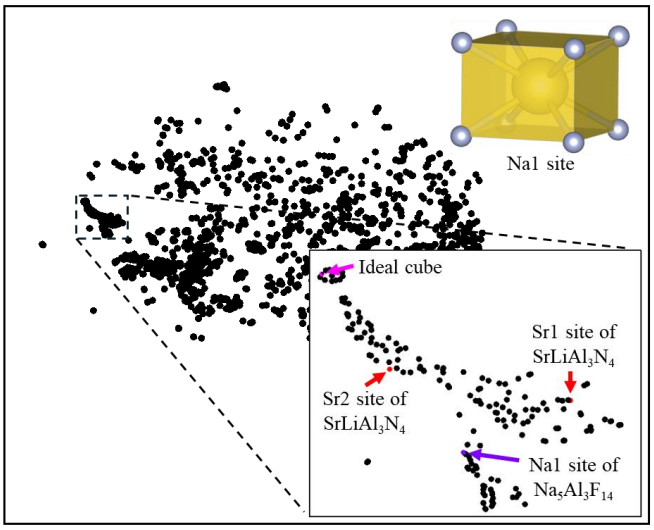


Fig. 1 2D t-SNE plot for 8-coordinated alkali-centered local structures.

【謝辞】本研究は JST-CREST, JPMJCR19J2 の支援を受けたものである。

【参考文献】[1] P. Pust et al., *Nature Mater.* **13** (2014) 891-896.

[2] S. Takemura et al., *Sci. Technol. Adv. Mater.* **22** (2021) 185-193.

© 2024年 応用物理学会

密度汎関数法による Eu^{2+}賦活蛍光体ストークスシフトの系統的計算

Systematic calculation of Stokes shift in Eu^{2+}-doped phosphors based on density functional theory

阪公大工 [1]，物材機構 [2]　○(M2) 山田 太陽 [1]，武田 隆史 [2]，小山 幸典 [2]，池野 豪一 [1]，
Osaka Metropolitan Univ. [1], NIMS. [2], ◦Taiyo Yamada[1], Takashi Takeda[2], Yukinori Koyama[2], Hidekazu Ikeno[1]
E-mail: sl23015x@st.omu.ac.jp

【緒言】希土類イオンを賦活した無機固体結晶は、白色 LED 用の蛍光体材料として広く利用されており、現在も新規ホスト結晶の探索が活発に行われている。励起スペクトルと発光スペクトルのピークトップの差で表されるストークスシフトは、蛍光強度や発光の温度特性などに関連しており、新規蛍光体の開発において重要なパラメータとなっている。一方で、ストークスシフトとホスト結晶の定量的な関係は明らかになっておらず、効率的な新規蛍光体の探索のためにこれらの関係の解明が求められている。本研究では、Eu^{2+}を賦活した蛍光体のストークスシフトを第一原理計算から系統的に計算し、ホスト結晶の化学組成や結晶構造がストークスシフトに与える影響を明らかにすることを目的とする。

【手法】本研究では、Eu^{2+}賦活蛍光体について、ΔSCF 法を用いてストークスシフトを計算した。ΔSCF 法は密度汎関数計算において 4f 軌道の電子 1 つを次のエネルギー状態に強制的に束縛することで励起状態を再現する。基底状態の安定構造における励起状態と基底状態のエネルギー差から吸光エネルギー、励起状態の安定構造における励起状態と基底状態のエネルギー差から発光エネルギーを求め、それらの差からストークスシフトを求めた。計算は GGA+U 法を用い、Eu の 4f 軌道に $U = 7.5$ eV のハバード項を加えて行った。

【結果】フッ化物や窒化物などの Eu^{2+}無機蛍光体 62 個について遷移エネルギーおよびストークスシフトを計算し、実験値と比較したグラフを Fig. 1 に示す。吸光・発光エネルギーはともに実験値より平均して 0.3 eV 程度過大評価される傾向にあるものの、傾向の再現に成功した。また、吸光エネルギーおよび発光エネルギーについて、過大評価分を補正した後の平均相対誤差はそれぞれ 5.7 %と 6.9 %となった。ストークスシフトは Ba を置換した系やストークスシフトの大きな系で過大評価される傾向があるものの、CaF_2 や CaO などの対称性が高い系では精度良く再現することができた。発表では Eu^{2+}賦活蛍光体について、ホスト結晶の構造とストークスシフトの関連性について議論する。

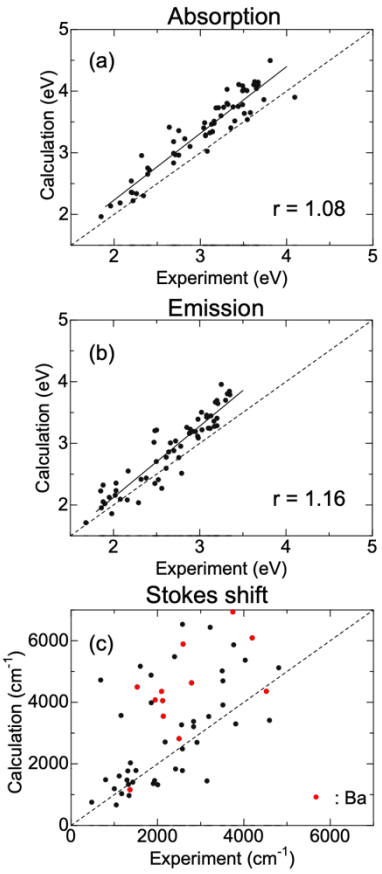


Fig.1. Comparison between experimental results and first-principles calculations: (a) absorption energy, (b) emission energy, (c) Stokes shift

無機バイオマテリアル $Ca_3(PO_4)_2$ の Eu^{2+}及び Dy^{3+}共添加: 蛍光及び残光制御に向けて

Co-doping of Eu^{2+} and Dy^{3+} ions in inorganic biomaterials $Ca_3(PO_4)_2$

東京大工 ○早川洸海, 松井裕章
Faculty of Engineering, The Univ. of Tokyo, ○Hiromi Hayakawa and Hiroaki Matsui
E-mail: hayakawa-bioeng@g.ecc.u-tokyo.ac.jp

無機バイオマテリアルは医療応用に向けて開発された生体物質であり、特に、人工関節やインプラント等への医療応用が実現されている。特に、リン酸カルシウム系材料は骨成分に関係し、高い生体親和を持つ。リン酸カルシウム系材料は希土類元素を添加することで高い蛍光性を示すことが知られ、バイオセンシングに向けた光学応用に期待される。本研究では、リン酸カルシウム（$Ca_3(PO_4)_2$）を主な対象とする。$Ca_3(PO_4)_2$ は多形態（β, α 及び α'相）を有し、合成条件に伴って異なった結晶相が生成され、発光特性にも影響を与える。本課題は、無機バイオマテリアルを用いた応力発光材料の開発を目指しており、その視点からも蛍光制御に加えて残光制御も実施する。更に、無機バイオマテリアルという材料学的観点は、近赤外蛍光（生体窓と波長）への進展への挑戦も将来的な構想に含まれる。本発表では、Eu^{2+}及び Dy^{3+}共添加 $Ca_3(PO4)_2$ の構造学的及び光学的制御を報告する。

Eu^{2+}及び Dy^{3+}共添加 $Ca_3(PO_4)_2$ は、$CaCO_3$ と $NH_4H_2PO_4$ を母物質の合成原料として選び、Eu_2O_3 及び Dy_2O_3 を希土類元素の出発原料とした。試料作製は固相反応法を採用し、$NH_4H_2PO_4$ の熱分解をも茎とした 300ºC での予備焼成後に 1350ºC での本焼成を行った。本焼成は、水素還元雰囲気（N_2/H_2 ガス）内で実施し、Eu イオンの価数還元（Eu^{3+} => Eu^{2+}）を行った[1]。試料評価として、X 線回折による構造解析、及び蛍光・残光性を主に検討した。

得られた無添加 $Ca_3(PO_4)_2$ は、1100oC 以上の高温域で安定な α 相が母体構造として得られた。一般的に、$Ca_3(PO_4)_2$ におけるα型（単斜晶系: P21/a）からβ型（菱面体: R3m）の相転移は、900 - 1000ºC で長時間の熱処理を必要とする。本研究では、1350ºC の本焼成時からの室温への冷却は 3 時間程度のため、α 型の $Ca_3(PO_4)_2$ が室温で維持された。α-$Ca_3(PO_4)_2$ への Eu^{2+}添加は、結晶の格子定数の影響を与え、特に、*b* 軸及び *c* 軸方向の格子定数の増大を引き起こした（Ca^{2+}と Eu^{2+}のイオン半径の差異が関係する）。更に、Eu^{2+}濃度の増大と伴に、α型 $Ca_3(PO_4)_2$ に加えてβ型の結晶相も確認され、不純物添加は結晶相にも影響を与える。一方、発光特性に関して、Eu^{2+}添加は波長 485 nm 近傍の蛍光ピークを示し、Eu^{2+}濃度の増加と伴に、長波長シフトを示した。しかし、Eu^{2+}添加だけでは如何なる残光性も観測されなかった。一方、Eu^{2+}及び Dy^{3+}共添加は強い残光性が出現した。それは、Dy^{3+}イオンがキャリアトラップとして機能することが示唆される。

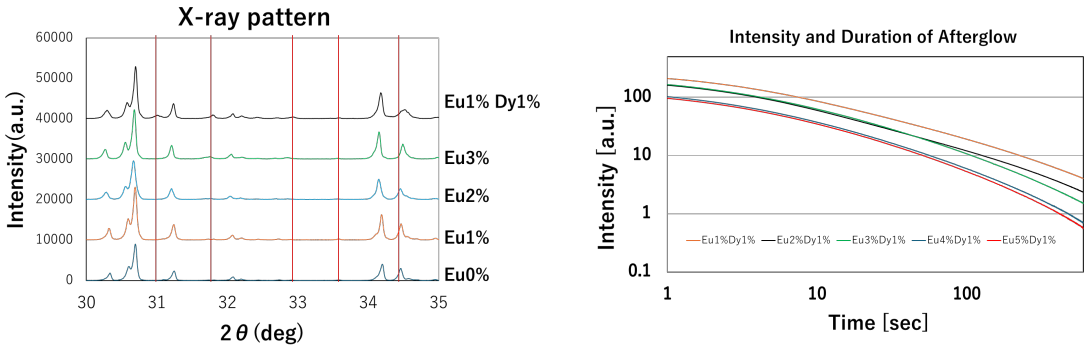


図 1. (左) $Ca_3(PO_4)_2$: Eu^{2+}, Dy^{3+}の XRD パターン及び（右）残光曲線（残光強度は、254 nm 照射後の蛍光強度を計測）

[1] *J. Mater. Chem.* C, 2021, 9, 1622. [2] *RSC Adv.* , 2016, 6, 10173

新しい深赤色蛍光体の合成と構造解析

Synthesis and structure determination of new deep red phosphor

新潟大院　○戸田 健司，疋田　渉

Niigata Univ.

E-mail: ktoda@eng.niigata-u.ac.jp

本研究では、$Sr_3Ga_2O_6$ と $Ca_3Ga_2O_6$ の固溶系において深赤色発光を示す未知の結晶相 $SrCa_2Ga_2O_6:Mn^{4+}$を発見し、単結晶 X 線構造解析よりその結晶構造を特定した。また、粉末試料としての蛍光特性を評価した。

$SrCa_2Ga_2O_6:Mn^{4+}$（SCGO:Mn^{4+}）単結晶はフラックスを用いた徐冷法で合成した。$SrCa_2Ga_{1.99}Mn_{0.01}O_6$の組成に基づき秤量･湿式混合した原料混合物に仕込み量の 50wt%となる $SrCl_2$ を加えて乾式混合した。アルミナボートに載せた混合物を空気雰囲気下 1200°C で 6 時間加熱し、続けて 850°C まで 7 時間かけて徐冷した。放冷後に得られた単結晶試料を単結晶 XRD 装置で測定し、結晶構造を解析した。

Fig. 1 に示されるように、SCGO:0.01Mn^{4+}のみ XRD パターンが既報物質と一致せず、かつ強い赤色発光を示した。Fig. 2 に SCGO:0.01Mn^{4+}の励起・発光スペクトルを示す。SCGO:0.01Mn^{4+}は近紫外・青色光励起下で 712 nm をピークとする深赤色発光を示した。単結晶構造解析より、SCGO:Mn^{4+}は立方晶で空間群 *F*432（#209）に属する結晶構造を有していた。この構造は端組成の $Sr_3Ga_2O_6$ と $Ca_3Ga_2O_6$ とは全く異なり、かつ SrO-CaO-Ga_2O_3 三成分系では報告のないものである。以上の結果より、Mn^{4+} 添加 $Sr_3Ga_2O_6$-$Ca_3Ga_2O_6$ 固溶系の合成から新規深赤色蛍光体 $SrCa_2Ga_2O_6:Mn^{4+}$の発見とその結晶構造の特定に成功した。

謝辞　本蛍光体の合成については N-ルミネセンス株式会社のご協力を賜りました。ここに厚く御礼申し上げます。

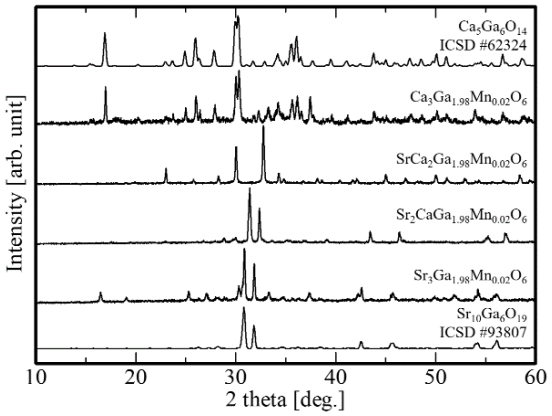


Fig. 1 XRD patterns of $Sr_{3-x}Ca_xGa_{1.98}Mn_{0.02}O_6$ ($0 \leqq x \leqq 3$) sintered at 1200°C for 6 h in ambient air.

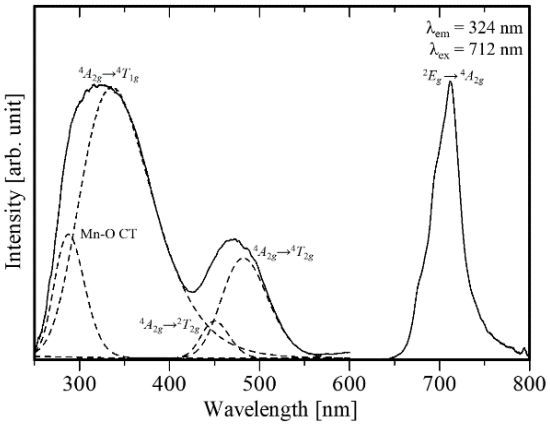


Fig. 2 PL and PLE spectra of $SrCa_2Ga_2O_6$:0.01Mn^{4+}. Broken lines are deconvoluted excitation bands.

© 2024年 応用物理学会

13 半導体 | 一般セッション(口頭講演)：13.9 化合物太陽電池

[18p-B1-1~20] 13.9 化合物太陽電池

[18p-B1-1]
“光イオントロニクス”観点から見たCIGS光電極の水分解キャリアダイナミクスの検討
〇植田 かな[1]、杉山 睦[1,2] (1.東理大　創域理工、2.東理大　総研)

[18p-B1-2]
ミストCVD法を用いた$(In,Ga)_2S_3$薄膜の作製
〇荒木 耀平[1]、船木 顕広[1]、西村 昂人[1]、山田 明[1] (1.東工大工)

[18p-B1-3]
$Cu(In,Ga)Se_2$太陽電池におけるn層一体型Zn-Ge-Oの開発
〇山田 裕太朗[1]、鈴木 陽太[1]、西村 昂人[1]、山田 明[1] (1.東京工業大学)

[18p-B1-4]
ベイズ最適化を用いた$Cu(In,Ga)Se_2$光吸収層の構造設計
〇河西 竜輝[1]、船木 顕広[1]、西村 昂人[1]、山田 明[1] (1.東工大工)

[18p-B1-5]
CIS系太陽電池におけるMo裏面電極の表面電子構造
〇大場 幹也[1]、上川 由紀子[2]、永井 武彦[2]、石塚 尚吾[2]、西永 慈郎[2]、反保 衆志[2]、青野 祐美[1]、奥田 哲治[1]、寺田 教男[1,2] (1.鹿児島大、2.産総研)

[18p-B1-6]
$MAPbI_3$/Siヘテロ構造を利用した二段階フォトンアップコンバージョン太陽電池
〇(M2)徳永 隼也[1]、鬼塚 遼平[1]、朝日 重雄[1]、喜多 隆[1] (1.神戸大院工)

[18p-B1-7]
Intraband Transitions Induced by Below-Bandgap Photoexcitation at $CsPbBr_3$/GaAs Heterointerface
〇(DC)Hambalee Mahamu[1], Shigeo Asahi[1], Takashi Kita[1] (1.Kobe Univ.)

[18p-B1-8]
2段階フォトンアップコンバージョン太陽電池におけるバンド内赤外光学遷移の量子ドットによる増強特性
〇(M2)山本 祥[1]、永井 大地[1]、朝日 重雄[1]、喜多 隆[1] (1.神戸大院工)

[18p-B1-9]
中間バンドを有する熱放射ダイオードの理論発電密度(II)
〇原田 幸弘[1]、喜多 隆[1] (1.神戸大院工)

[18p-B1-10]
分子材料の三重項消滅、一重項分裂を利用した太陽電池互換2波長レーザー対応光電変換素子
〇竹田 康彦[1] (1.豊田中研)

[18p-B1-11]
光無線給電用InGaN太陽電池の光学損失の検討

〇鈴木 淳一[1]、髙橋 龍成[1]、金子 優翔[1]、青山 怜央[1]、古賀 誠啓[1]、渋井 駿昌[1]、野口 尊央[1]、林 駿希[1]、藤澤 孝博[2]、伊井 詩織[3]、渡邊 琉加[3]、深町 俊彦[4]、難波江 宏一[4]、三好 実人[2]、竹内 哲也[3]、上山 智[3]、内田 史朗[1] (1.千葉工業大学、2.名古屋工業大学、3.名城大学、4.ウシオ電機)

[18p-B1-12]

DBR構造を持つ光無線給電用InGaP太陽電池の温度特性

〇高橋 龍成[1]、鈴木 淳一[1]、川村 駿介[1]、赤羽 浩一[2]、内田 史朗[1] (1.千葉工大、2.情報通信研究機構)

[18p-B1-13]

光ファイバー給電用3接合型 I nGaAs 太陽電池の温度依存性

〇青山 怜央[1]、鈴木 淳一[1]、千葉 萌翔[1]、渋井 駿昌[1]、渡邉 康祐[1]、割ヶ谷 凌太[1]、赤羽 浩一[2]、内田 史朗[1] (1.千葉工業大学、2.情報通信研究機構)

[18p-B1-14]

InGaAs熱光起電力発電セルへ向けたパターン化誘電体裏面電極の作製

〇伊達 仁基[1,2]、大島 隆治[2]、庄司 靖[2]、斎 均[2]、清水 信[3]、菅谷 武芳[2]、八木 修平[1]、矢口 裕之[1] (1.埼玉大院理工、2.産総研、3.東北大院工)

[18p-B1-15]

ガンマ線検出器応用InGaP太陽電池における電子線誘起電流劣化の評価

〇今泉 充[1]、中村 徹哉[2]、奥野 泰希[3] (1.三条市大、2.宇宙機構、3.理研)

[18p-B1-16]

常温接合による異種半導体基板接合の低抵抗化

〇藤井 駿太朗[1]、青山 怜央[1]、西舘 優太[1]、千葉 萌翔[1]、藤原 柊人[1]、斎藤 圭胡[1]、菊地 隆雅[1]、渡邉 康祐[1]、赤羽 浩一[2]、内田 史朗[1] (1.千葉工大、2.情報通信研究機構)

[18p-B1-17]

Electrical properties of wafer-bonded interfaces applicable for multijunction p-on-n solar cells

〇Hassanet Sodabanlu[1], Depu Ma[2], Kentaroh Watanabe[1], Yoshiaki Nakano[2], Masakazu Sugiyama[1,2] (1.RCAST, UTokyo, 2.School of Eng., UTokyo)

[18p-B1-18]

電流不整合の改善によるInGaP/GaAs/$In_xGa_{1-x}As$//$In_yGa_{1-y}As$ 4接合太陽電池の高効率化

〇(M2)島崎 嵩士[1]、渡辺 健太郎[2]、ソダーバンル ハッサネット[2]、中野 義昭[1]、杉山 正和[1,2] (1.東大工、2.東大先端研)

[18p-B1-19]

太陽電池における理想係数の集光度依存性の解明

〇浅見 明太[1]、渡辺 健太郎[1]、中野 義昭[2]、杉山 正和[1,2] (1.東大先端研、2.東大工)

[18p-B1-20]

GON構造形成に向けたGeの異方性エッチングとアニール処理の検討

〇(M2)范 文博[1]、大島 隆治[2]、庄司 靖[2]、菅谷 武芳[2]、八木 修平[1]、矢口 裕之[1] (1.埼玉大院理工、2.産総研)

“光イオントロニクス”観点から見た CIGS 光電極の水分解キャリアダイナミクスの検討

Investigation of “optoiontronic carrier dynamics” during water splitting using CIGS photoelectrode

東京理科大学 創域理工 [1]/総研 [2],
°植田 かな [1], 杉山 睦 [1,2]
1. Faculty of Science and Technology / 2. RIST, Tokyo Univ. of Science
°K. Ueda[1], M. Sugiyama[1,2] E-mail: optoelec@rs.tus.ac.jp

【はじめに】 グリーン水素生成のための光電極材料には、太陽光スペクトルの大部分を水分解反応に寄与する電子へと変換可能な半導体が求められる。Cu(In,Ga)Se_2 (CIGS)はナローバンドギャップを有し、可視光領域の光吸収係数も高いことから、太陽電池だけでなく高効率光電極材料として期待されている[1]。一方で CIGS 系半導体を反応面とした光電極では、表面欠陥等によって光電流が減少する報告があり[2]、固液界面における水分解メカニズムの詳細な検討が求められる。一般に光電極は、材料の光吸収によるキャリア励起・ドリフトなどの“物理的要素(光エレクトロニクス)”と、イオン伝導や電解などの“化学的要素（イオニクス）”が同時に生じることによって水素が生成するが、これまでは各分野の専門家による片面からの研究が主流であった。高効率水素生成デバイス実現のためには、物理・化学“両面”からキャリアダイナミクスを検討するための、光イオントロニクス（＝光エレクトロニクス＋イオニクス）の概念を提唱し、新たな材料評価手法の確立が重要となる。図 1 に水分解反応時の光電極/水溶液界面付近のキャリアダイナミクスを示す。水分解反応時には光電極側の光エレクトロニクス(図 1-1)と、水溶液側のイオニクス(図 1-2)に加え、光電極/水溶液界面付近のイオン・電子双方が水分解反応に寄与する”光イオントロニクス” (図 1-3)キャリアダイナミクスが存在する。本研究では CIGS 光電極 in-situ 測定の提案により水分解反応時光電極/水溶液界面付近のキャリアダイナミクスを観測することで、光イオントロニクス観点からの水分解反応メカニズムの解明に向けた検討を行った。

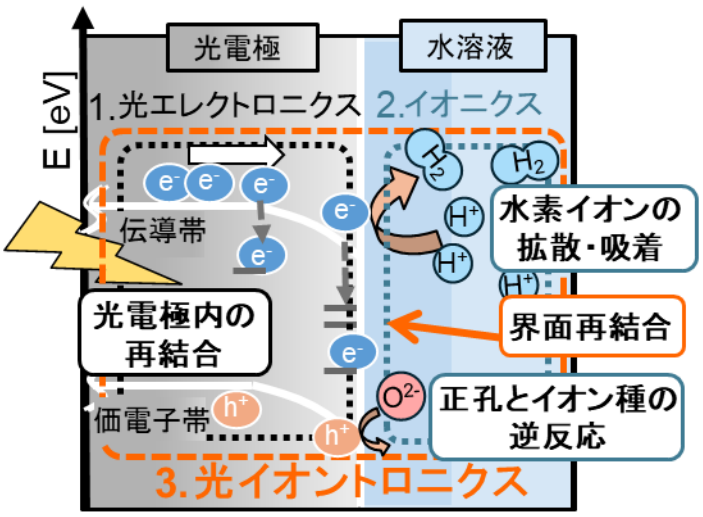


図 1. 光電極・水溶液界面付近における光イオントロニクス観点によるキャリアダイナミクス

【実験方法及び結果・考察】 Mo/SLG 上に MBE 装置を用いて成膜した CIGS 薄膜を光電極化した。本稿では、CIGS 光電極の光イオントロニクス観点による水分解キャリアダイナミクス解明の手段として、水分解反応時 in-situ 時間分解フォトルミネッセンス法を試みた。当日は大気中での CIGS 光電極の諸物性と比較しながら、水素生成反応メカニズムについて報告する。

【謝辞】 本研究の一部は、JST 次世代研究者挑戦的研究プログラム JPMJSP2151、東京理科大学総合研究院再生可能エネルギー技術研究部門、およびスペースシステム創造研究センターの支援を受けた。

【参考文献】 [1] Our group, J. Phys. D: Appl. Phys. **57** (2024) 135103.
[2] S. Ikeda, et al., ChemSusChem **4** (2011) 262.

ミスト CVD 法を用いた$(In,Ga)_2S_3$薄膜の作製

Deposition of $(In,Ga)_2S_3$ Thin Films via Mist-CVD Method

東工大工　○(M2)荒木 耀平 [1]，(D2)船木 顕広 [1]，西村 昂人 [1]，山田 明 [1]

[1]Dept. of Electrical and Electronic Engineering, Tokyo Tech

○[1]Yohei Araki, [1]Akihiro Funaki, [1]Takahito Nishimura, [1]Akira Yamada

E-mail: araki.y.ak@m.titech.ac.jp

1. 研究背景

$Cu(In,Ga)Se_2$ (CIGS) 太陽電池において，n 型バッファ層は高効率化のために重要である．しかし，従来バッファ層として用いられてきた CdS は，バンドギャップが狭いことに起因する短波長光の損失や，環境負荷が高い Cd の使用といった課題がある．これまでに我々の研究室では，CdS の代替材料として In_2S_3 に着目し，大気開放型 CVD 法による In_2S_3 薄膜の製膜を行ってきた[1]．しかし，バンドギャップが可変である CIGS の特性を十分に活かすためには，電気的・光学的特性を制御可能なバッファ層が必要となる．今回，我々はミスト CVD 法を用いて，これらの制御が期待される$(In,Ga)_2S_3$ 薄膜の作製について検討したので報告する．

2. 実験方法

$(In,Ga)_2S_3$ 薄膜は，ミスト CVD 法を用いて無アルカリガラス基板上に作製した．成膜時の意図しない酸素の混入を防ぐため，製膜は窒素雰囲気下で行った．原料溶液は，ジエチルジチオカルバミン酸インジウム (In-DTC) およびジエチルジチオカルバミン酸ガリウム (Ga-DTC) を脱水 THF に溶解させ，0.02 mol/L に調整したものを用いた．溶液中の Ga および In の比率(GGI; Ga/(Ga+In))は，0 から 1 まで変化させた．原料溶液は超音波により霧化され，キャリアガス（N_2, 1.0 L/min）により 450℃に加熱したガラス基板まで輸送することで薄膜の堆積を行った．

3. 実験結果

Fig.1 に，得られた薄膜の XRD 測定結果を示す．溶液中の GGI が 0 に近く In 比率が高い薄膜からは，28.7°，43.7°，59.4° にそれぞれ β-In_2S_3 の(206)面，(309)面，(4012)面に対応する回折ピークが得られ，溶液中の GGI が増加すると，β-In_2S_3 の配向が見られなくなった．また，光学的特性としてバンドギャップを算出すると，GGI=0.5 では，直接および間接遷移ギャップがそれぞれ 2.3 eV と 3.2 eV となり，Ga を添加することによって In_2S_3 の 2.0 eV および 2.7 eV よりもワイドギャップ化していることが確かめられた．これらの結果より，ミスト CVD 法によりガラス基板上に堆積した薄膜において，溶液中の GGI を調整することでバンドギャップの調整が可能であることが示唆された．
当日は，得られた$(In,Ga)_2S_3$ 膜のより詳細な電気的・光学的特性を含めて報告する予定である．

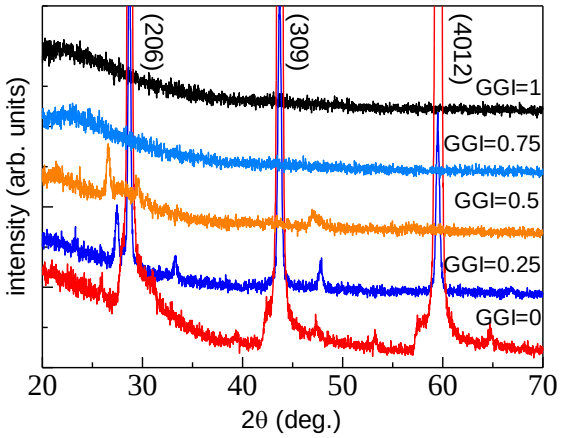


Fig.1 X-ray diffraction spectra of $(In,Ga)_2S_3$ thin film deposited via mist-CVD.

謝辞

本研究は，独立行政法人新エネルギー・産業技術総合開発機構 (NEDO) の支援を受けて実施された．関係各位に感謝する．

参考文献

[1] A. Funaki et. al., Phys. Status Solidi RRL, 2300383 (2023).

Cu(In,Ga)Se_2太陽電池における n 層一体型 Zn-Ge-O の開発

Development of integrated Zn-Ge-O n-layer for CIGSe solar cells

東工大工学院 [1] °(M2) 山田 裕太朗 [1], 鈴木 陽太 [1], 西村 昂人 [1], 山田 明 [1]

Dept. of Electrical and Electronic Engineering, Tokyo Tech. [1]

° Yutaro Yamada[1], Yota Suzuki[1], Takahito Nishimura[1], Akira Yamada[1]

E-mail: yamada.y.ca@m.titech.ac.jp

1.はじめに

近年、Cu(In,Ga)Se_2(CIGSe)太陽電池のワイドバンドギャップ化ならびにタンデム化により、低電子親和力を有する新規 n 型バッファ層が求められている。

先行研究において、低電子親和力なバッファ層として、ZnO と GeO_2 の酸化物混晶である Zn-Ge-O に着目し、[Zn]/([Zn] + [Ge])比を 0~8.1%まで変化させることにより電子親和力が 4.06~4.42 eV の範囲で制御できることを明らかにしてきた。[1]しかし、低電子親和力なバッファ層として Zn-Ge-O を用いた場合、Zn-Ge-O/ZnO:B 界面の伝導帯オフセットが大きくなり、順方向バイアス時に Zn-Ge-O/ZnO:B 界面の電子障壁によって電子の流れが阻害されると考えられる。本研究では、Zn-Ge-O/ZnO:B 間の伝導帯オフセットがCIGSe太陽電池の性能に及ぼす影響を調べたのでその結果を報告する。

2.デバイス解析

ZnO:B/Zn-Ge-O/CIGSe積層構造を有するCIGSe太陽電池においてSCAPSを用いたデバイス解析を実施した。デバイス解析において、ZnO:B/Zn-Ge-O界面の伝導帯オフセットに着目し、type1(CIGS/Zn-Ge-O(Ge12.8%,50nm)/ZnO:B),type2(CIGS/Zn-Ge-O(Ge12.8%,25nm)/Zn-Ge-O(Ge6.1%,25nm)/ZnO:B),type3(CIGS/Zn-Ge-O(Ge12.8%→Ge0%,50nm)/ZnO:B)の 3 型で比較した。type1 ではZn-Ge-Oを通常のバッファ層とし、type2 ではGe濃度の異なる 2 層をバッファ層、type3 ではGe濃度を連続的に変化させたバッファ層を仮定した。表面付近のCIGSe光吸収層のGa濃度は 24%であり、このときGe濃度 12.8%のZn-Ge-Oに対して 0.23eVのスパイクが存在している。[1]

3.結果および考察

Fig1 に SCAPS を用いて出力したそれぞれの CIGSe 太陽電池の IV カーブを示す。デバイス解析結果から Zn-Ge-O/ZnO:B 界面の電子障壁により、type1 の性能が低下することが明らかになった。これに対して type2 あるいは type3 の伝導帯構造を採用することにより、電子障壁の効果が低減された。当日は太陽電池特性に対する Zn-Ge-O/ZnO:B 界面の伝導帯オフセットの影響について実験結果とともに議論する。

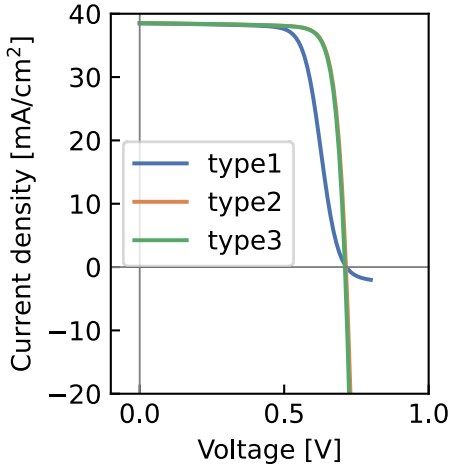


Fig1. IV curves of a CIGSe solar cell obtained from simulation results

謝辞

本研究は NEDO の助成により行われた。関係各位に感謝する。

参考文献

[1] D. Egyna et al., Cryst. Res. Technol. 58, 2, 2200145 (2023).

ベイズ最適化を用いた Cu(In,Ga)Se_2 光吸収層の構造設計

Structural design of CIGSe optical absorption layer by Bayesian Optimization

東工大工学院 [1] °(M2) 河西 竜輝 [1], 船木 顕広 [1], 西村 昂人 [1], 山田 明 [1]

Dept. of Electrical and Electronic Engineering, Tokyo Tech. [1]

° Ryuki Kasai[1], Akihiro Funaki[1], Ryotaro Fukuda[1], Takahito Nishimura[1], Akira Yamada[1]

E-mail: kasai.r.aa@m.titech.ac.jp

1.はじめに

Cu(In,Ga)Se_2(CIGSe)太陽電池は高効率な薄膜太陽電池の一つとして注目されている。しかしながら変換効率に寄与するパラメータの多さ、および各パラメータが相互に依存していることから最適構造の解析が難しくなっている。本稿では「ベイズ最適化」を用いて高い変換効率を示すパラメータの組み合わせを探索し、その結果を分析したので報告する。

2.実験方法

ZnO:B/CdS/表面層/CIGS 積層構造を有する CIGSe 太陽電池において SCAPS を用いたデバイス解析を実施した。太陽電池の最適化にあたり、CIGSe の裏面と表面から深さ 0.4 μm（以降、中央）の箇所での Ga/(Ga+In) 比(GGI)の差 $GGI_{back\text{-}mid}$,中央と表面での GGI の差 $GGI_{mid\text{-}front}$,裏面から中央にかけての厚さ t_CIGS_back,中央から表面にかけての厚さ t_CIGS_front,t_CIGS_back と t_CIGS_front の合計値 t_CIGS_total,および CIGSe 層の電子拡散長 L_n, の 6 パラメータに着目した。探索にあたり、Mo 電極との接合面における欠陥を想定し、その再結合速度を 1.0×10^7cm/s, 1.0×10^3cm/s, 0cm/s(なし)と変化させることにより、高効率に寄与するパラメータ条件を調べた。

3.結果および考察

Fig1 に L_n=1.9 μm,裏面再結合速度 1.0×10^7cm/s, t_CIGS_total =3.0 μm に固定した際の変換効率のカラーマップを示す。色が濃い箇所は変換効率が高く、薄い箇所は変換効率が低い。カラーマップの横軸は t_CIGS_front の値を、縦軸は $GGI_{mid\text{-}front}$ の値を表す。① t_CIGS_front が小さいとき、すなわち表面側の膜厚が小さい時は $GGI_{mid\text{-}front}$ の値は 0 付近すなわち中央から表面にかけての Ga 組成は一定にすることで効率 24.8%、②表面側の膜厚が大きい時は中央から表面にかけて Ga 組成を少なくすることで効率 25.0%を達成できることがわかった。

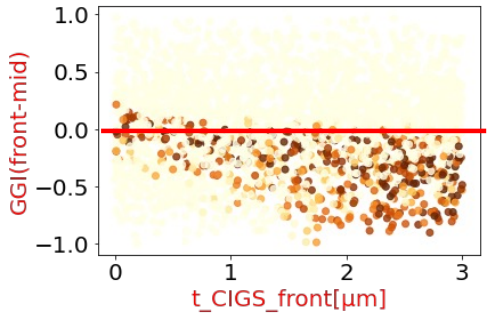


Fig1. Relationship between 2 parameters and conversion efficiency

当日は先述の 6 パラメータに対する変換効率の影響を詳細に議論する。

謝辞

本研究は NEDO の助成により行われた。関係各位に感謝する。

CIS 系太陽電池における Mo 裏面電極の表面電子構造

Surface electronic structure of Mo-back electrode in CIS-based solar cells

鹿児島大 [1], 産総研 [2] ○大場 幹也 [1], 上川 由紀子 [2], 永井 武彦 [2], 石塚 尚吾 [2], 西永 慈郎 [2], 反保 衆志 [2], 青野 祐美 [1], 奥田 哲治 [1], 寺田 教男 [1,2]
Kagoshima Univ.[1], AIST.[2] , ○M. Oba[1], Y. Kamikawa[2], T. Nagai[2], S. Ishizuka[2], J. Nishinaga[2], H. Tampo[2], M. Aono[1], T. Okuda [1] , N. Terada[1,2]
E-mail: k7176881@kadai.jp

はじめに　Cu(In,Ga)Se_2 (CIGS)太陽電池において、常用される Mo 裏面電極表面には電池プロセス中に Mo-Se 化合物層が形成される。当グループは超高真空中リフトオフにより露出させた CIGS 電池の Mo 電極表面の Mo-Se 層が $MoSe_2$ 単結晶と異なる電子構造(p 型的)を持つことで、CIGS 層裏側のバンドを上昇させることによる Back surface field (BSF)の増強と価電子帯上端 (VBM)の逆傾斜を緩和する、電池特性に有益なバンド接続の発現が推定されることを報告した。これまでに、この特異な電子構造が $MoSe_2$ 相中の Mo 欠損由来であることを示唆するデータが得られているものの、さらなる検討が必要と考えられた。今回、特異な電子構造の構造起源の明確化を目的として、Mo スパッタ膜を Se 化した表面の状態と Se 化温度の関係を調べ、電池中の当該表面との相関を検討した。

実験　ソーダライムガラス(SLG)基板上に Mo をスパッタ堆積し、Se を 100 nm、MBE 法によって室温蒸着した Se/Mo/SLG 構造を出発試料とした。続いて、高真空中で 30 分 *in-situ* アニールを行うことで Mo 表面を Se 化した。一部の試料では Mo 膜表面を自然酸化した後に Se 化を行った。Se 化表面の組成、仕事関数ϕはそれぞれ *in-situ* XPS、UPS スペクトルの cutoff により評価した。

結果　表 1 に金属的 Mo 膜表面を Se 化した試料の Mo : Se 比、ϕと Se 化温度の関係を示す。Se 化表面はいずれも単結晶の真空中劈開面と比べて Mo 欠損組成、顕著に高いϕを持つこと、また Se 化温度の上昇に伴い、欠損とϕが増大する傾向があることがわかる。表 2 に CIGS 電池中の Mo 電極表面の組成、ϕと電池プロセス最高温度の関係を示す。Mo 欠損、ϕの変動幅が表 1 よりも大きいものの、プロセス温度の上昇により Mo 膜 Se 化表面と同方向に変化していることがわかる。この結果は、Mo 電極表面の高いϕの構造起源が Mo ダイカルコゲナイド相における Mo 欠損であることを支持している。MoO_3 相が支配的な自然酸化膜に Se を堆積し、400℃で処理を行ったところ、Se は処理後に観測されず、$MoO_{3-\delta}$ が残存することが見出され、酸化領域上に Mo-Se 化合物は形成され難いことがわかった。MoO_3 は n 型、ワイドギャップかつ高いϕを持つことからホール伝導に寄与しないことが考えられる。この結果は Mo 電極の酸素濃度とその面内分布が CIS/Mo 界面の伝導パス領域を限定し、ポイントコンタクト制御に影響することを示唆している。

本研究の一部は新エネルギー･産業技術総合開発機構(NEDO)の支援により実施された。関係各位に感謝する。

Table 1. Changes in Mo:Se compositional ratio and work function of selenized surface of metallic Mo sputtered film in conjunction with selenization temperature.

Selenization temperature [℃]	Mo:Se	Work function ϕ [eV]
350	0.87：2.00	5.16
450	0.80：2.00	5.20
500	0.81：2.00	5.25
$MoSe_2$ single crystal	1.00：2.00	4.38~4.42

Table 2. Changes in Mo:Se compositional ratio and work function of surface of Mo-back electrode in CIGSSe-based cell exposed by UHV lift off in conjunction with the highest temperature in fabrication process.

Cell process temperature [℃]	Mo:anion	Work function ϕ [eV]
400	0.86~0.87：2.00	4.77
550	0.84：2.00	4.94
600	0.69~0.70：2.00	5.15

© 2024年 応用物理学会

$MAPbI_3$/Si ヘテロ構造を利用した二段階フォトンアップコンバージョン太陽電池

Two-step photon up-conversion solar cells using a $MAPbI_3$/Si heterostructure

神戸大院工　○(M2)徳永隼也，鬼塚遼平，朝日重雄，喜多隆

Grad. Sch. of Eng. Kobe Univ., ○Shunya Tokunaga, Ryohei Onitsuka, Shigeo Asahi and Takashi Kita

E-mail: 235t241t@stu.kobe-u.ac.jp

【はじめに】我々は単接合型太陽電池の理論変換効率を上回る太陽電池として、透過損失の低減を目指した 2 段階フォトンアップコンバージョン太陽電池（TPU-SC）を提案し、実現に向けた検討を進めている[1]。TPU-SC はワイドギャップ半導体（WGS）とナローギャップ半導体（NGS）を接合した構造をしており、ナローギャップ半導体で生成されたキャリアが、ワイドギャップ半導体とナローギャップ半導体のヘテロ界面に高密度に蓄積される。さらに、太陽光に含まれる低エネルギーフォトンによりワイドギャップ半導体へ励起されることで、効率的なアップコンバージョン（TPU）が起こる。これまでに AlGaAs と GaAs のヘテロ接合を利用した TPU-SC を作製し、効率的な TPU を実証してきたが、我々は TPU 現象は材料系に依らないと考えている。そこで、本研究では WGS にペロブスカイト系結晶の $MAPbI_3$、NGS に n^+-Si を用いて TPU 現象を実証することを目的として実験を行った。その結果、この新たな太陽電池構造で TPU 現象を観測したので報告する。

【結果】測定に用いた TPU-SC はスピンコート法により、n^+-Si 基板上に $MAPbI_3$ と spiro-OMeTAD を成膜し、真空蒸着法により表面電極の Au 及び、裏面電極の Ag を成膜することによって作製した。n^+-Si 基板は0.1 Ωmと20 μΩmの抵抗率を持つ 2 種類の基板を使用した。n^+-Si 基板の抵抗率は、電子密度による差と考えている。作製した TPU-SC の構造を図 1 に示す。本構造では n^+-Si で生成された正孔が追加赤外光により $MAPbI_3$ 層へアップコンバージョンする。実験では TPU の 1 段階目に相当する 900 nm のバンド間励起光の強度を 6000 mW/cm^2 に固定し、2 段階目に相当する 1319 nm のバンド内励起光（追加赤外光）の照射時と非照射時の短絡電流密度の差 ΔJ_{sc} のバンド内励起光強度依存性を室温で測定した。その結果を図 2 に示す。0.1 Ωmの抵抗率の n^+-Si 基板を利用した TPU-SC では、追加赤外光の強度増加に伴い、明瞭な電流上昇を観測した。これは、900 nm の励起光で n^+-Si 基板に生成された正孔が、追加赤外光によりアップコンバージョンされ、電流が増加したと考える。一方、20 μΩmの抵抗率をもつ n^+-Si 基板では0.1 Ωmと較べ ΔJ_{sc} が小さかった。これは、20 μΩmの基板では高い電子密度に起因する短い正孔の拡散長のため、ヘテロ界面に正孔が十分に蓄積せず、ΔJ_{sc} が小さくなったと考える。以上のように $MAPbI_3$ を用いた本構造において、追加赤外光の照射による TPU を実証した。

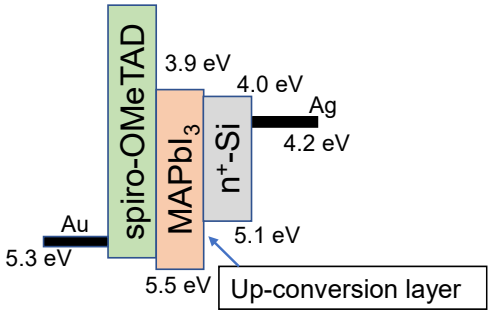


Fig.1 Structure of perovskite TPU-SC.

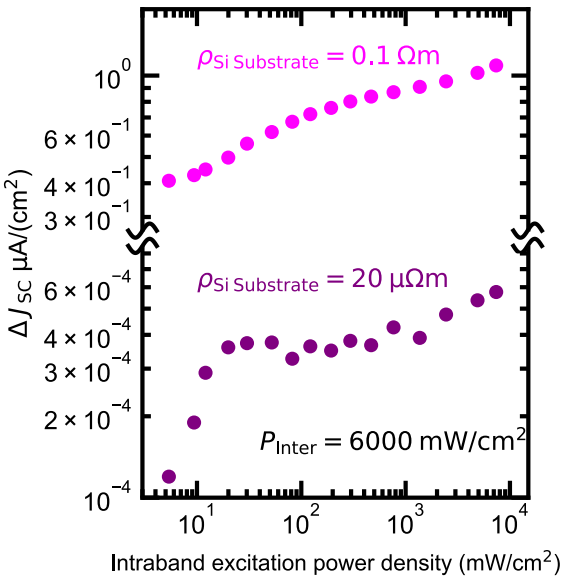


Fig.2 Intraband excitation power dependence of ΔJ_{sc}.

[1] S. Asahi *et al.*, *Nat. Commun.* **8**, 14962 (2017)

Intraband Transitions Induced by Below-Bandgap Photoexcitation at $CsPbBr_3$/GaAs Heterointerface

Kobe Univ. [1], °Hambalee Mahamu[1], Shigeo Asahi[1], Takashi Kita[1]

E-mail: 203t268t@cloud.kobe-u.jp

Two-step photon upconversion (TPU) is a physical phenomenon associated with the sequential excitation of an electron. Firstly, the electron is excited by a process called interband excitation (band-to-band excitation). The excited electron, then, absorbs a sub-bandgap photon and is excited to a higher energy state. The latter process is called intraband excitation. Two-step photon upconversion solar cells (TPU-SCs) were realized using III-V semiconductors, namely $Al_{0.3}Ga_{0.7}As$ and GaAs [1]. Since the semiconductors exhibit different energy bandgaps, the band discontinuity at the heterointerface (HI) allows carrier accumulation. In this case, electrons can be generated by the interband excitation in GaAs. The accumulated electrons at the HI can absorb sub-bandgap photons which allows the intraband excitation. The accumulating electron density can be enhanced by the incorporation of quantum structures which relax the optical selection rule. In this work, we investigate perovskite/III-V semiconductor HI and its influence on intraband excitation which can be improved further for TPU-SC applications.

We fabricate a simple inverted solar cell structure of Ag/ZnO/$CsPbBr_3$/p-GaAs/Au-Zn/Au. The $CsPbBr_3$ perovskite layer was grown by multi-step spin coating. Considering the achieved structure, $CsPbBr_3$/GaAs HI exhibits band discontinuity with energy difference at the conduction band and the valence band (denoted by ΔE_{CB} and ΔE_{VB} respectively) of $\Delta E_{CB} = 0.77$ eV and $\Delta E_{VB} = 0.11$ eV. The ΔE_{CB}:ΔE_{VB} ratio of 7:1 shows a higher theoretical energy conversion efficiency than $Al_{0.3}Ga_{0.7}As$/GaAs HI for which the ΔE_{CB}:ΔE_{VB} is approximately equal to 3:2 [2]. Therefore, $CsPbBr_3$/GaAs-based TPU-SCs can achieve higher efficiency than III-V semiconductor-based TPU-SCs.

We characterized the $CsPbBr_3$/GaAs-based TPU-SCs by various measurements. The External quantum efficiency spectrum measured under single-color conditions, i.e., only the interband excitation occurs, shows clear absorption band edges of $CsPbBr_3$ and GaAs. The measurement of gains in photocurrent and photovoltage (denoted by ΔJ_{SC} and ΔV_{OC} respectively) exhibit notable features. We measured the photocurrent and photovoltage under the 784-nm photoexcitation with and without additional 1319-nm sub-bandgap photoexcitation (two-color and single-color conditions respectively). The ΔJ_{SC} and ΔV_{OC} can be defined by the following:

$$\Delta J_{SC} = J_{SC,\ \text{two-color}} - J_{SC,\ \text{single-color}}$$

$$\Delta V_{OC} = V_{OC,\ \text{two-color}} - V_{OC,\ \text{single-color}}$$

The results show that ΔJ_{SC} increases with increasing 1319-nm excitation intensity. However, the increase in ΔJ_{SC} can be due to thermal activation at the HI. Here, ΔV_{OC} is an important indicator to distinguish the intraband excitation from the thermal activation. Since thermal carrier population induces a reduction in V_{OC}, ΔV_{OC} should be negative with increasing temperature. In contrast, the intraband excitation relates to the increase in electron density at the CB of the WGS (in this case, $CsPbBr_3$). Therefore, the observed positive values and increasing features of ΔV_{OC} with 1319-nm sub-bandgap photon intensity are strong evidence for the intraband excitation at the HI.

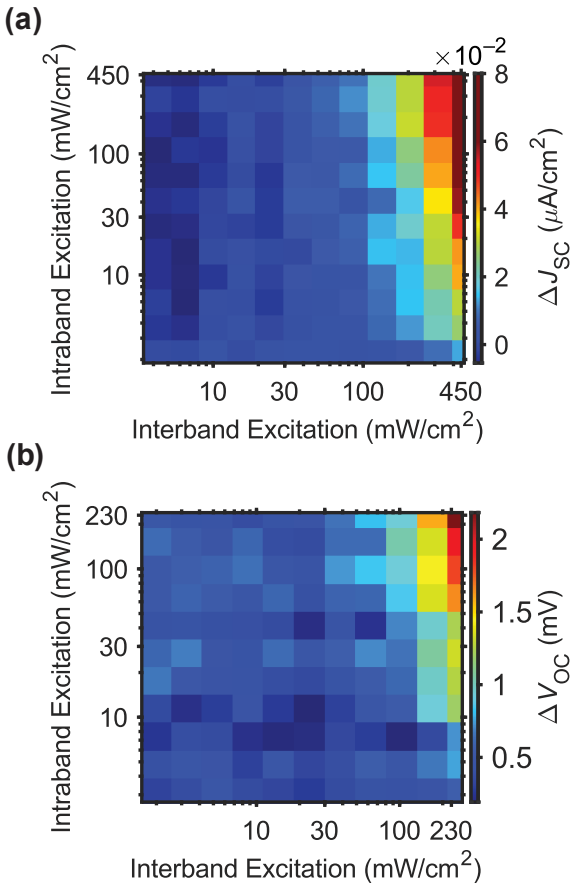


Fig. 1 (a) ΔJ_{SC} and (b) ΔV_{OC} maps visualized as functions of interband and intraband excitations

References

[1] S. Asahi, H. Teranishi, K. Kusaki, T. Kaizu, T. Kita, Nat. Commun. **8**, 14962 (2017).

[2] S. Asahi, K. Kusaki, Y. Harada, T. Kita, Sci. Rep. **8**, 872 (2018).

© 2024年 応用物理学会

2 段階フォトンアップコンバージョン太陽電池におけるバンド内赤外光学遷移の量子ドットによる増強特性

Gain characteristics of intraband infrared optical transition induced by Quantum Dots in Two-Step Photon Up-Conversion Solar Cells

神戸大工　○(M1)山本祥，　永井大地，　朝日重雄，　喜多隆

Grad. Sch. of Eng. Kobe Univ., °Sho Yamamoto, Daichi Nagai, Shigeo Asahi, and Takashi Kita

E-mail: 236t263t@stu.kobe-u.ac.jp

【はじめに】我々は単接合型太陽電池の理論変換効率を上回る太陽電池として、透過損失の低減を目指した 2 段階フォトンアップコンバージョン太陽電池（TPU-SC)を提案し、実現に向けた検討を進めている[1]。TPU-SC はワイドギャップ半導体とナローギャップ半導体を接合した構造をしており、ナローギャップ半導体で生成されたキャリアが、ワイドギャップ半導体とナローギャップ半導体のヘテロ界面に高密度に蓄積される。さらに、太陽光に含まれる低エネルギーフォトンによりヘテロ界面に蓄積された電子がバンド内遷移によりワイドギャップ半導体へ励起されることで、効率的なアップコンバージョンが生じる。また、ヘテロ界面におけるアップコンバージョン（TPU）効率を向上するため、量子ドット（QDs）を挿入している。本研究ではヘテロ界面からの QD 層の距離を精密に変えたデバイスを複数作製し、TPU への QDs の影響を明らかにしたので報告する。

【結果】本研究に用いた TPU-SC は固体ソース分子線エピタキシー法によって *p*-GaAs(001)基板上に作製した。太陽電池構造を図 1 に示す。この太陽電池では、ワイドギャップ半導体に $Al_{0.3}Ga_{0.7}As$、ナローギャップ半導体に GaAs を使用した。また、$Al_{0.3}Ga_{0.7}As$/ GaAs のヘテロ界面に挿入する InAs QD は、ヘテロ界面から 6 nm、10 nm と位置を変えた 2 種類のデバイスを作製した。実験では TPU の 1 段階目に相当する 800 nm のバンド間励起光および、ヘテロ界面の電子を励起する 1319 nm の赤外光をデバイスに照射した際の開放電圧を測定した。赤外光を追加照射した際の開放電圧増加量を ΔV_{OC} として、ΔV_{OC} のバンド間励起光強度依存性を図 2 に示す。ここでは追加赤外光は 500 mW/cm^2 一定とした。図に示すように 6 nm のデバイスは 10 nm のものより大きな ΔV_{OC} を観測した。この結果より、QD はヘテロ界面近傍に挿入した方が、その効果が高いことが分かる。これは、ヘテロ界面に蓄積した電子の赤外光の吸収率の差と、追加赤外光によりアップコンバージョンされた電子の取り出し効率の差によるものの 2 種類のメカニズムの可能性を考えている。講演ではそのメカニズムについても議論する。

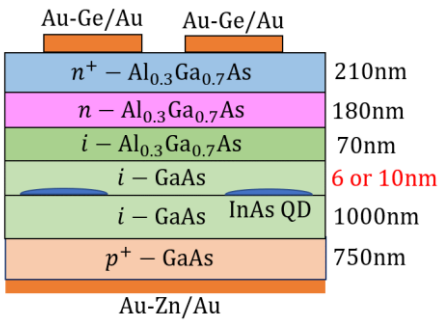


Figure 1: Structure of the TPU-SCs

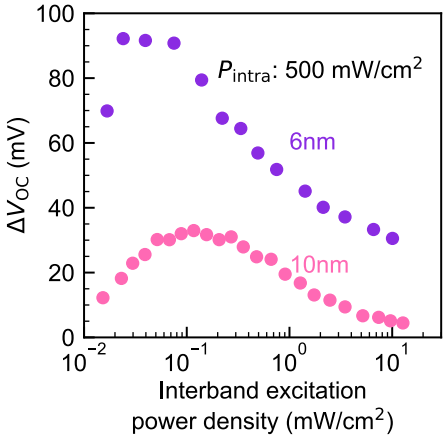


Figure 2: Interband excitation power density dependence of ΔV_{OC}.

[1] S. Asahi *et al., Nat. Commun.* **8**, 14962 (2017).

中間バンドを有する熱放射ダイオードの理論発電密度 (II)

Theoretical power density of thermoradiative diode with an intermediate band (II)

神戸大院工 ○ 原田 幸弘，喜多 隆
Kobe Univ., ○Y. Harada and T. Kita
E-mail: y.harada@eedept.kobe-u.ac.jp

【はじめに】熱放射発電は、発電素子からの赤外線の放射を利用した発電方法として注目されているが、ナローバンドギャップ半導体で構成される熱放射ダイオード（TRD）では高温で pn 接合を形成することが困難である。我々は中間バンドを有する TRD（IB-TRD）に着目し、伝導帯–IB 間と IB–価電子帯間の遷移を利用した理論発電密度を明らかにしてきた [1]。本研究では、IB を介した遷移の吸収率（放射率）が発電密度の理論限界に与える影響を明らかにすることを目的とした。

【計算方法】輻射限界における IB-TRD の発電密度は、詳細平衡モデルを用いて計算した。中間バンド型太陽電池 [2] の場合と同様に、IB を介した遷移で電流整合条件を満たし、伝導帯–価電子帯間の電子–正孔対の化学ポテンシャルは IB を介した遷移における化学ポテンシャルの和に一致すると仮定した。また、各遷移の吸収率 a_i (i=ci, iv, or cv) はバンドギャップエネルギー以上で一定とし、以下の式を用いて各遷移間での光吸収スペクトルの重なりを考慮した。

$$\alpha_i^*(E) = \left\{1 - \prod_j \left[1 - \alpha_j(E)\right]\right\} \frac{\alpha_i(E)}{\sum_j \alpha_j(E)} .$$

【結果と考察】図 1 に、E_{cv} = 0.4 eV の IB-TRD における発電密度の伝導帯–IB 間と IB–価電子帯間の吸収率（a_{ci} と a_{iv}）依存性を示す。ここで、素子温度 T_c = 500 K、環境温度 T_e = 300 K、a_{cv} = 1 とした。図 1(a), 1(b), 1(c) はそれぞれ、E_{ci} = 0.20, 0.15, 0.12 eV における結果である。E_{cv} の中央に IB が位置する図 1(a) では、発電密度は a_{ci} と a_{iv} に対して対称に変化する。一方、IB-TRD では、IB を介した遷移における電流整合条件に起因して、IB が E_{cv} の中央に位置しない場合に発電密度は最大となる [1]。IB 位置が E_{cv} の中央から離れると発電密度は a_{ci} と a_{iv} に対して非対称に変化し、図 1(c) に示すように $a_{ci} \neq 1$ において最大値を取る。この結果は、バンドギャップエネルギーに応じて IB-TRD の吸収率の最適化が必要であることを示唆している。

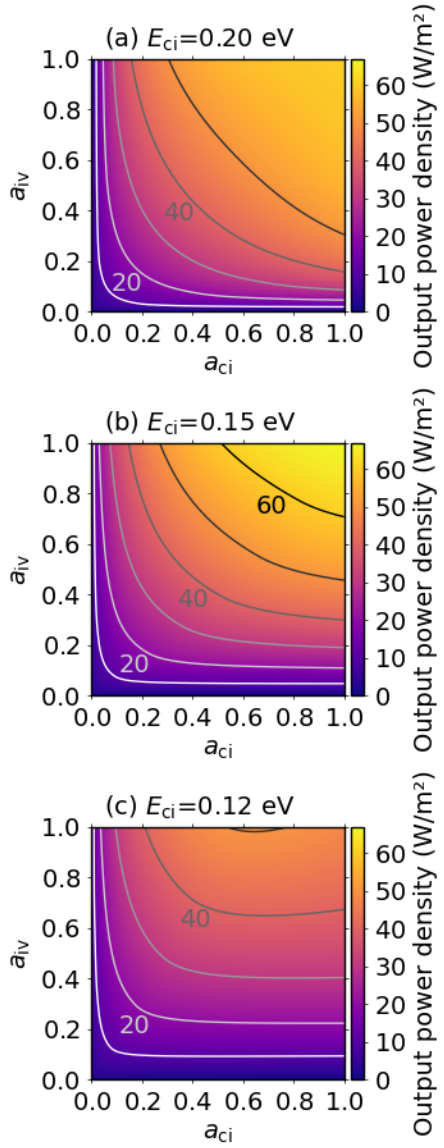


Fig. 1. Output power density of the IB-TRD as functions of a_{ci} and a_{iv} for E_{cv} = 0.4 eV at T_e = 300 K and T_c = 500 K. (a), (b), and (c) are the results for E_{ci} = 0.20, 0.15, and 0.12 eV, respectively.

【参考文献】[1] 原田 他, 第 71 回応用物理学会春季学術講演会, 23a-12L-8 (2024). [2] A. Luque and A. Martí, Phys. Rev. Lett. **78**, 5014 (1997).

© 2024年 応用物理学会

分子材料の三重項消滅、一重項分裂を利用した太陽電池互換 2 波長レーザー対応光電変換素子

Dual-Wavelength Laser Power Converters Compatible with Solar Cells Using Triplet-Triplet Annihilation and Singlet Fission of Molecular Systems

豊田中研 ○竹田 康彦

Toyota Central R&D Labs., Inc. °Yasuhiko Takeda

E-mail: takeda@mosk.tytlabs.co.jp

高効率の太陽電池の実現が難しい理由の 1 つが、幅広い太陽光スペクトルである。これまでに、単一材料を用いながら(即ち、多接合以外の方法で)この問題を克服するための様々なコンセプトが提案、原理実証された。本研究では、これらのコンセプトのうち、分子材料の三重項消滅(TTA)及び一重項分裂(SF)をレーザー用光電変換素子(laser power converter, LPC)に適用した、2 波長のレーザーを高効率で光電変換し、かつ太陽電池としても機能する、2 波長対応(dual-wavelength, DW)LPC を提案する[1,2]。

単一波長のレーザー光の下で動作する LPC とは異なり、走行中の電気自動車(EV)や飛行中のドローンなどの移動体への光無線エネルギー伝送(optical wireless power transmission, OWPT)に用いられる LPC には、複数波長のレーザー光、例えば閉鎖空間中では低コストかつ大出力の 808 nm LD 光の、市街地では 1470 nm アイセーフ LD 光の照射があり得るので、太陽電池と同様の問題が生じる。更に、OWPT 圏外でも移動体に搭載された蓄電池を充電できるよう、太陽電池としての機能も求められる。

TTA-DW-LPC のエネルギー準位と光励起過程を図 1(a)に示す。1470 nm 光照射時には 2 光子が 1 つのキャリアに変換される。エネルギー散逸過程である intersystem crossing($S_1 \rightarrow T_1$)が、逆過程を防ぐ quantum ratchet(QR)として機能する。一方、SF-DW-LPC の場合は、図 1(b)に示されるように、1 つの 808 nm 光子が 2 つのキャリアを生成する。SF は吸熱反応となり得るので、S_1 エネルギー(808 nm 相当、1.53 eV) が T_1 エネルギー(1470 nm 相当、0.84 eV)の 2 倍(1.68 eV)に僅かに及ばなくても SF が生じ得る。

TTA-, SF-DW-LPC に波長 808 nm 光(η_{808})、1470 nm 光(η_{1470})、及び AM 1.5 G 太陽光(η_{solar})を照射したときの radiative limit 変換効率を、他の素子の値と図 2 にて比較する。3 種類の照射光の何れの場合も、これら 2 つの LPC の変換効率は Single purpose 素子(従来型単接合 LPC 及び 2 接合太陽電池)の値に匹敵する。TTA-DW-LPC の値は、QR の効果により、同じく 2 つの 1470 nm 光子を 1 つのキャリアに変換する中間バンド(IB)太陽電池を基にした IB-DW-LPC の値を上回る。SF-DW-LPC は吸熱反応であるため、やはり 1 つの 808 nm 光子の吸収により 2 つのキャリアが生成する多重励起子生成(MEG)を利用する MEG-DW-LPC よりも高い変換効率となる。ただしこれらを実現するためには、波長 1470 nm に対応する低エネルギー準位をもつ、新分子材料の開発が必要である。

[1] Y. Takeda, IEEE J. Photovolt. **14**, 442 (2024).
[2] Y. Takeda, submitted.

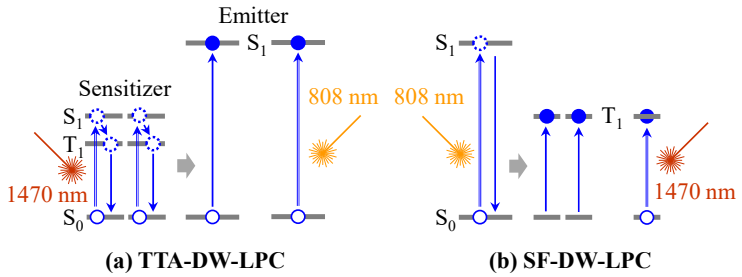


Fig. 1 Energy diagrams and photo-excitation mechanisms of the dual-wavelength laser power converters (DW-LPCs).

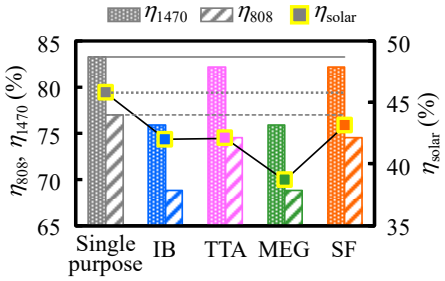


Fig. 2 Comparison of η_{808}, η_{1470}, and η_{solar} among the DW-LPCs of different mechanisms. The laser intensities are 10 W/cm^2.

光無線給電用 InGaN 太陽電池の光学損失の検討

Investigation of the optical loss of InGaN solar cells for optical wireless power transmission

千葉工業大学 [1], 名古屋工業大学 [2], 名城大学 [3], ウシオ電機 [4]
鈴木 淳一 [1], 高橋 龍成 [1], 金子 優翔 [1], 青山 怜央 [1], 古賀 誠啓 [1], 渋井 駿昌 [1], 野口 尊央 [1],
林 駿希 [1], 藤澤 孝博 [2], 伊井 詩織 [3], 渡邊 琉加 [3], 深町 俊彦 [4], 難波江 宏一 [4],
三好 実人 [2], 竹内 哲也 [3], 上山 智 [3], 内田 史朗 [1]

Chiba Inst[1], Nagoya Inst[2], Meijo University[3], Ushio Inc.[4]
Junichi Suzuki [1], Ryusei Takahashi [1], Yuto Kaneko [1], Reo Aoyama [1], Masahiro Koga [1], Shunsuke Shibui [1],
Takahiro Noguchi [1], Shunki Hayashi [1], Takahiro Fujisawa [2], Shiori Ii [3], Ruka Watanabe [3], Toshihiko Fukamachi [4],
Koichi Naniwae, [4] Makoto Miyoshi [3], Tetsuya Takeuchi [3], Satoshi Kamiyama [3], Shiro Uchida [1]
E-mail:s20a3068nv@s.chibakoudai.jp

1. Introduction

光無線給電は次世代のワイヤレス給電方式として注目されており、海中での応用も期待されている。海中では近紫外光の損失が少ないことから 400nm 以下の光を吸収できる InGaN 太陽電池に注目した。本研究では InGaN 太陽電池の高効率化に向けての課題である光学損失について調査した。

2. Experiment and Results

Fig.1, 2 に InGaN 太陽電池の素子構造と透過損失実験の概要図を示す。Fig.3, 4 に InGaN 太陽電池の反射率と透過率の測定結果をそれぞれ示す。今回の実験では反射防止膜(SiO_2 72.7nm)を成膜した InGaN 太陽電池に波長 393 nm, 395 nm, 397 nm,のレーザを照射しその透過率を測定した。透過率は反射とシャドーロスを除き、InGaN 吸収層の透過率を計算により求めた。

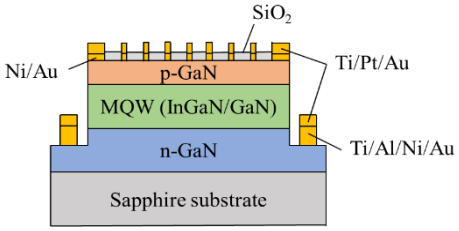


Fig.1. InGaN solar cell structure

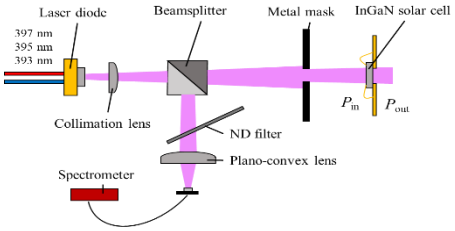


Fig2. Experimental configuration

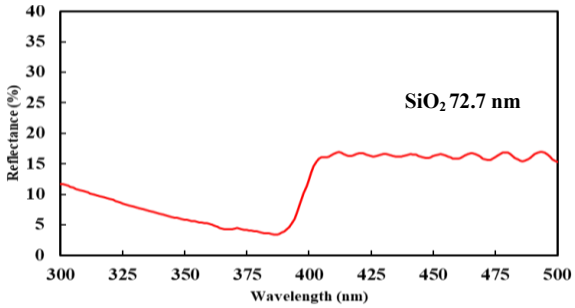


Fig.3. Reflectance vs. laser wavelength

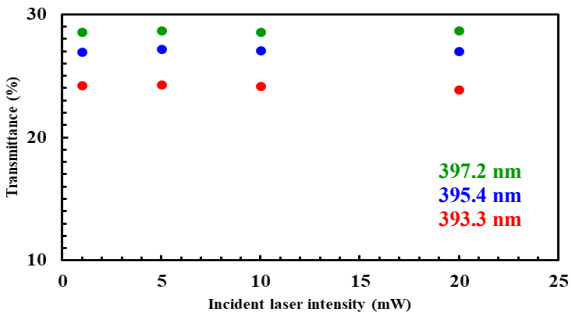


Fig.4. Transmittance vs. laser power

Fig.3 より SiO_2 反射防止膜による近紫外領域での反射率の低減に一定の効果がみられた。Fig.4 の InGaN 吸収層の透過率は入射波長が短くなるほど低くなった。また、入射強度に依らず透過率は波長ごとに一定の値を示した。

3. Acknowledgments

本研究は NEDO 先導研究プログラム (JPNP14004)の支援を受けて実施された。

4. Reference

[1] M. Miyoshi, et al., AIP Advances,11,9(2021)
[2] M. Koga et al, SPIE Paper 12886-24 (2024)

© 2024年 応用物理学会

DBR 構造を持つ光無線給電用 InGaP 太陽電池の温度特性

Temperature characteristics of InGaP solar cells with DBR structure for optical wireless power transmission

千葉工業大学 [1]，国立研究開発法人情報通信研究機構 [2]　○(M2) 髙橋 龍成 [1]，鈴木 淳一 [1]，川村 駿介 [1]，赤羽浩一 [2]，内田史朗 [1]

Chiba Institute of Technology [1], National Institute of Information and Communications Technology [2], °Ryusei Takahashi [1], Junichi Suzuki [1], Shunsuke Kawamura [1], Kouichi Akahane [2], Shiro Uchida [1]

E-mail: s19a3063ct@s.chibakoudai.jp

1.　背景

光無線給電は自動車や搬送ロボットなどの移動体への新たな電力供給方法として注目されている。また、InGaP 太陽電池は水中での透過率が高い可視光領域の波長を吸収しやすいことから、水中光無線給電への応用も期待されている。我々は、DBR 構造を持つ InGaP 太陽電池に 638nm のレーザーを 17.0W/cm^2 照射した場合、43.0%という高い変換効率を報告してきた[1]。機器への実装や水中で応用する場合、温度変化によって DBR 層の反射率が左右にシフトしてしまうことが懸念される。本実験では InGaP 太陽電池の各温度における短絡電流 I_{sc} を測定し、温度変化による DBR 層の反射率の変化を調査した。

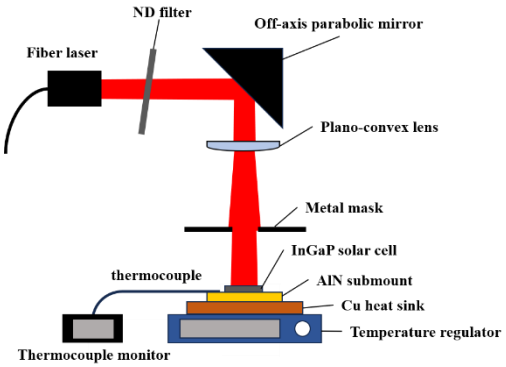


Fig.1 Experimental configuration

2.　実験方法

図 1 に実験概要図を示す。DBR 構造を持つ InGaP 太陽電池の温度を 20℃～60℃まで 10℃刻みで変化させ、波長 638 nm のファイバレーザを 100 mW で照射し、I_{sc} を測定した。

3.　結果と考察

図 2 に InGaP 太陽電池の各温度における I_{sc} の変化を示す。図 2 から InGaP 太陽電池の温度が変化しても I_{sc} は変化しないことが分かった。このことから、温度変化がある環境下でも使用できると考えられる。

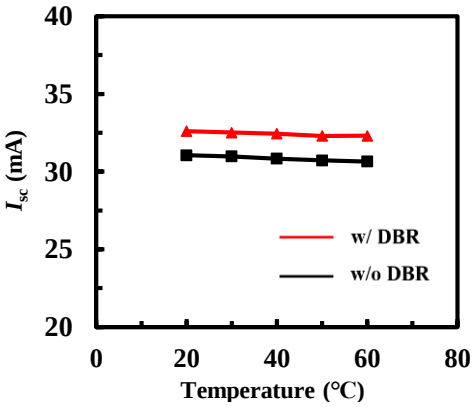


Fig.2 I_{sc} of InGaP solar cells at various temperatures

参考文献

[1] Y. Komuro et al, “A 43.0% efficient GaInP photonic power converter with a distributed Bragg reflector under high-power 638nm laser irradiation of 17 Wcm^{-2}.” Appl. Phys. Express 2021, 14, 052002.

光ファイバー給電用 3 接合型 InGaAs 太陽電池の温度依存性

Temperature dependency of 3-junction InGaAs solar cells for optical fiber power transmission

青山 怜央 [1], 鈴木 淳一 [1], 千葉 萌翔 [1], 渋井 駿昌 [1], 渡邉 康祐 [1], 割ヶ谷 凌太 [1], 赤羽 浩一 [2], 内田 史朗 [1]

Reo Aoyama[1], Junichi Suzuki[1], Moeka Chiba[1], Shunsuke Shibui[1], Kousuke Watanabe[1], Ryota Warigaya[1], Kouichi Akahane[2], and Shiro Uchida[1]

[1]Chiba Institute of Technology, [2]National Institute of Information and Communications Technology

E-mail: s20A3002HY@s.chibakoudai.jp

（背景）

現在、光ファイバー給電用受光素子として InGaAs 太陽電池が活発に研究されている。長波長帯レーザを受光する太陽電池は、バンドギャップエネルギーが低いため開放電圧が低くなるが、同じ材料で多接合化する事で開放電圧を増加させること可能である[1]。本研究では、光通信で使用されている 1550 nm 光を受光する単接合 InGaAs 太陽電池(1J)と 3 接合 InGaAs 太陽電池(3J)を作製し、高効率化に向けた課題検討として素子の高温特性を評価した。

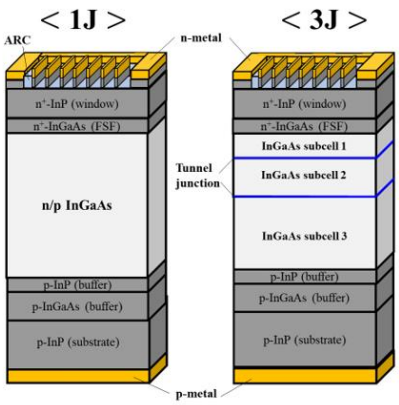


Fig.1. Schematic diagram of 1J and 3J InGaAs cell

（実験結果）

1550nm のレーザ光を照射し素子の温度を 25℃から 80℃まで変化させて、太陽電池素子の光電変換効率と短絡電流の変化率をまとめた結果を図 2 に示す。

室温 25℃で 250 mW 照射に 3J で最大変換効率 23.4%が得られたが、温度を上げる変換効率は減少した。また、1J の変換効率も高温化するにつれて低下し、短絡電流 I_{sc} は 1J は増加したが 3J では減少した。

1J の I_{sc} が増加したのは温度上昇によるバンドギャップの低下によるものだと考えられる。3J の場合は、室温では 1550 nm 光照射時に各サブセルで発生する電流が整合していたが、温度上昇により電流ミスマッチが生じた為に短絡電流が低下し変換効率が低減したと推定される。

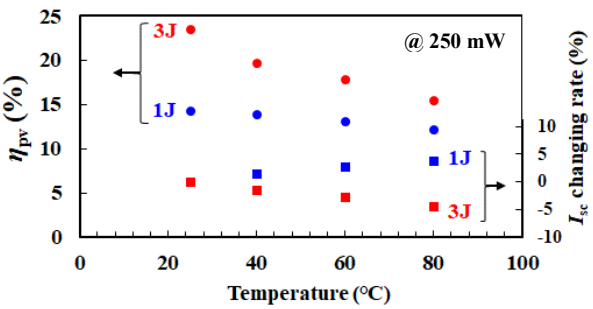


Fig.2. I_{sc} and η_{pv} vs. the temperature of cell

参考文献：[1]. Wang, A, et al Applied Physics Letters, 2022, 119(24).

© 2024年 応用物理学会

InGaAs 熱光起電力発電セルへ向けたパターン化誘電体裏面電極の作製

Fabrication of patterned dielectric back contacts for InGaAs thermophotovoltaic cells

埼玉大院理工 [1]，産総研 [2]，東北大院工 [3] ○(M2)伊達 仁基 [1,2]，大島 隆治 [2]，
庄司 靖 [2]，斎 均 [2]，清水 信 [3]，菅谷 武芳 [2]，八木 修平 [1]，矢口 裕之 [1]
Saitama Univ. [1], AIST [2], Graduate School of Engineering, Tohoku Univ.[3], °(M2)M. Date[1], R. Oshima[2], Y. Shoji[2], H. Sai[2], M. Shimizu[3], T. Sugaya[2], S. Yagi[1], H. Yaguchi[1]
E-mail: m.date.240@ms.saitama-u.ac.jp

【研究背景】熱光起電力発電(TPV)は、1000-2000℃に加熱されたサーマルエミッタからの熱輻射光を用いて太陽電池(PV)セルで発電する技術である。$In_{0.53}Ga_{0.47}As$ は TPV セルに適した材料として活発に研究されており[1]、我々はこれまでセル構造の最適化[2]や低直列抵抗化[3]を行ってきた。TPV 変換効率は、セルへの入射強度からサーマルエミッタへの反射強度を引いた実効的な強度に対するセルの発電電力で定義される。更なる高効率化には、サブバンドギャップのフォトンを透過や寄生吸収による損失を抑えてサーマルエミッタへ反射し、再加熱へ利用することが重要である。図 1 は輻射源を 1400 K の黒体輻射として PV セルの E_g に対する TPV 変換効率を Shockley-Queisser 限界から求めたものであり、裏面反射率が向上することで変換効率が向上することが明らかである。そこで今回、高反射率を実現するために InGaAs セル裏面にパターン化した SiO_2 膜を用いた点接触構造(PDBC) [4]を形成し、TPV が動作を行う高電流密度で評価した。

【実験】MBE 法を用いて 2 インチ InP(001)基板上に、文献[2]と同構造の InGaAs 逆積みリアヘテロ接合型セルを形成した。まず、逆積みセル上にフォトリソグラフィを用いてパターン化した 350 nm 厚の SiO_2 を形成し、Ti/Au を堆積することで PDBC を作製した。その後、Si 支持基板上にエポキシを用いて接着し、化学エッチングにより InP 基板を除去した。さらに表面には、Ti/Au(3 μm)からなる電極を形成した。作製したセルは集光測定装置により評価した。

【結果と考察】図 2 は点接触の直径が 4 μm と 12 μm である場合の反射率の結果である。PDBC がない場合を基準セルとして示している。点接触の間隔は 35 μm に固定した。1700 nm から 2300 nm までの平均反射率は直径 4 μm で 95.4%、直径 12 μm で 79.7%、基準セルは 85.9%であった。直径 4 μm では期待通りに反射率が最も高かったが、直径 12 μm では干渉の影響で基準セルより反射率が小さくなった。図 3 は集光測定から得られた短絡電流密度(J_{SC})に対して曲線因子(FF)をプロットしたものである。基準セルは約 1 A/cm^2 で FF が最大値となり、これは 1400 K までの TPV 動作に問題がないことを示している。対して、直径 4 μm や 12 μm の点接触では FF が約 0.1 A/cm^2 で最大値となった。これは PDBC により直列抵抗が増加したことを示唆しており、TPV 応用には、PDBC の直列抵抗の更なる低減が重要となる。

[1] Z. Omair et al., *Proc. Natl. Acad. Sci. U.S.A.* **116**, 15356 (2019). [2] R. Oshima et al., *J. Cryst. Growth* **593**, 126769 (2022). [3] 伊達仁基，他，*第 71 回応用物理学会春季学術講演会予稿*, 24p-P06-2, (2024). [4] M. K. Arulanandam et al., *Sol. Energy Mater. Sol. Cells.* 238, 111545 (2022).

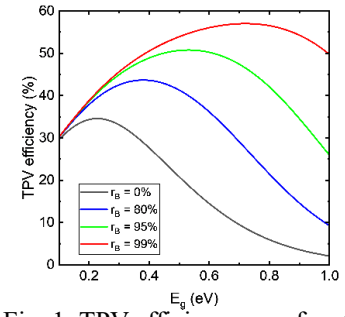


Fig. 1: TPV efficiency as a function of E_g of the PV cell with different reflectance (r_B).

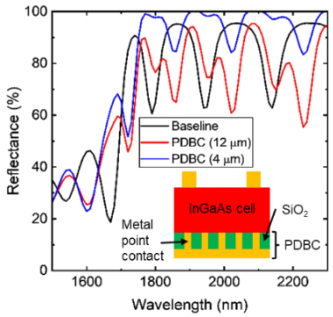


Fig. 2: Reflectance spectra for InGaAs cells with different back contact structures.

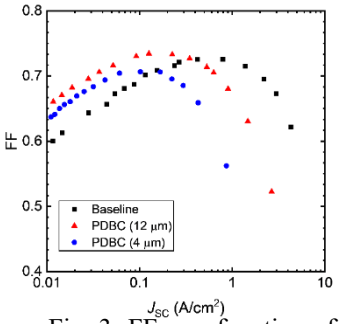


Fig. 3: FF as a function of J_{SC} for InGaAs cells with different back contact structures.

ガンマ線検出器応用 InGaP 太陽電池における電子線誘起電流劣化の評価

Study on Radiation Degradation of Electron-Induced Current in an InGaP Solar Cell Type Gamma-ray Dosimeter

三条市大 [1], 宇宙機構 [2], 理研 [3] ○今泉 充 [1], 中村徹哉 [2], 奥野泰希 [3]

Sanjo City Univ.[1], JAXA[2], RIKEN[3]

°Mitsuru Imaizmi[1], Tetsuya Nakamura[2], Yasuki Okuno[3]

E-mail: imaizumi.mitsuru@sanjo-u.ac.jp

1. 緒 言

InGaP 太陽電池は耐放射線性に優れ，宇宙用3接合太陽電池のトップサブセルとして用いられている．我々は，γ 線入射で生ずるコンプトン電子による誘起電流を信号として用いることで，InGaP 太陽電池を γ 線検出器に応用することを提案している．用途として，福島第1原発の廃炉作業に向けた損壊原子炉施設内における γ 線検出を検討している．しかし，この電子は電流を誘起すると同時に放射線損傷を起こし，誘起電流は劣化／低下する．従って劣化率に応じた電流値の較正が必要となると考えられる．一方で，この検出器を高線量施設内に常設すると，劣化率把握・較正のための取外し作業は不可能となる．そこで，この状態で唯一測定可能である暗状態電流－電圧（DIV）特性により，InGaP 太陽電池素子の劣化を推定する方法を確立すべく，まず電子線損傷による電子線誘起電流（EIC）および DIV 特性の変化を実験的に確認した．

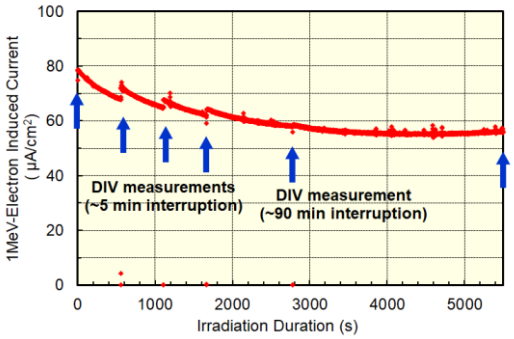
2. 実 験

試料はベース層厚 1 μm の InGaP 太陽電池（サイズ：1 cm×1 cm）である．この太陽電池に対し，QST 高崎研にて 1 MeV 電子線（電流密度：2.9×10^{-7} A/cm^2）を暗状態で照射した．試料温度は室温成行である．電子線照射中に EIC のその場測定を行い，その途中所定フルエンス（①$1.0\times10^{15}$，② 2.0×10^{15}，③$3.0\times10^{15}$，④$5.0\times10^{15}$ e$^-$/cm^2）到達時に照射を止めて DIV 特性をその場測定した．DIV 測定＋照射再開の時間は①～③が約 5 min，④が約 90 min，最終フルエンスは 1.0×10^{16} e$^-$/cm^2 である．

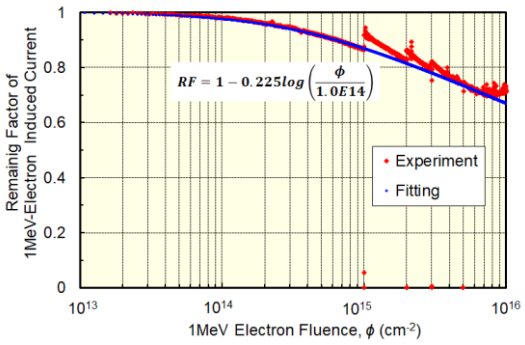
3. 結 果

図 1(a)に 1 MeV 電子線照射中の EIC の時間的変化を示す．低照射量領域（フルエンス≦3.0×10^{15} e$^-$/cm^2）にて DIV 測定のための照射中断中（青矢印，その時間は横軸に含まず）に EIC の回復が観察された．よってこの劣化傾向には劣化と回復の両者が含まれていると考えられる．図 1(b)は EIC の保存率（初期値で規格化）をフルエンスでプロットしたものである．前記回復分を無視すると，劣化傾向は太陽電池出力の放射線劣化を表す関係式（図中に示す）でフィッティングできる（青線）ことがわかった．一方，取得した DIV 特性のダイオード因子 n，逆方向飽和電流値 I_0 には EIC の劣化との明確な関係が見られなかった．電子線による試料温度上昇と回復がその主因と考えられる．DIV と EIC の相関化には，EIC の回復特性の把握および試料温度制御下での EIC 取得が必要と判断した．

※本研究は，文科省「英知を結集した原子力科学技術・人材育成事業」の一部として実施した．



(a) Induced current as a function of irradiation duration



(b) Remaining factor as a function of irradiation fluence

Fig. 1. Degradation tendency of 1 MeV electron induced current (EIC) of the InGaP solar cell device. Figs. 1 (a) and (b) exhibit the change of EIC as a function of irradiation duration and the remaining factor of EIC as a function of fluence, respectively.

© 2024年 応用物理学会

常温接合による異種半導体接合の低抵抗化

Reducing bonding resistance between dissimilar semiconductor materials using room temperature wafer bonding method

千葉工業大学 [1], 情報通信研究機構 [2] ○藤井駿太朗 [1], 青山怜央 [1], 西舘優太 [1], 千葉萌翔 [1], 藤原柊人 [1], 斎藤圭胡 [1], 菊地隆雅 [1], 渡邉康祐 [1], 赤羽浩一 [2], 内田史朗 [1]

Chiba Institute of Technology. [1], National Institute of Information and Communications Technology.[2], ○Shuntaro Fujii [1], Reo Aoyama [1], Yuta Nishidate [1], Moeka Chiba [1], Shuto Fujiwara [1], Keigo Saito [1], Ryuga Kikuchi [1], Kosuke Watanabe [1], Kouichi Akahane [2], Shiro Uchida [1]

E-mail: s20A3102xz@s.chibakoudai.jp

[背景] 近年、格子定数などの異なる材料を組み合わせた多接合太陽電池が常温接合法によって作製され高い光電変換効率が報告されており、異種基板の接合により各基板特有の機能を併せ持った新たな機能デバイスが日々研究されている[1,2]。

本実験では、異種半導体基板を用いて、実用化に向けた目標値である、接合界面抵抗値 $\rho_c \leq 10^{-2}\ \Omega cm^2$ を達成することを目的とした。

[実験方法] 本実験では、7 mm × 7 mm の半導体基板を用いて、高速原子ビーム(Fast Atom Beam：FAB)照射の印加電圧をパラメータとして接合実験を行った。接合にはオーミック電極を備えた p-InP 基板上の p-InGaAs($1\sim2\times10^{19}$ cm^{-3}), n-GaAs($2\sim4\times10^{18}$ cm^{-3})の基板を準備し、接合実験を行った。図 1 に p-InGaAs // n-GaAs の接合概要図を示す。

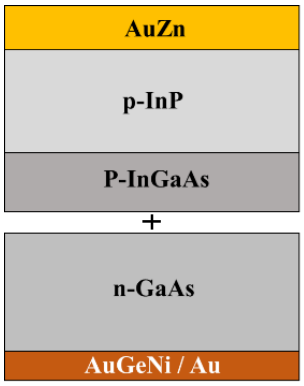


Fig.1. Bonding structure of p-InGaAs // n-GaAs

[結果および考察]

図 2 に *J-V* 特性を示す。p-InGaAs // n-GaAs の *J-V* カーブはオーミックに近い接触となった。図 2 から、FAB の印加電圧を 1.5 kV から 1.0 kV へと変化させる事で接合界面抵抗が低減している事が分かる。FAB の印加電圧を低下させることで、表面の平坦性が改善し強固な接合が形成されたと推定している。

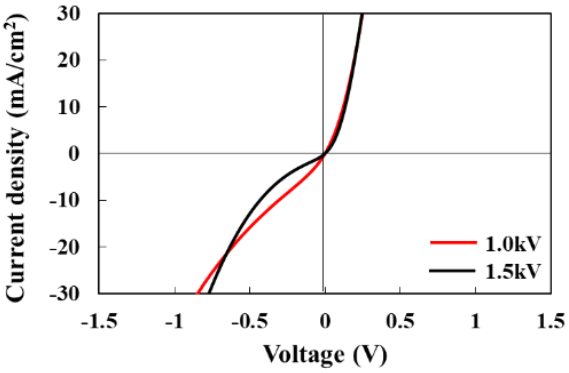


Fig.2. *J-V* characteristics of p-InGaAs // n-GaAs

[謝辞] 本研究の一部は、JSPS 科研費(JP22K04202)の助成を受けたものです。

[参考文献]

[1] F. Dimroth *et al.*, IEEE journal of photovoltaics, vol. 6, No. 1, January 2016

[2] P. Dai *et al.*, Applied Physics Express 9, 016501 (2016)

多接合 p-on-n 太陽電池に適用可能なウェーハ接合界面の電気的特性
Electrical properties of wafer-bonded interfaces applicable for multijunction p-on-n solar cells

ソダーバンル ハッサネット [1], 馬 徳璞 [2], 渡辺 健太郎 [1], 中野 義昭 [2], 杉山 正和 [1,2]
H. Sodabanlu[1], D. Ma[2], K. Watanabe[1], Y. Nakano[2], M. Sugiyama[1,2]
[1] 東大先端研 RCAST, The Univ. of Tokyo, [2] 東大院工 School of Engineering, The Univ. of Tokyo
E-mail: sodabanlu@hotaka.t.u-tokyo.ac.jp

1 Introduction

At the last spring meeting, we reported the successful fabrication of multi-junction solar cells (MJSCs) with a p-on-n configuration using a direct wafer bonding technique [1]. Subcells grown separately on InP and GaAs wafers were bonded together utilizing a heavily doped n-GaAs//n-InGaAs/p-InGaAs structure, where the notation // indicates the bonding interface. This structure resulted in a voltage loss of approximately 0.1 V under 1-sun operation. To enhance the performance of wafer-bonded p-on-n MJSCs, we investigated the electrical characteristics of bonded interfaces between various applicable material combinations in this work.

2 Experimental details, results and discussion

We investigated eight bonding combinations, including n-GaAs//p-InP, n-InGaP//p-InP, n-GaAs//p-InGaAs, n-InGaP//p-InGaAs, n-GaAs//n-InGaAs/p-InGaAs, n-InGaP//n-InGaAs/p-InGaAs, n-InGaP/p-AlGaAs//p-InGaAs, and n-InGaP/p-AlGaAs/p-InAlGaP//p-InGaAs. The surface activated bonding technique was employed with optimized parameters: 1 minute of surface activation followed by 5 minutes of bonding under a pressure of 15 kN. Rapid thermal annealing (RTA) was used to anneal the bonded samples. Subsequently, GaAs wafers were selectively removed, and metal electrodes were deposited on both sides, with a front pattern of 0.04 cm² arrays, which were later electrically isolated using high mesa etching. Figure 1 depicts the sample structure having the n-GaAs//p-InGaAs interface.

Initially, it was observed that two combinations involving p-InP exhibited weak bonding strength, allowing the bonded samples to be easily separated with minimal force. Consequently, this hindered the GaAs wafer removal process. Among the remaining six combinations, rectified I-V characteristics were observed, each with distinct turn-on voltages corresponding to the choice of materials. Post-annealing at 450-550°C for 5 minutes proved effective in enhancing the ohmic properties of the bonded interfaces. However, annealing at 600°C resulted in the formation of cracks and line defects along the [011] direction in thin films deposited on the GaAs side, leading to degraded I-V characteristics. The I-V results from the n-GaAs//p-InGaAs sample are illustrated in Fig. 2, with additional findings to be presented during the upcoming meeting, including their potential applications in practical MJSCs.

3 Summary

We explored several bonding combinations suitable for p-on-n MJSCs. Post-annealing was essential to enhance the I-V characteristics of the bonded interfaces, although it could also introduce line defects that degrade electrical performance.

[1] H. Sodabanlu et al, 71st JSAP Meeting, 23a-12L-1.

A part of the results of this study is based on a project, JPNP20015, commissioned by NEDO.

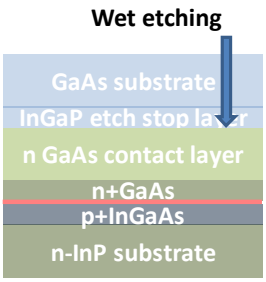


Fig. 1 Schematic of n-GaAs//p-InGaAs sample

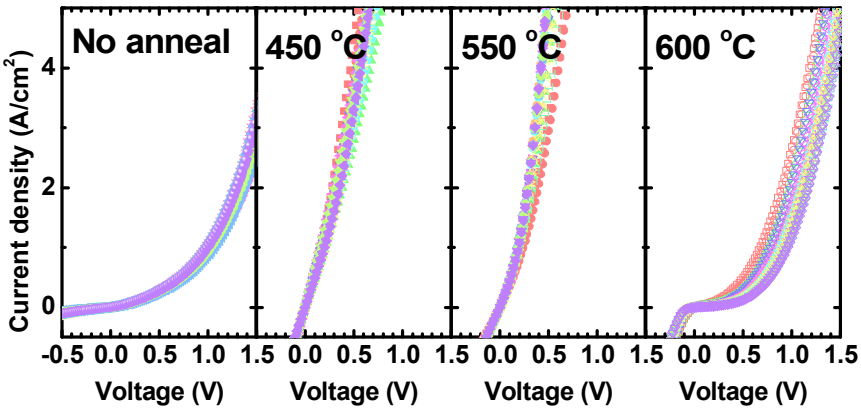


Fig. 2 I-V characteristics of n-GaAs//p-InGaAs sample without and with post annealing

電流不整合の改善による InGaP/GaAs/$In_xGa_{1-x}As$//$In_yGa_{1-y}As$ 4 接合太陽電池の高効率化

Efficiency enhancement of InGaP/GaAs/$In_xGa_{1-x}As$//$In_yGa_{1-y}As$ four-junction solar cells by improving current mismatch

東大工 [1]，東大先端研 [2]，○(M2) 島崎 嵩士 [1]，渡辺　健太郎 [2]，ソダーバンル　ハッサネット [2]，
中野　義昭 [1]，杉山　正和 [1,2]

The Univ. of Tokyo [1], RCAST [2], °Takashi Shimasaki[1], Kentaroh Watanabe[2], Hassanet Sodabanlu[2],
Yoshiaki Nakano[1], Masakazu Sugiyama[1,2]

E-mail: shimasaki@enesys.rcast.u-tokyo.ac.jp

近年 III-V 族多接合太陽電池による太陽電池の高効率化が進み、現在の最高効率は 665 倍の集光下で 47.6%である[1]。しかし高効率を達成している 4 接合以上の多接合太陽電池では最適なバンドギャップの組み合わせを得るために InGaAsP などの 4 元混晶が必要であり、安定的に高品質な結晶成長を行うことが難しい。本研究では非集光下で 37.9%を実現した InGaP/GaAs/$In_xGa_{1-x}As$ 逆積み 3 接合太陽電池(IMM3J)[2]と開放電圧の大きいヘテロ接合を持つ $In_yGa_{1-y}As$ 太陽電池の表面活性化接合により、4 元混晶を含まない InGaP/GaAs/$In_xGa_{1-x}As$//$In_yGa_{1-y}As$ 4 接合太陽電池(SAB4J)の開発に取り組んだ。

最初に作製したサンプル(SAB4J-α)では電流電圧特性の 1.5 V 以上の領域において光電流の減少が見られ、効率が低かった。これは IMM3J と $In_yGa_{1-y}As$ の電流が整合せず、全体の電流が電流の小さい 4 層目の $In_yGa_{1-y}As$ に制限されているためであると考えられる。そこで、4 層目の $In_yGa_{1-y}As$ で発生する電流を増やすために次のサンプルでは IMM3J の薄膜化と 4 層目にフロントヘテロ構造を持つ $In_yGa_{1-y}As$ の導入を行いサンプルの試作に取り組んだ(SAB4J-β)。その結果、不完全だが電流の減少を大きく抑えることに成功した。さらに、SAB4J-βの 3 層目の $In_xGa_{1-x}As$ のバンドギャップを 1.0 eV から 1.05 eV に変えることで電流整合を目指した(SAB4J-γ)。その結果、電流整合する SAB4J を作製することに成功した。しかし、開放電圧は SAB4J-αや SAB4J-βに比べて減少することが判明した。これはバンドギャップを変えた IMM3J のメタモルフィックバッファ層が最適化されていないことに起因すると考えられる。

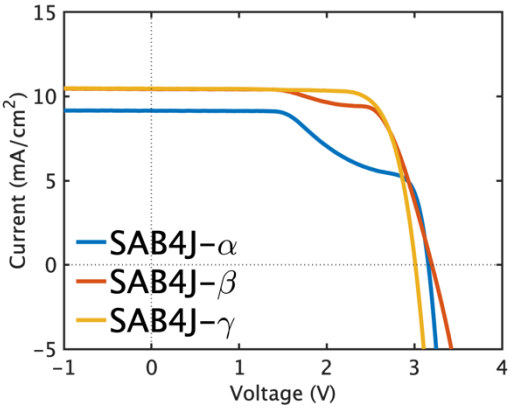


Fig. 1: Current-Voltage Characteristics under AM1.5G

Table 1: Photovoltaic performances of each SAB4J

sample	J_{sc} (mA/cm²)	V_{oc} (V)	FF (%)	Efficiency (%)
SAB4J-α	9.2	3.16	51.8	15.0
SAB4J-β	10.4	3.20	70.0	23.4
SAB4J-γ	10.5	3.01	77.3	24.4

[1] H. Helmers *et al.*, *Physics, Simulation, and Photonic Engineering of Photovoltaic Devices XIII,* vol. 12881, pp. 6-15, SPIE, 2024.
[2] T. Takamoto *et al.*, *Proc. 40th IEEE photovoltaic Specialists Conference (PVSC)*, pp.0001-0005, 2014.

© 2024年 応用物理学会

太陽電池における理想係数の集光度依存性の解明

Dependence of diode's ideality factor on incident light intensity in solar cells

東大先端研 [1]，東大工 [2]　○浅見 明太 [1]，渡辺 健太郎 [1]，中野 義昭 [2]，杉山 正和 [1, 2]

RCAST [1], The Univ. of Tokyo [2], ◦Meita Asami[1], Kentaroh Watanabe[1], Yoshiaki Nakano[2], Masakazu Sugiyama[1, 2]

E-mail: meita-asami@g.ecc.u-tokyo.ac.jp

Optoelectronic Reciprocity theorem は、太陽電池の開放電圧と外部発光効率の関係を定式化した定理である[1]。この定理は、重ね合わせの法則(superposition rule)が成り立つことを前提としている。重ね合わせの法則とは、太陽電池のダイオード特性は、光照射下でも暗状態でも同一である、という法則である。しかし、実際の太陽電池では、この法則は厳密には成り立たないことが多い。本研究の目的は、光照射下における太陽電池のダイオード特性が暗状態と比べてどのように変化するかを調べ、その物理を解明することである。

励起レーザー光強度を変化させて量子構造太陽電池の電流-電圧（J-V）特性を測定し、その後、J-V 曲線の傾きからダイオードの理想係数を算出した（Fig. 1）。ダイオードの理想係数は、光強度が増加するにつれて増加した。寄生抵抗成分も含めてより詳細に解析し、発表では理想係数の算出方法についても詳述する。また、本研究では、エレクトロルミネッセンス（EL）とフォトルミネッセンス（PL）の発光の違いについても解明を試みる。EL では電流によってキャリアが注入され、PL では光励起によってキャリアが注入される。EL と PL とでは太陽電池内のキャリア分布が異なり、この違いが Optoelectronic Reciprocity theorem やダイオードの理想係数をはじめとした太陽電池の特性に影響を与える。Fig. 2 に EL と PL の測定結果を示す。PL 発光は EL 発光よりも強い結果となった。なお、PL 測定は開放状態で行ったが、この EL と PL との比較が適切かどうかは未解明である。EL と PL の結果をどのように比較すれば良いかは全く自明ではなく、本発表では PL 発光のバイアス電圧依存性も示し、光照射下における太陽電池のダイオード特性、ならびに、EL と PL の比較方法について考察する。

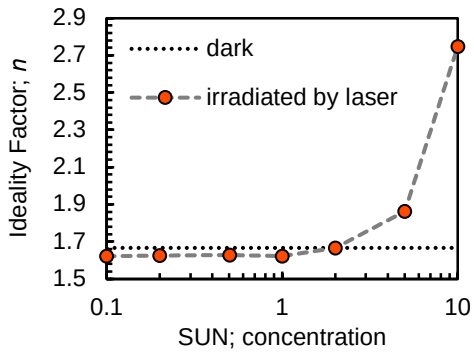


Fig. 1: 集光度とダイオードの理想係数との関係.
黒い点線は暗状態時の理想係数

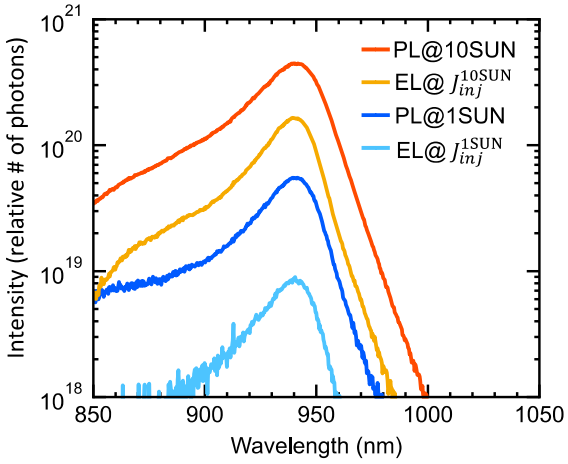


Fig. 2: EL と PL との比較.

[1] U. Rau, *Phys. Rev. B* **76**, 085303 (2007).

GON 構造形成に向けた Ge の異方性エッチングとアニール処理の検討

Anisotropic etching and annealing for germanium-on-nothing structure

埼玉大学 [1]，産総研 [2]，○(M2)范 文博 [1]，大島 隆治 [2]，庄司 靖 [2]，菅谷 武芳 [2]，
八木 修平 [1]，矢口 裕之 [1]

Saitama Univ. [1], AIST[2], ◦(M2) Wenbo Fan[1], Ryuji Oshima[2], Yasushi Shoji[2], Takeyoshi Sugaya[2],
Shuhei Yagi[1], Hiroyuki Yaguchi[1]

E-mail: han.b.214@ms.saitama-u.ac.jp

【研究背景】Germanium-on-nothing (GON) 技術による基板再利用法は、III-V 族太陽電池のコストを大幅に低減することができるアプローチとして注目されている[1, 2]。GON 形成プロセスは、Ge 基板の高アスペクト比の異方性エッチングと適切なアニールによる Ge 原子の表面拡散で構成され、それらにより表面 Ge 層と下方のボイド層を形成する。本発表では、Ge の異方性エッチングのエッチング深さと GON 構造形成の関係を検討した。

【実験】i 線ステッパーを用いて Ge (001)基板上のレジスト膜に直径 1.0 μm の円形ホールパターンを形成した。その後、深掘りエッチング(DRIE)装置を用いた Bosch process によりホール部のエッチングを行った。Bosch process を 100 サイクル、250 サイクル行った結果、ホールパターンのエッチング深さはそれぞれ 4.0 μm と 9.1 μm となった。エッチングプロセス後はサンプルを水素雰囲気下、800°C でアニールを行った。各試料、プロセスでの断面構造は走査電子顕微鏡(SEM)により評価した。

【結果と考察】Fig. 1 (a), (b)はそれぞれ 4.0 μm、9.1 μm の深さでエッチングした構造の断面 SEM 像である。両者ともホール部の直径はマスクサイズと同等の 1.0 μm であり、サイドエッチングが Bosch process により効果的に抑えられていることを確認した。本結果により、9 以上の高アスペクト比の異方性エッチングが実現できた。Fig. 1 (c), (d)は各試料のアニール後の断面 SEM 像であり、アニールによって表面が変形し、平坦な Ge 表面層が形成した。これは表面エネルギーが最小となるように Ge 原子が表面拡散した結果だと考えられる。また、深さ 4.0 μm の試料では表面 Ge 層の下方に柱状ボイドが形成されたが、深さ 9.1 μm の試料では板状ボイド層が形成された。これはアスペクト比が高いことに起因して、形成された柱状ボイドの直径がホールパターンのピッチ間隔よりも大きくなったため、隣り合う柱状ボイドが繋がった結果だと考えられる。今回のプロセスでエッチング深さ 9.1 μm のホールパターンを形成した 3.5 mm 角の領域全体で、表面 Ge 層を粘着フィルム上への剥離転写ができることを確認した。

【謝辞】本研究の一部は、文部科学省「マテリアル先端リサーチインフラ」事業（課題番号：JPMXP1224AT0037, JPMXP1224NM0073）の支援を受けた。

[1] S. Park et al., Joule **3**, 1782 (2019). [2] V. Depauw et al., Prog. Photovoltaics. Res. Appl. **31**, 1315 (2023).

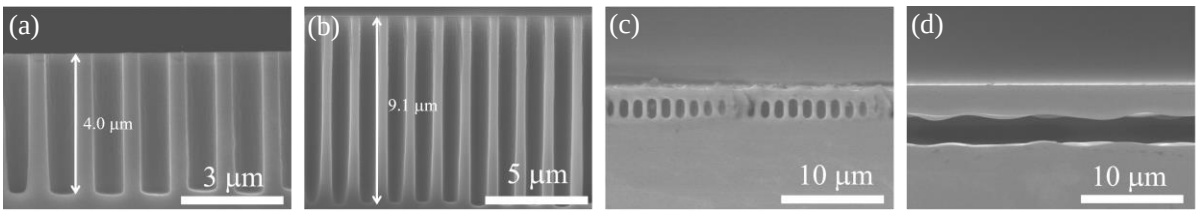


Fig. 1 Cross-sectional SEM images of Ge samples with hole patterns with depths of (a) 4.0 μm and (b) 9.1 μm. (c) and (d) show cross-sectional SEM images of samples in (a) and (b) after annealing at 800°C under hydrogen ambient.

© 2024年 応用物理学会

13 半導体 | 一般セッション(ポスター講演)：13.9 化合物太陽電池

[19p-P07-1~13] 13.9 化合物太陽電池

[19p-P07-1]
オンシリコンIII-V 族太陽電池に向けた(111)基板上のGaInP 成長
庄司 靖[1]、大島 隆治[1]、生方 映徳[2]、〇菅谷 武芳[1] (1.産総研、2.大陽日酸)

[19p-P07-2]
100 μm/hを超えるGaInP太陽電池の超高速HVPE成長
〇(M1)近藤 圭悟[1,2]、大島 隆治[2]、庄司 靖[2]、牧田 紀久夫[2]、清水 裕大[3]、生方 映徳[3]、徳永 裕樹[3]、菅谷 武芳[2]、岡野 好伸[1] (1.東京都市大、2.産総研、3.大陽日酸)

[19p-P07-3]
超薄層化した吸収層による透過型GaAs太陽電池の開発
〇渡辺 健太郎[1]、Sodabanlu Hassanet[1]、浅見 明太[1]、中野 義昭[1,2]、杉山 正和[1,2] (1.東大先端研、2.東大工)

[19p-P07-4]
ELO薄膜タンデム太陽電池の発光結合特性評価
〇伊坪 壮太[1]、稲葉 大陸[1]、宮下 直也[1]、山口 浩一[1] (1.電通大)

[19p-P07-5]
過渡吸収測定におけるGaSb/GaAs量子リングのキャリアダイナミクス
〇樗木 悠亮[1]、Legrand Marie[1]、久保 貴哉[1]、瀬川 浩司[1]、岡田 至崇[1] (1.東大先端研)

[19p-P07-6]
Photocurrent enhancement in ion-implanted GaPN intermediate-band solar cell
〇(D)Rashid Or MdMamun[1], Kyoko Munakata[1], Shuhei Yagi[1], Hiroyuki Yaguchi[1] (1.Saitama University)

[19p-P07-7]
p-Cu-Fe-O / $Mg(OH)_2$ / n-Fe-O構造の作製と評価
〇(M2)江坂 拓巳[1]、市村 正也[1] (1.名工大)

[19p-P07-8]
溶液浸漬による透明太陽電池光吸収層$CuBr_{1-x}I_x$の膜質改善
〇玉井 大吉[1]、行長 虎太郎[1]、落合 航也[1]、金井 綾香[1]、田中 久仁彦[1] (1.長岡技科大)

[19p-P07-9]
$Ge_xSn_{1-x}S$薄膜太陽電池における電気測定を用いた欠陥準位の調査
〇金井 綾香[1]、茂田井 大輝[2]、荒木 秀明[2]、田中 久仁彦[1] (1.長岡技科大、2.長岡高専)

[19p-P07-10]
金属ターゲットと硫黄プラズマを用いた反応性スパッタによるCu_xS・ZnS・SnS・WS_2薄膜の作製
〇(M2)茂田井 大輝[1]、野上 大一[1]、鈴木 一誓[1]、小俣 孝久[1] (1.東北大)

[19p-P07-11]
ゾルゲル法を用いたCZTS薄膜への界面活性剤添加の影響

〇矢澤 兒海[1]、Shahiduzzaman Md[1,2]、中野 正浩[1]、辛川 誠[1,2]、Nunzi Jean Michel[2]、當摩 哲也[1,2]
(1.金沢大院自、2.金沢大NanoMaRi)

[19p-P07-12]

CZTS太陽電池におけるZnOバッファの気相硫化温度依存性

〇島宗 洋介[1]、神保 和夫[1] (1.長岡工業高等専門学校)

[19p-P07-13]

長時間の水素生成がCIGS光電極に与える影響

〇奥山 信太郎[1]、岡田 一真[1]、植田 かな[1]、杉山 睦[1,2] (1.東理大　創域理工、2.東理大　総研)

オンシリコン III-V 族太陽電池に向けた(111)基板上の GaInP 成長

GaInP growth on (111) substrates for III-V-on-Si solar cells

庄司 靖 [1]，大島 隆治 [1]，生方 映徳 [2]，○菅谷 武芳 [1]

AIST[1], TNSC[2], Yasushi Shoji[1], Ryuji Oshima[1], Akinori Ubukata[2], ○Takeyoshi Sugaya[1]

E-mail: y.shoji@aist.go.jp

発電効率の高い III-V 族太陽電池は主に宇宙用太陽電池として利用されているが、製造コストが高く、地上ではほとんど利用されていない。コスト高の大きな要因はエピタキシャル成長にかかるコストと結晶成長用の単結晶ウェハにある。前者については、ハイドライド気相成長(HVPE)法を用いることで従来の有機金属気相成長(MOCVD)法よりもコスト低減できることが示されてきた[1,2]。後者に関しては、エピタキシャルリフトオフや機械的剥離による基板再利用をもって低コスト化を図ることが検討されているが、再利用回数や歩留まりに課題がある。そこで、図 1 に示すように安価な Si 基板上に SiGe および Ge バッファ層を形成したのち、III-V 族材料を成長させる試みが検討されている[3]。ここで、SiGe バッファ層の作製は Al-Ge ペーストのスクリーン印刷および焼成法によりコスト低減を図るが、層状面を得るには Si(111)基板を用いる必要がある[4]。他方、(111)基板上の III-V 族材料の成長においては双晶成長が生じやすく、高品質成長が課題となる。そこで、本研究では III-V 族太陽電池の光吸収層やパッシベーション層に用いられる GaInP 層について Ge(111)基板上での成長を行い、構造評価を行った。GaInP の成長には MOCVD 法を用い、原料にはトリメチルガリム(TMG)およびトリメチルインジウム(TMI)、ホスフィン(PH_3)を使用した。図 2 は(a)断面走査電子顕微鏡(SEM)像と(b)成長方向に関する電子後方散乱回折(EBSD)像を示している。同図より、分析視野内においては GaInP 層が(111)方向に成長していることが示唆された。発表当日は表面モフォロジーや組成均一性なども含めて議論する。

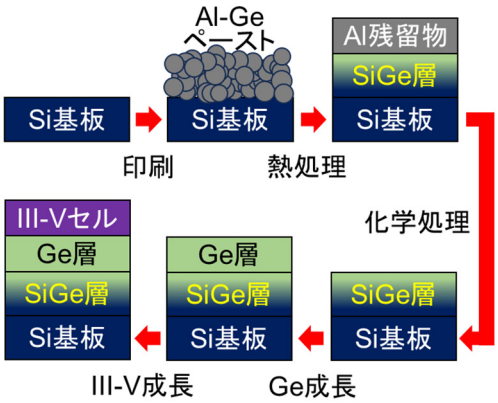


Fig.1 Manufacturing process for low-cost III-V-on-Si solar cells.

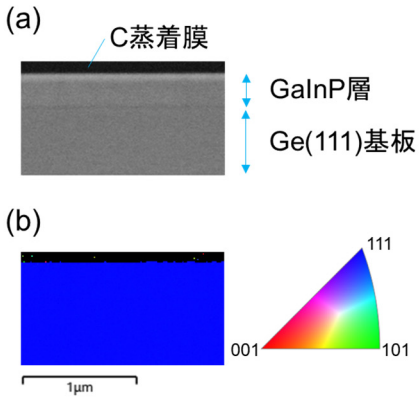


Fig. 2 (a) Cross-sectional SEM and (b) EBSD images for GaInP layer grown on Ge(111) substrate.

謝辞：
この成果は、国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO) の委託業務 JPNP14004 の結果得られたものである。

参考文献：

[1] R. Oshima et al., Jpn. J. Appl. Phys. 57, 08RD06 (2018). [2] Y. Shoji et al., Sol. RRL 6, 2100948 (2022).
[3] https://www.toyal.co.jp/whatsnews/2023/07/2023072001.html
[4] 福田 他, 第 69 回応用物理学会春季学術講演会

100 μm/h を超える GaInP 太陽電池の超高速 HVPE 成長

Ultrafast HVPE growth of GaInP solar cells exceeding 100 μm/h

東京都市大 [1]，産総研 [2]，大陽日酸 [3]　○(M1)近藤 圭悟 [1,2]，大島 隆治 [2]，庄司 靖 [2]，
牧田 紀久夫 [2]，清水 裕大 [3]，生方 映徳 [3]，徳永 裕樹 [3]，菅谷 武芳 [2]，岡野 好伸 [1]
TCU [1], AIST [2], TNSC[3], °K. Kondo [1], R. Oshima [2], Y. Shoji [2], K. Makita [2],
Y. Shimizu [3], A. Ubukata [3], H. Tokunaga [3], T. Sugaya [2], Y. Okano [1]
E-mail: 2481420@tcu.ac.jp

【研究背景】ハイドライド気相成長（HVPE）法は、従来の MOVPE 法と比べて製造コスト、成長速度の点で有利であり、III-V 族多接合太陽電池の新たな製造方法として期待されている。我々は、HVPE 法を用いて GaInP/GaAs 2 接合セルの低コスト技術の構築を目指しており[1]、これまでに 300 μm/h 以上の高品質な GaAs ボトムセルを実証してきた[2]。今回、GaInP トップセルの高速化、高性能化を目的として、高速成長が GaInP セルに及ぼす影響を評価した。

【実験】HVPE 法を用いて GaAs 基板上に GaInP セルを作製した。基板は(111)B に 4°微傾斜させた(001)方位を用いた。セル構造中の *p*-GaInP ベース層以外の成長条件は変えず、ベース層のみ供給原料を調整することで成長速度を 36 μm/h から 121 μm/h まで変化させた（図 1(a)）。成長温度、および V/III 比は 660°C、10 とした。反射防止膜は形成していない。

【結果と考察】図 1(b)は、AM1.5 G の疑似太陽光照射下の電流密度-電圧（J-V）特性である。すべてのセルで約 9.5%の変換効率、0.83 以上の fill factor （FF）が得られ、GaInP セルの報告として最も高速な 121 μm/h の高品質なセル動作に成功した。一方で、開放電圧（V_{OC}）は 36 μm/h の 1.40 V と比較して 121 μm/h では 1.34 V と若干低下した。また、電圧-容量特性から *p*-GaInP ベース層のキャリア濃度を同定したところ、36 μm/h では 5 × 16 cm^{-3} のキャリア濃度であったのに対して、87 μm/h では 2.2 × 16 cm^{-3}、121 μm/h では 1.5 × 16 cm^{-3} と低減していることが分かった。当日は、高速成長によりキャリア濃度が低減した要因についてさらに議論する予定である。

【謝辞】本成果は，国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO) の委託業務(JPNP20015)の結果得られたものである。

[1] Y. Shoji, et al., *Solar RRL* **6**, 2100948 (2022). [2] R. Oshima, et al., *Crystals* **13** 370 (2023).

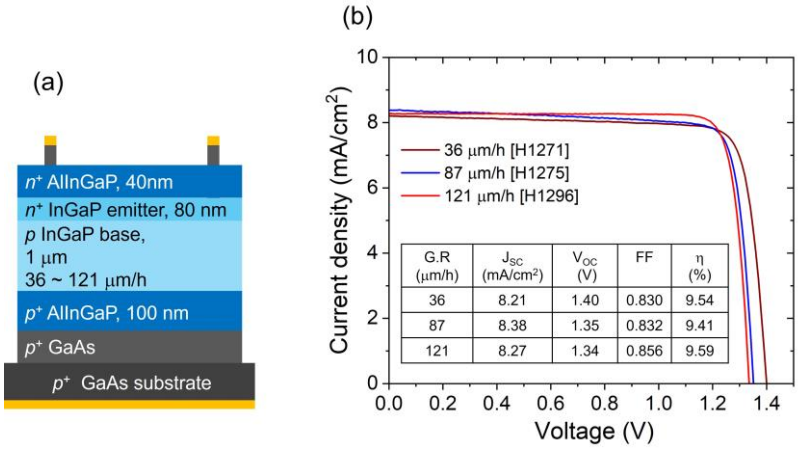


Fig.1 (a) schematic structure of GaInP solar cells and (b) J-V curves measured for GaInP cell under AM1.5G at 1sun.

超薄層化した吸収層による透過型 GaAs 太陽電池の開発

Development of the transparent-type GaAs solar cells with ultra-thin absorber

東大先端研 [1]，東大工 [2]，○渡辺 健太郎 [1]，ソダーバンル ハッサネット [1]，浅見 明太 [1]
中野 義昭 [1,2]，杉山 正和 [1,2]

RCAST, The Univ. of Tokyo [1], Dept. Eng., The Univ of Tokyo[2], °Kentaroh Watanabe[1],
Hassanet Sodabanlu[1], Meita Asami[1], Yoshiaki Nakano[1,2], Masakazu Sugiyama[1,2]

E-mail: kentaroh@hotaka.t.u-tokyo.ac.jp

III-V 族化合物半導体のエピタキシャル成長技術に基づく多接合太陽電池は高品質な単結晶層の積層を可能とする点で高効率化に有利であり、現在の世界最高効率は 665 倍の集光下で 47.6%である[1]。我々はこれまでに、薄層化した GaAs セルの裏面に光散乱構造を導入することで光学厚さを補う光閉じ込め型太陽電池の開発をすすめ、物理厚さ 300 nm の GaAs 太陽電池に対して光学厚さをおよそ 1.9 倍に増大するまでに至っている [2]。薄層化した GaAs セルでは FF に顕著な変化は見られず、開放電圧 Voc はわずかに増大する傾向が見られる。一方で、厚さ 500 nm に満たない超薄膜化された場合の III-V 族化合物半導体において、吸収厚さの不足によりある程度の透過性を有することが見いだされている。

本研究では、透過性を有する GaAs 単接合セルを実証するために、MOVPE によってデバイス層を形成したのちに石英製のハンドル基板上に転写し、その際に裏面側電極を表面電極と同様に櫛形形状とすることでセルを構成した。GaAs 吸収層の厚さ 100, 300 nm のセルを試作し、評価を行った結果、可視光領域における透過性を維持した状態で発電する素子として機能していることが示された。裏面全面電極の素子と比較すると、裏面櫛型電極の抵抗増大に起因する FF の低下、および裏面光反射を受けないことによる短絡電流密度の低減が見られた。

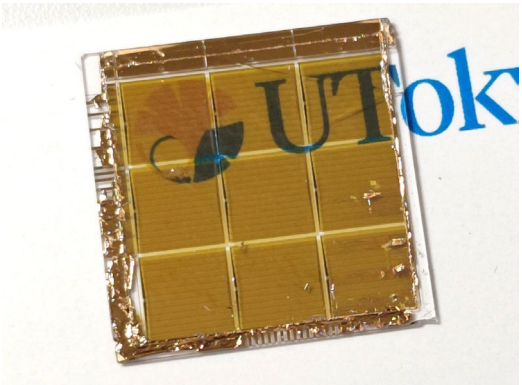


Fig. 1, 透過型 GaAs 単接合セル(t=100 nm)の外観

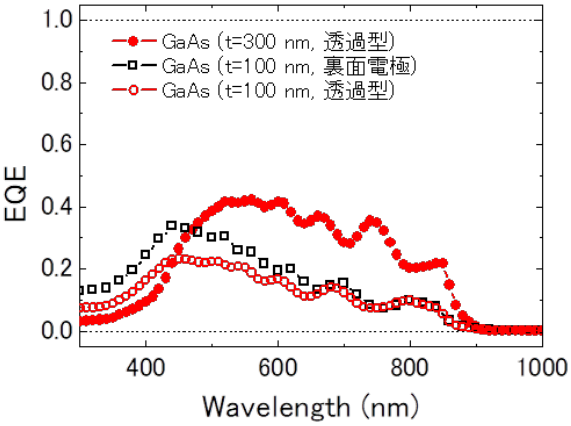


Fig. 2, 透過型 GaAs 単接合セルの外部量子効率

[1] H. Helmers *et al.*, *Physics, Simulation, and Photonic Engineering of Photovoltaic Devices XIII,* vol. 12881, pp. 6-15, SPIE, 2024.
[2] R. Tsuchida *et al.*, *Phys. Stat. Solidi a*, pp.2300586(1-8), 2023.

© 2024年 応用物理学会

ELO 薄膜タンデム太陽電池の発光結合特性評価

Evaluation of Luminescent Coupling for thin-film tandem solar cells made by ELO

電通大，°伊坪壮太，稲葉大陸，宮下直也，山口浩一

The Univ. of Electro-Communications,

°Souta Itsubo, Dairoku Inaba, Naoya Miyashita, Koichi Yamaguchi

E-mail: i2333013@edu.cc.uec.ac.jp

【はじめに】多接合太陽電池においてサブセルの重要な特性評価の手段として EQE 測定が用いられる。下部セルの EQE 測定においては、いくつかの要因によりアーティファクトを含む測定結果が生じることがある。その要因として Luminescent coupling (LC)や下部セルの並列抵抗の影響を考慮するとアーティファクトの影響を除外することができる。本研究では裏面電極として Ni または Au を適用した InGaP/GaAs 2 接合太陽電池の LC 特性の評価を行った。

【実験方法】裏面電極として Ni 0.7 μm または Au 0.9 μm を堆積させた InGaP/GaAs 2 端子型薄膜タンデム太陽電池をエピタキシャルリフトオフ(ELO)法により作製した。EQE 測定では、バイアス光源として、ピーク波長が 472 nm および 782 nm の 2 種類の LED を用いた。各サブセルの単独の電流電圧特性の評価用に律速 I-V 測定[1]を行い、いずれのタンデムセルにおいても並列抵抗が十分大きいことを確認している。測定した EQE 特性からトップセルの放射特性、ボトムセルの放射結合効率に依存する LC 係数 ν の評価を行った[2]。

【実験結果】両試料の 472 nm LED 強度を変化させたときのボトムセルの短波長域における EQE の変化を Fig. 1 (a), (b) に示す。いずれも LED 強度の増加に伴い短波長域の EQE の増加が見られ、このことからトップセル内での発光強度とボトムにおける LC 電流の増加との相関が示唆される。各 EQE スペクトルから LC 係数 ν を求め、LED 強度に対する変化を Fig.1 (c) にプロットした。裏面電極の違いによる LC 係数の差異が見られた。本研究で作製した試料構造は裏面電極以外は同一であることから、トップセルにおける発光効率の同一とみなせる。また、この試料構造は裏面側に平面ミラー構造を有しており、光閉じ込め構造になっているため裏面電極材料の反射率の違いが影響していると考えられる。詳細な解析については当日議論する。

【謝辞】本研究は、新エネルギー・産業技術総合開発機構(NEDO)からの委託研究により実施されたものであり、関係各位に感謝いたします。

[1] 稲葉 他., 春応物, 24p-P06-1 Mar 24th . 2024.

[2] M. A. Steiner et al., *IEEE J. Photovolt.*, vol. 3, no. 2, pp. 879–887, Apr. 2013.

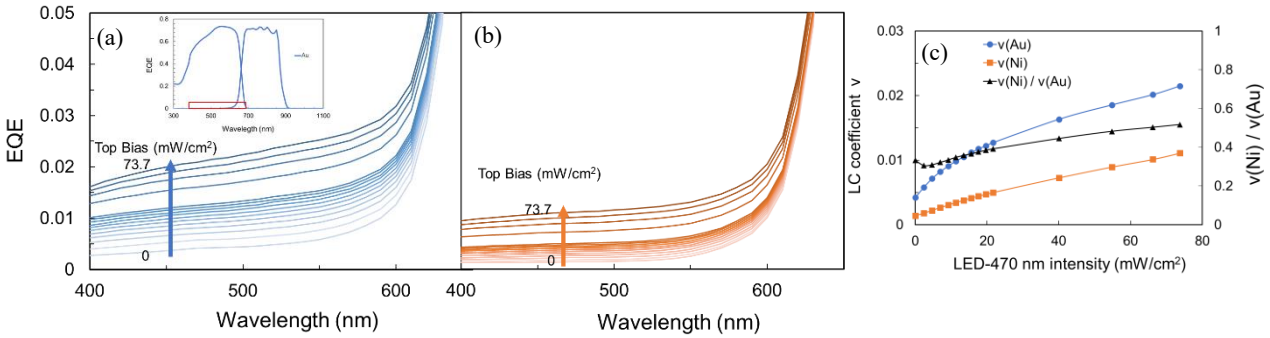


Fig. 1 **Under different Top Bias light intensity for Bottom cell EQE measurement (a)Au (b) Ni (c) Luminescent coupling coefficient dependence**

過渡吸収測定における GaSb/GaAs 量子リングのキャリアダイナミクス

Carrier dynamics in GaSb/GaAs quantum rings by Transient Absorption Measurements

東大先端研 [1]　○樗木 悠亮 [1], Marie Legrand[1], 久保 貴哉 [1], 瀬川 浩司 [1], 岡田 至崇 [1]

°Yusuke Oteki[1], Marie Legrand[1], Takaya Kubo[1], Hiroshi Segawa[1], and Yoshitaka Okada[1]

1 RCAST, Univ. of Tokyo

E-mail: oteki@g.ecc.u-tokyo.ac.jp

【はじめに】量子ドットを用いた中間バンド型太陽電池は、中間準位を介した 2 段階光吸収により電流密度が増大し変換効率の向上が期待される[1]。InAs/GaAs 量子ドットはキャリ寿命が短く 2 段階目の光吸収レートが小さいことが課題となっており、Type-II 型のバンド構造によるキャリア寿命が長い GaSb/GaAs 量子リングが検討されている[2]。Type-II 型の GaSb/GaAs 量子リングにおけるキャリアの遷移過程を明らかにするため、本研究では、過渡吸収測定を用いて、光励起下におけるキャリアダイナミクスの変化を観測、評価した。

【実験および結果】分子線エピタキシー(MBE)法を用いて 両面研磨 GaAs(001)基板上に GaSb 量子ドットを成長した。面内高密度化を図るため、成長速度は 1.0 $\mu m/h$、堆積量は 3ML 程度とし、量子ドットの成長前後に成長中断を 20s 行うことで量子リングを形成した[3]。量子ドット層は 10 層とし、中間層膜厚は 10nm とした。GaAs 基板および量子リング試料の過渡吸収測定を行い比較することで、量子リング由来の信号を検証した。本測定では，ポンプ光は GaAs のバンドギャップ相当である 870 nm、プローブ光には量子リングの光吸収領域である 900-1300nm を選択した。 図 1 は各励起波長における光吸収の時間変化を示す。GaAs 基板(点線)では、プローブ光の波長に依らず光吸収の増大が観測された。ポンプ光の強度は 15.4 mW と強励起状態にあり、ポンプ光によって励起したキャリア密度が高くなることで、自由キャリア吸収が増大したためと考えられる。一方、量子リングでは短波長側のプローブ光において、ΔOD が増大した 2ps ほど後に大きく減少し、80ps 程度かけて減衰した。ポンプ光で励起した正孔が量子リングの中間準位に緩和してプローブ光を吸収する電子密度が減少したことで、自由キャリア吸収以上に光吸収が減少したためと考えられる。さらに量子リングの光吸収率が減少するため、波長 1300nm 程度のプローブ光では吸収率が減少せず GaAs 基板と同様の時間変化が見られた。波長 1200nm より短波長側の光は中間準位と伝導帯、長波長側の光は中間準位と価電子帯の間でキャリアが遷移すると考えられており[3]、効率的な 2 段階光吸収のためには両者の生成レートを一致させることが重要となる。

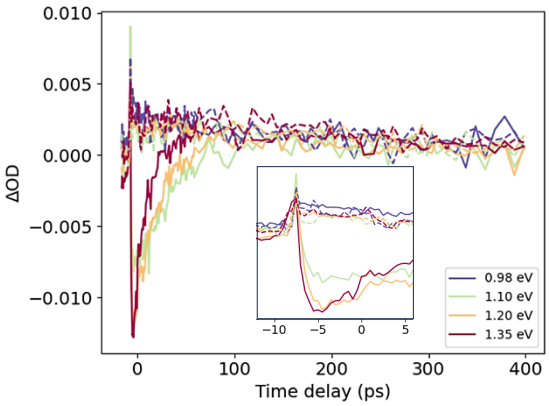


Fig.1. Transient absorption measurements of the GaAs substrate (dotted line) and the quantum ring (solid line).

[1] A. Luque and A. Martí, Phys. Rev. Lett., 78, 5014 (1997).

[2] Y. Shoji et al., AIP Advances 7 (2017) 065305.

[3] 樗木 他, 第 84 回応用物理学会秋季学術講演会, 19a-D903-9 (2023).

© 2024年 応用物理学会

Photocurrent enhancement in ion-implanted GaPN intermediate-band solar cell

Saitama University[1], °Md Mamun Or Rashid[1], Kyoko Munakata[1], Shuhei Yagi[1], and Hiroyuki Yaguchi[1]
E-mail address: md.m.o.r.069@ms.saitama-u.ac.jp

To exceed the Shockley-Queisser limit on the efficiency of a traditional solar cell, the intermediate-band solar cell (IBSC) is regarded as a potentially effective concept. Photons with energy below the bandgap can contribute to the electron excitation from the valence band to the conduction band in an IBSC, resulting in the additional photocurrent. One possible candidate for an IB-type absorber material is the GaPN alloy. As a possible synthesis method, ion implantation offers an easier technique than other methods of fabrication, so we studied the operation of a GaPN IBSC prepared using this method. For that, we first implanted 3.0×10^{14} cm^{-2} of Zn ions and 3.2×10^{15} cm^{-2} of N ions into an n-type GaP substrate. This formed a Zn-doped layer of approximately 100 nm thick (1×10^{20} cm^{-3}) from the surface and a 300 nm thick layer of $GaP_{0.96}N_{0.04}$ composition underneath. To activate the implanted impurities, the sample was then annealed for 6 minutes at900 °C in a nitrogen atmosphere. Finally, the electrodes on the front (AuZn) and rear (AuGe) sides of the device was evaporated. Figure 1 shows a schematic of the fabricated cell. To gain a deeper understanding of the photocurrent enhancement induced by photons with energy below the CB-VB gap, two wavelength excitation photocurrent measurements were performed in three different scenarios: only below-gap excitation (BGE) light illumination (at 1342 nm, 140 mW/cm^2), only above-gap excitation (AGE) light illumination (at 450 nm, 4.4 mW/cm^2), and simultaneous illumination of the AGE and BGE light sources. Figure 2 indicates measured photocurrent density as a function of voltage. Current density enhancement induced by the BGE light was evaluated by $\Delta J = J_{AGE+BGE} - J_{AGE} - J_{BGE} + J_{Dark}$, where the suffixes denote light sources used for the measurement. The ΔJ-V curve plainly demonstrates an increase in current density due to optical transition via intermediate states formed in the band gap. Qayoom *et al.* reported similar behavior for epitaxially grown GaPN p-n junction, and we consider that tail states formed below the so-called E_- conduction band edge act as a stepping stone for electrons in this process [1]. *Acknowledgements*: This work was partially supported by JSPS KAKENHI grant numbers 24K07574 and 22K04211.

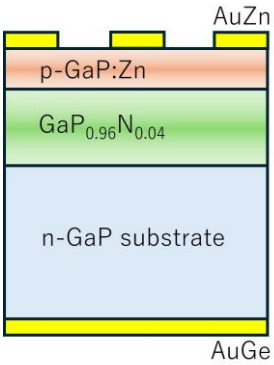


Fig. 1 Schematic of the fabricated GaPN IBSC.

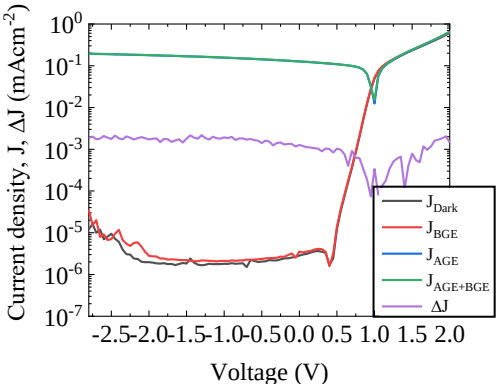


Fig. 2 *J*-*V* and Δ*J*-*V* curves of GaPN IBSC.

[1] A. Qayoom, S. Ferdous, S. Yagi, and H. Yaguchi, Jpn. J. Appl. Phys. **62**, SK1038, (2023).

© 2024年 応用物理学会

p-Cu-Fe-O / $Mg(OH)_2$ / n-Fe-O 構造の作製と評価

Fabrication and characterization of p-Cu-Fe-O / $Mg(OH)_2$ / n-Fe-O

名工大 [1], ○(M2)江坂　拓巳 [1]、市村 正也 [1]
Nagoya Inst. of Tech.[1] , ○Takumi Ezaka[1], Masaya Ichimura[1]
E-mail: cnq13024@stn.nitech.ac.jp

1. はじめに

酸化鉄(Ⅲ)Fe_2O_3 は、2.0~2.2eV のバンドギャップを持つ n 型半導体である。また、銅添加 p 型酸化鉄薄膜半導体を用いて酸化鉄の pn 接合薄膜太陽電池が作製できることが確認されているが[1]、性能と再現性が悪い。原因として、接合界面が急峻でない可能性が考えられるため、中間層を導入することで性能を改善できると期待される。本研究では、中間層として $Mg(OH)_2$ を導入した場合の、I-V 特性を調査する。堆積方法として、酸化鉄薄膜は電気化学堆積(ECD)法を採用し、$Mg(OH)_2$ 薄膜はドロップ蒸発(DDD)法[2]を採用した。

2. 実験方法

ECD 法の作用電極には堆積基板である ITO、対向電極には Pt、参照電極には Ag/AgCl 電極を用いた。n 型半導体の堆積溶液は、二次純水に $FeSO_4 \cdot 7H_2O$ を 50 mM、Na_2SO_4 を 100 mM 加え、p 型半導体の堆積溶液は、これに $CuSO_4$ を 2mM 加えた。n 型層は定電流密度(-0.12mA/cm^2)で 30 分間、p 型層は 2 ステップパルス電位(0V,-860mV)で 10 分間の堆積を行った。一層目の n 型層の上に、DDD 法により中間層として $Mg(OH)_2$ を堆積した。堆積溶液は、二次純水に $Mg(NO_3)_2$ を 25 mM、NaOH を 50 mM 加えた。試料上に 0.05mL 滴下し、60 ℃で蒸発させ、純水で洗浄し、窒素ガスで乾燥した。これを 2 回繰り返した。アニールは、大気雰囲気下で 400℃を 1 時間行った。電極として 1 mm^2 のインジウムを蒸着し、I-V 測定を行った。

3. 結果・考察

Fig.1 にアニール前の、3 層構造と $Mg(OH)_2$ / n-Fe-O 2 層構造の I-V 測定結果を示す。どちらの構造においても非線形性が現れたが、整流性は明確ではない。Fig.2 はアニール後の 3 層構造の結果である。整流性が確認されたが、アニール前と比較して電流値は約四桁大きくなり、立ち上がり電圧は小さくなった。

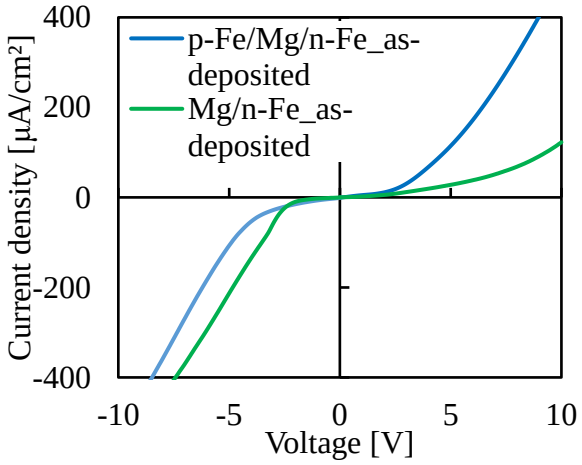


Fig. 1　I-V 測定_アニール前

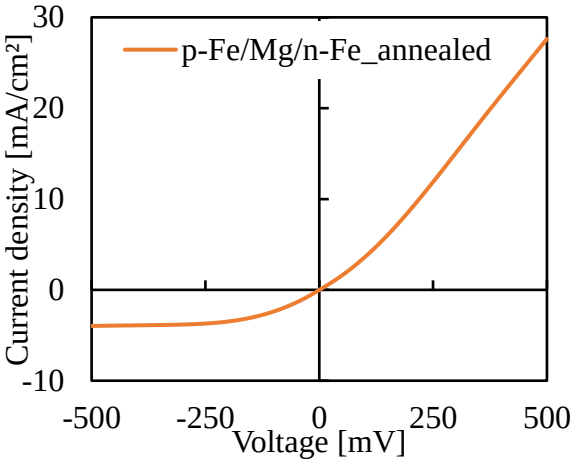


Fig. 2　I-V 測定_アニール後

1)　R. Takayanagi, M. Ichimura, Jpn. J. Appl. Phys. 59(2020)111002.
2)　T. Li, M. Ichimura, Materials 14(2021) 724.

溶液浸漬による透明太陽電池光吸収層 $CuBr_{1-x}I_x$ の膜質改善

Quality improvement of $CuBr_{1-x}I_x$ for absorption layer of transparent solar cell by solution soaking

長岡技術科学大学 [1] ○(M2)玉井 大吉 [1], 行長 虎太郎 [1], 落合 航也 [1], 金井 綾香 [1], 田中 久仁彦 [1]
Nagaoka Univ. Tech. [1], °Daikichi Tamai [1], Kotaro Yukinaga[1], Koya Ochiai [1], Ayaka Kanai[1], Kunihiko Tanaka[1※]
※E-mail: tanaka@vos.nagaokaut.ac.jp

1. はじめに

透明太陽電池は紫外光を吸収して発電し、可視光を透過するため、これまで導入が困難だった建物の窓ガラスなどに設置可能となり、太陽電池利用の場を大きく拡大することが期待できる。透明太陽電池は透明 n 型半導体と透明 p 型半導体で構成される。透明 n 型半導体においては ZnO を始めとした様々な半導体が可視域において高い透過率及び導電率を実現している。一方、透明 p 型半導体では $CuAlO_2$[1]など様々な半導体が研究されているものの、可視域での高い透過率、導電率を両立しているものはほとんど報告されていない。そこで、我々はホールの良導体である CuI と CuBr の混晶である $CuBr_{1-x}I_x$(以下 CuBrI)に着目した。CuBrI は組成比 x を変化させることでバンドギャップを 2.95 ~ 3.10 eV の間で調整できる[2]。これを利用し、紫外光に加えて可視光もわずかに吸収するバンドギャップ(約 3.0 eV)を実現することで、可視域での高い透過率を保ったまま太陽光エネルギーを最大限活用することができる。先行研究では n 型半導体として ZnO、p 型半導体として CuBrI を用いた透明太陽電池を提案したものの、発電効率がかなり低かった[3]。その要因の一つとして、CuBrI 層のハロゲンが抜けることによる膜質の悪化が挙げられる。そこで、本研究では、CuBrI をハロゲン含有溶液に浸漬することでハロゲンを補充し膜質を改善することを試みた。

2. 実験方法

2-メトキシエタノールとモノエタノールアミンに CuI と CuBr を溶かした溶液をスピンコート法によって石英基板上に塗布し、大気中 170℃で乾燥させた。この工程を 3 回繰り返し、CuBrI 薄膜を堆積させた。その後、純水に KBr を溶かした溶液に CuBrI 薄膜を浸漬させ、自然乾燥させた。作製したサンプルは励起波長 340 nm での室温 PL 観測により評価した。

3. 結果および考察

作製した CuBrI 薄膜を 340 nm で励起した PL 観測の結果を Fig. 1 に示す。Fig. 1 に示すように、KBr 溶液に浸漬することで 1.7 eV 付近のハロゲン欠陥発光に対する 2.9 eV 付近の励起子発光が強くなっていることがわかる。また、KBr 溶液に浸漬する時間が長くなるに従い、励起子発光のやや低エネルギー側で観測される Cu 欠陥に由来する発光が強くなることがわかった。その他の KBr 溶液浸漬による CuBrI 薄膜諸特性への影響は当日報告する。

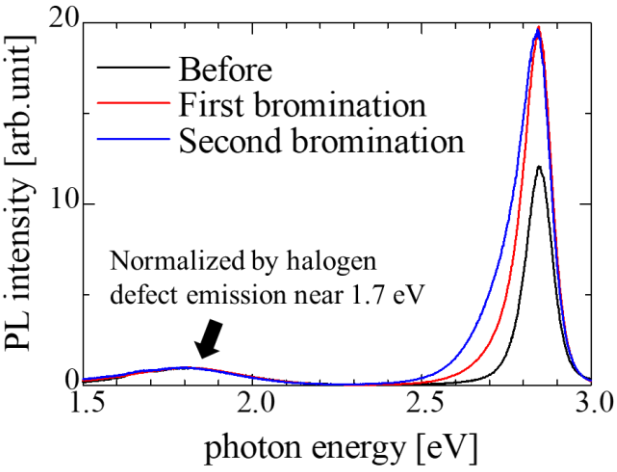


Fig. 1 Normalized PL spectra of CuBrI film

参考文献
[1] Hong-Ying Chen *et al.*, Materials Letters **228** (2018) 81. [2] B. Bouhafs *et al.*, phys. Stat. sol. (b) **209** (1998) 339. [3] Naoya Tsujimoto et al., Jpn J. Appl. Phys **63** (2024) 031002.

【謝辞】本研究の一部は JFE21 世紀財団　技術研究助成により実施したものである。

$Ge_xSn_{1-x}S$ 薄膜太陽電池における電気測定を用いた欠陥準位の調査

Investigation of defect states in $Ge_xSn_{1-x}S$ thin-film solar cells using electrical measurements

長岡技科大 [1], 長岡高専 [2]
◦金井 綾香 [1※], 茂田井 大輝 [2], 荒木 秀明 [2], 田中 久仁彦 [1]
Nagaoka Univ. Tech. [1], NIT, Nagaoka College[2],
◦Ayaka Kanai[1※], Daiki Motai[2], Hideaki Araki[2], and Kunihiko Tanaka[1]
※E-mail: kanai@vos.nagaokaut.ac.jp

【はじめに】 硫化スズ(SnS)は直接遷移型で高い光吸収係数[1]を持つことから、希少元素や有毒元素を含む従来の光吸収層の代替材料として期待されている p 型半導体である。しかし、SnS 薄膜太陽電池の現在の最高効率は 4.8%[2]程度であり、未だ効率が低いことが課題である。近年では、この SnS に Ge を加え、バンドギャップ(E_g)を 1.3－1.6 eV の範囲で可変できる $Ge_xSn_{1-x}S$ 半導体が新たに報告されている[3,4]。現状、0.67%[4]で発電しているものの、未だ効率は低い。その要因に $Ge_xSn_{1-x}S$ に関する研究報告は少なく、特に界面欠陥やバルク内欠陥などの知見が少ないことが課題である。本研究では、$Ge_xSn_{1-x}S$ 太陽電池の高効率化に向けて x の変化が欠陥特性に及ぼす影響を明らかにするために、x 比の異なる $Ge_xSn_{1-x}S$ 太陽電池を用意し、電気特性(J-V や C-F など)の温度依存性を評価することで特に界面欠陥の調査を行った。

【実験方法】 裏面電極として Eagle-XG(Glass)に Mo を DC スパッタ法により堆積した。光吸収層である $Ge_xSn_{1-x}S$ 薄膜は Mo/Glass 上に Ge、Sn、S の分子線を用いて同時蒸着することで成膜した。本実験では x = 0.18, 0.26, 0.37, 0.44 の $Ge_xSn_{1-x}S$ を用意した。また、成膜した $Ce_xSn_{1-x}S$ の上に n 型バッファ層として硫化カドミウム(CdS)薄膜を化学浴蒸着法により堆積した。最後に、Al/ZnO:Al/CdS/$Ge_xSn_{1-x}S$/Mo/Glass 構造の太陽電池を作製した。得られた太陽電池の光起電力特性は、ソーラーシミュレーターを用いて 100 mW·cm^{-2} および AM1.5G 条件下で評価した。また、太陽電池の J-V および C-F 特性における温度依存性は、真空マイクロチャンバー内に設置後、80－340 K の範囲で温度制御することで行った。

【結果及び考察】 図 1 に試料温度に対する $Ge_xSn_{1-x}S$ 薄膜太陽電池の開放電圧(Voc)の変化を示す。太陽電池の Voc は試料温度の低下とともに増加し、0 K での推定 Voc は約 0.72－0.75 V であった。この推定 Voc は $Ge_xSn_{1-x}S$ の E_g(すなわち約 1.3－1.4 eV)[4]よりも低く、x 比に対して依存性がないことが分かった。また、$Ge_xSn_{1-x}S$ の x の増加に伴い、低温側の Voc が乖離していく様子から、$Ge_xSn_{1-x}S$ 太陽電池では x が増加するとともに界面再結合に強く支配される可能性を示唆した。その他の詳細や考察については当日報告する。

謝辞: 本研究の一部は旭硝子財団の助成を受けて実施したものである。また、本研究は先端研究基盤共用促進事業(コアファシリティ構築支援プログラム) JPMXS0440900024 で共用された機器を利用した成果である。

参考文献: [1] A. Kanai *et al.*, Jpn. J. Appl. Phys. **61**, 125501 (2022). [2] H.-S. Yun *et al.*, Adv. Energy Mater. **9**, 1901343 (2019). [3] D. Motai *et al.*, Jpn. J. Appl. Phys. **62**, SK1037 (2023). [4] D. Motai *et al.*, Materials **17**, 629 (2024).

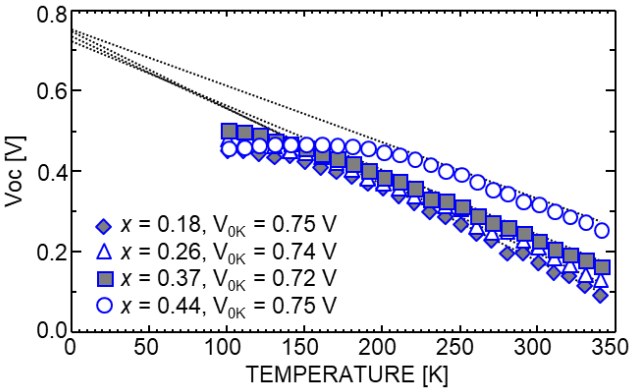


図 1 試料温度に対する $Ge_xSn_{1-x}S$ 太陽電池の Voc 変化(x = 0.18, 0.26, 0.37, 0.44)

© 2024年 応用物理学会

金属ターゲットと硫黄プラズマを用いた反応性スパッタによる Cu_xS・ZnS・SnS・WS_2 薄膜の作製

Fabrication of Cu_xS, ZnS, SnS, and WS_2 thin films via reactive sputtering using metallic targets and sulfur plasma supply

東北大 ○(M2)茂田井大輝，野上大一，鈴木一誓，小俣孝久

Tohoku Univ., ○Daiki Motai, Taichi Nogami, Issei Suzuki, Takahisa Omata

*E-mail: motai.daiki.t5@dc.tohoku.ac.jp

典型的な硫化物(Cu_xS、ZnS、SnS)や、遷移金属ダイカルコゲナイド(WS_2)などの硫化物半導体は、太陽電池、トランジスタ、ガスセンサーといった多様なデバイスへの応用が期待されている。硫化物半導体は薄膜化の際に、蒸気圧が極めて高い硫黄が蒸発しやすいことから、硫黄が不足した組成となりやすい。これに伴って薄膜中に形成する格子欠陥はデバイス性能にしばしばネガティブな影響を及ぼす。例えば、SnS において硫黄欠損に由来して導入される欠陥はフェルミ準位ピニングを引き起こし、太陽電池の開放電圧が低下する一因となる。[1]したがって、高品質な硫化物薄膜の作製には硫黄欠損を低減することが必要となる。硫黄欠損を低減するためのこれまでの方策には、成膜中に H_2S を供給すること[2]や、高い硫黄分圧の雰囲気でポストアニールすること[3]などがある。しかし、これらの手法では、不純物水素が物性に影響を与えることや[4]、ポストアニールの過程で表面が汚染されることが避けられない。硫黄欠損の低減には成膜中に反応性の高い単体の硫黄を供給する手法が最適である。本研究ではそのようなアプローチとして、種々の金属ターゲット(Cu、Zn、Sn、W)のスパッタリングと、反応性の高い硫黄プラズマの供給を組み合わせた反応性スパッタリングを開発し、硫化物薄膜(Cu_xS、ZnS、SnS、WS_2)を作製した。

金属ターゲット(Cu、Zn、Sn、W)を SiO_2 基板上にスパッタリングしながら、薄膜堆積部に硫黄プラズマを照射した。なお、硫黄プラズマは硫黄粉末を加熱して蒸発させた硫黄蒸気に対し、RF を印加することで発生させた。生成相は X 線回折(XRD)にて同定し、組成は EPMA にて評価した。

本手法により、Cu_xS および ZnS、SnS、WS_2 薄膜が得られた。一例として Figure 1 に、加熱をしていない基板上に堆積した ZnS および SnS の XRD パターンと組成を示す。それぞれ、ウルツ鉱型 ZnS と *h00* 配向した SnS 薄膜であった。また、いずれの組成も化学量論組成に近かった。当日は得られる薄膜の組成や物性に堆積条件が与える影響についても報告する。

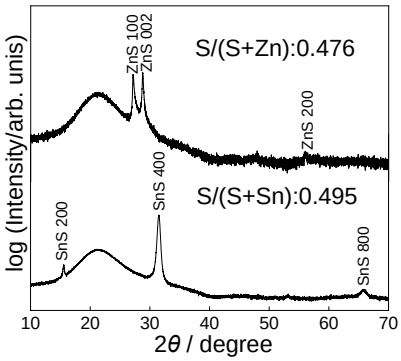


Fig.1 XRD patterns and chemical compositions of the fabricated thin films.

参考文献

[1] I. Suzuki et al., J. Phys. Chem. C, 126, 20570 (2022).

[2] M.M.S. Villamayor et al., Vacuum 188, 110205 (2021).

[3] P. Sinsermsuksakul et al., Adv. Energy Mater. 4, 1400496(2014).

[4] Z. Xiao et al., Phys. Chem. Chem. Phys., 20, 20952 (2018).

ゾルゲル法を用いた CZTS 薄膜への界面活性剤添加の影響

Effect of Additives on CZTS Films Fabricated by Sol-gel Technique

矢澤兒海 [1]、Md. Shahiduzzaman[1,2]、中野正浩 [1]、辛川誠 [1,2]
Jean Michel Nunji[2]、當摩哲也 [1,2]
（1. 金沢大院自、2. 金沢大 NanoMaRi）
R. Yazawa[1], M. Shahiduzzaman[1,2], M. Nakano[1], M. Karakawa[1,2]
J. M. Nunzi[2], T. Taima[1,2]
(1. Graduate School of Nat. Sci. and Tech., Kanazawa Univ., 2.NanoMaRi)
E-mail: shahiduzzaman@se.kanazawa-u.ac.jp taima@se.kanazawa-u.ac.jp

【緒言】Cu_2ZnSnS_4(CZTS)は無機半導体の一種であり、地殻に比較的豊富に存在する元素のみで構成されているため、 低コストで環境負荷が小さい太陽電池の光吸収層の材料として期待されている。CZTS を製膜するには真空蒸着法、電気化学堆積法などの方法があるが、非真空で簡便なプロセスとしてゾルゲルスピンコート法が挙げられる。現在、ヒドラジンを使用したスピンコート法で変換効率 12.6 %のデバイスが報告されているが[1]、ヒドラジンは毒性が高い物質であり取り扱いが難しいため、より安全な方法を見つける必要がある。また、ゾル-ゲルスピンコート法はピンホールが発生する問題もある。 本研究は、添加剤を前駆体溶液に加えることでピンホールを抑制し、低コストで安全なゾル-ゲルスピンコート法による CZTS の製膜を目標とした。

【実験】CZTS 前駆体溶液は Thiourea、CuCl、$ZnCl_2$、$SnCl_2 \cdot 2H_2O$ を毒性の低い溶媒である 2-Methoxyethanol に加えて溶解させ、35% Lauryl Dimethylaminoacetic acid solution (LDAAA) を 0.1～0.5 wt%の条件で加えて作製した。前駆体溶液を FTO 基板上に滴下してスピンコートを行ない、大気下、300℃で焼成する操作を繰り返し、その後 350℃で最終焼成を行った。XPS により各元素の存在を確認し、XRD により結晶性の分析、SEM によって膜表面状態を観察した。

【結果と考察】本方法で作製した CZTS 薄膜について XPS によって各元素が薄膜に存在することを確認した。また、XRD 測定を行い、ピーク位置からケステライト構造を持つことを確認した。 さらに、LDAAA の添加によって結晶性の向上が確認された。Fig. 2 に示す SEM 観察によって、LDAAA の添加により CZTS 薄膜のピンホールが抑制、膜が平滑化されたため、膜質の向上効果が確認できた。以上により、本手法はゾルゲルスピンコート法を用いた CZTS 太陽電池作製に有用である可能性が示された。

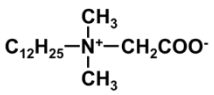


Fig. 1 Lauryl Dimethylaminoacetic acid (LDAAA)の構造式

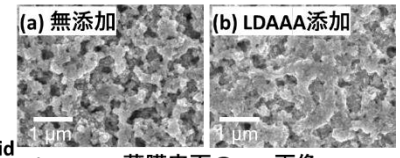


Fig. 2 CZTS薄膜表面のSEM画像
(a) 無添加　(b) LDAAA 0.3wt% 添加

Reference: [1] W. Wang *et al., Adv. Energy Mater.* **4**, 1301465, (2014)

Acknowledgment: This work was supported by WISE Program of Kanazawa University by MEXT.

© 2024年 応用物理学会

CZTS 太陽電池における ZnO バッファの気相硫化温度依存性

Temperature Dependence of Gas Phase Sulfurization of ZnO Buffer in CZTS Solar Cells

長岡工業高等専門学校，°島宗洋介，神保和夫

National Institute of Technology (KOSEN), Nagaoka College,

°Yosuke Shimamune, Kazuo Jimbo

E-mail: shimamune@nagaoka-ct.ac.jp

【はじめに】

本研究では、RF スパッタ法を用いた ZnO の形成ならびにその後の硫化水素を用いた気相硫化が ZnO の光学特性に与える影響を明らかにし、それらをバッファ層として適用した CZTS 太陽電池を試作し、電池特性へ与える影響を明らかにすることを目的とする。

【実験】

ソーダライムガラス(SLG)基板に RF スパッタ法(100W, 0.3-0.4Pa, Ar10sccm)により 70-80nm 程度の ZnO を形成し、その後に 5%H_2S/N_2 を用いて温度 280-360℃において硫化を行った。その後、紫外・可視分光光度計(SHIMADZU, Solid SPEC3700)を用いて光学特性評価を行った。また、同条件で硫化した ZnO 薄膜をバッファ層に適用した CZTS 化合物薄膜太陽電池(SLG 基板/Mo(900nm)/CZTS(400nm)/硫化 ZnO(70-90nm)/Al-doped ZnO(300nm)/Al(600nm)を形成し、ソーラシミュレータを用いて 100mW/cm^2、25℃の標準条件により太陽電池特性の評価を行った。

【結果と考察】

図 1 に ZnO の Tauc plot を示す。硫化温度上昇に伴い 3.3-3.6eV における吸収係数の低下が見られ、より高エネルギー側での吸収が支配的になる傾向がみられる。これは温度上昇に伴い、ZnO の硫化が進行し、吸収係数の立ち上がりが ZnS のバンドギャップエネルギー3.6eV に近づいたためと推察される。これらをバッファ層に適用した太陽電池のベストセル特性を図 2 に示す。硫化温度が 280-320℃程度では変換効率 4.05-3.96%を達成している一方で 340-360℃では開放電圧、短絡電流ともに減少し、変換効率の急激な劣化が見られた。これらの結果は、ZnO の気相硫化温度の精密制御が CZTS 薄膜太陽電池改善のために重要であることを示している。

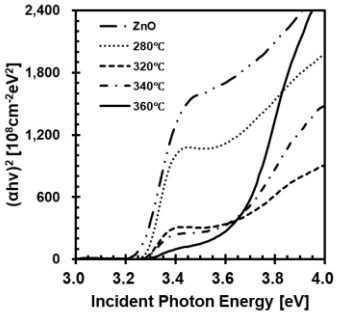


Fig.1 Tauc Plot of the Sulfurized ZnO Thin Films

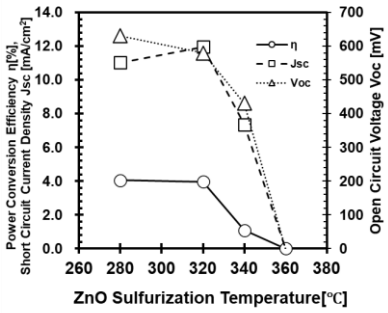


Fig.2 Best Cell Performance of CZTS solar cells.

【謝辞】

本研究は、公益財団法人ユニオンツール育英奨学会の助成を受けて行いました。

長時間の水素生成が CIGS 光電極に与える影響

Investigation of degradation process by hydrogen generation using CIGS photoelectrode for long-term stability

東京理科大学 創域理工 [1]/総研 [2]
◦奥山 信太郎 [1], 岡田 一真 [1], 植田 かな [1], 杉山 睦 [1,2]
1. Faculty of Science and Technology / 2. RIST, Tokyo Univ. of Science
◦S. Okuyama[1], K. Okada[1], K. Ueda[1], M. Sugiyama[1,2] E-mail: optoelec@rs.tus.ac.jp

【はじめに】 持続可能な経済社会における新エネルギーとして水素が注目されており、クリーンな水素生成に向けて半導体光電極による水分解が検討されている。光電極材料には、太陽光スペクトルの大部分を吸収し水分解反応に寄与する光電流へと変換可能な半導体が求められる。Cu（In, Ga）Se_2（CIGS）は光吸収係数が高く、可視光吸収可能であることに加え、水素生成に適したバンドギャップを持つことから、太陽電池のみならず光電極材料としても期待されている[1]。CIGS を含めた半導体を用いた光電極の実用化に向けて、水分解を長期的に行える耐久性が必要不可欠であるが、現在 CIGS を用いた光電極は水分解反応と同時に反応面の劣化による光電流の顕著な低下が報告されている[2]。しかし、CIGS を用いた光電極の劣化過程に関する報告例は少なく、光電流の顕著な低下は反応面の光腐食に起因する可能性が高いことが報告されている[3]が、詳細については未解な事が多い。本研究では水素生成に伴う水分解反応による光電流の顕著な低下が報告されている CdS/CIGS 光電極を用いて、劣化過程の検討を行った。加えて、水素生成や水分解が CIGS 反応面に与える影響を調査することで半導体光電極の実用化・長期運用に向けた水分解に対する長期耐性の検討を行った。

【実験方法】 Mo/SLG 上に MBE 装置を用いて CIGS 薄膜を成膜した。その後 CdS 層を堆積し、得られた試料を作用極、Pt 線を対極として水分解を試みた[1]。電解液は Na_2SO_4(0.01 M)に NaOH で pH 9.5 に調整した水溶液を、光源は 300 W の Xenon ランプを用いて-1.0 V の電圧を 4 時間印加し続け、1 時間ごとに光電流の測定を行った。

【結果及び考察】 図 1 に CdS/CIGS 光電極を用いて、-1.0 V の電圧を印加し続けた際の 1 時間ごとの電流電圧特性を示す。電圧を印加する前の CdS/CIGS 光電極と比較して、1 時間後の CdS/CIGS 光電極において光電流が減少したことが確認され、2 時間後の CdS/CIGS 光電極においては光電流がほぼ確認されなかった。これらの結果から、CdS/CIGS 光電極において、電圧を印加したことで Cd が溶液中へ溶解したことにより光電流が減少したことが示唆された。詳細は当日報告する。

【謝辞】 本研究の一部は、東京理科大学総合研究院再生可能エネルギー技術研究部門、およびスペースシステム創造研究センターの支援を受けた。

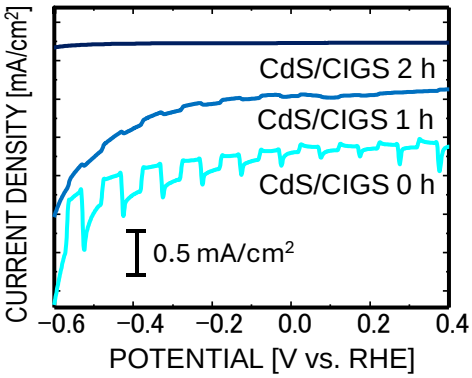


図 1. CdS/CIGS 光電極に-1.0 V を印加し続けながら 1 時間毎に測定した電流電圧特性

【参考文献】

[1] Our group, Jpn. J. Appl. Phys. **61** (2022) 054002.
[2] J. Zhao, *et al.,* Angew. Chem. Int. Ed. **53** (2014) 11808.
[3] M. Baek, *et al.,* ChemSusChem **11** (2018) 3685.